

# Organização e Arquitetura de Computadores

## Laboratório 4: CPU MIPS MULTICICLO

Gabriel Levi - 16/0006490

Léo Moraes - 16/0011795

Luis Felipe - 16/0071569

Mikael Mello - 16/0015537

Gabriel Lobão - 16/0046424

Gabriel Nunes - 16/0006597

July 4, 2017

### Questão 2

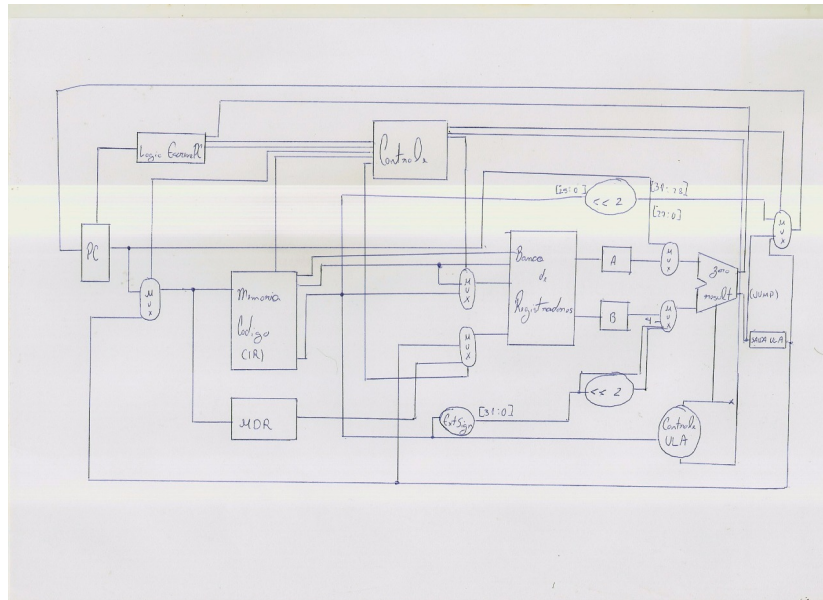


Figure 1: Diagrama de blocos do caminho de dados

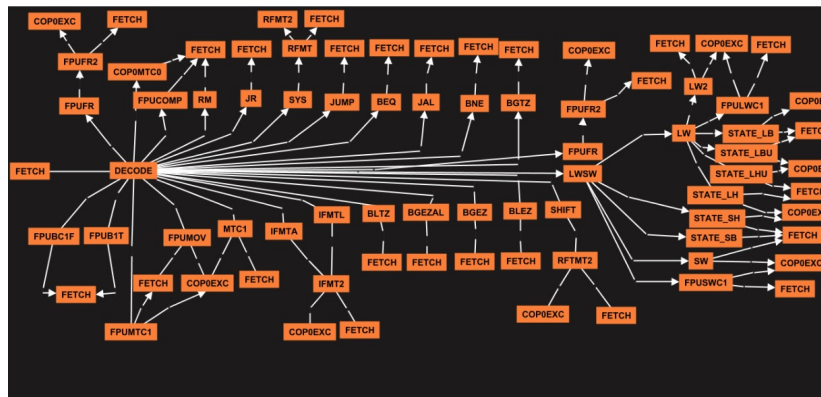


Figure 2: Diagrama de estados

### Questão 3

Os testes foram executados na placa utilizando o programa "teste\_placa.asm", que executa cada instrução implementada e para a execução para que se possa observar o resultado do teste, o registrador \$v0 guarda o valor 1 caso a instrução testada tenha gerado os resultados desejados e -1 caso o contrário, o registrador \$a0 guarda um número que representa a instrução que foi testada de acordo com a tabela .

Para que todas as instruções restantes funcionem o clock maximo é de 12.5 MHz.

Registrador	Numero
hline oRegDst	1
oOrigALU	2
oSavePC	3
oEscreveReg	4
oLeMem	5
oEscreveMem	6
oOrigPC	7
oOpALU	8
oJump	9
oBranch	10
onBranch	11
oJr	12
oLoadType	13
oWriteType	14

Vídeo do teste.s na DE2: <https://www.youtube.com/watch?v=3caMJ9pKMqs&feature=youtu.be>  
 Teste da forma de onda na figura 3:

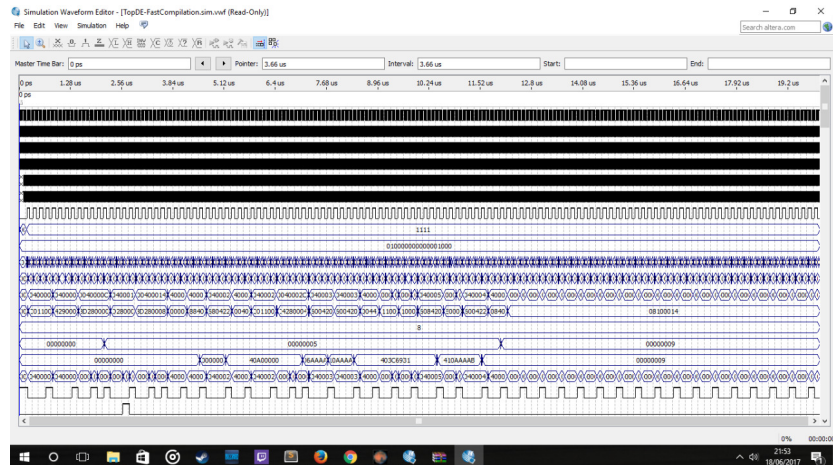


Figure 3: Algumas instruções em forma de onda

#### Questão 4

O programa "bandeira.asm" foi utilizado para desenhar as bandeiras.

Vídeo do funcionamento do programa: <https://www.youtube.com/watch?v=QB2U4J7UicY&feature=youtu.be>

#### Questão 5

#### Questão 6

Uniciclo:

O total de elementos lógicos utilizado com a FPULA foi de 25958, 7504 registradores e 858654 bits de memória. Ao retirar a FPULA, o total de elementos lógicos utilizados foi de 17011, 3881 registradores e 853691 bits de memória.

Multiciclo:

O total de elementos lógicos utilizado com a FPULA foi de 27269, 7862 registradores, 858654 bits de memória e o clock maximo é de 3.125 MHz para que a instrução mais demorada, sqrt, funcione corretamente. Ao retirar a FPULA, o total de elementos lógicos utilizados foi de 17892, 4089 registradores, 853691 bits de memória e o clock maximo é de 12.5 MHz para que a instrução mais demorada, div, funcione corretamente.

Para remover a FPULA basta comentar a oitava linha do arquivo verilog topDE, "define FPU", para sintetizar a FPULA é necessário que está linha

não esteja comentada no momento da compilação.

A alteração feita para remover a FPULA foi adicionar os comandos "ifdef FPU" na linha 453 do arquivo Datapath\_MULTI.v e "endif" na linha 522 do mesmo arquivo.

### Questão 7

a) Não foram necessárias mudanças no caminho de dados do multiciclo para implementar as novas instruções, pois foi utilizado o mesmo caminho usado pelo cvt.w.s, apenas utilizando instâncias do cvt.w.s e add.s e sub.s.

b) No bloco de controle do multiciclo foram adicionados os novos estados utilizando o mesmo estado do cvt.w.s, não sendo necessárias mudanças maiores.

c) A seguir a forma de onda e o vídeo das instruções implementadas: [https://youtu.be/gx\\_2Th3FdHc](https://youtu.be/gx_2Th3FdHc)

A figura 4 mostra a forma de onda das instruções novas.

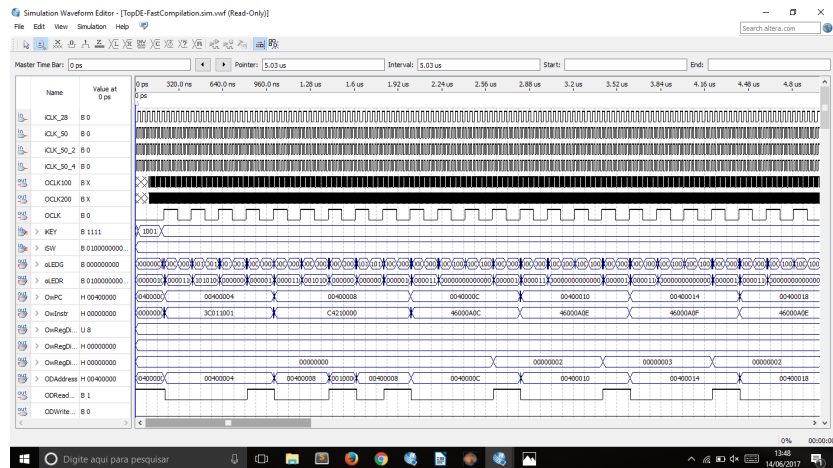


Figure 4: Novas instruções implementadas