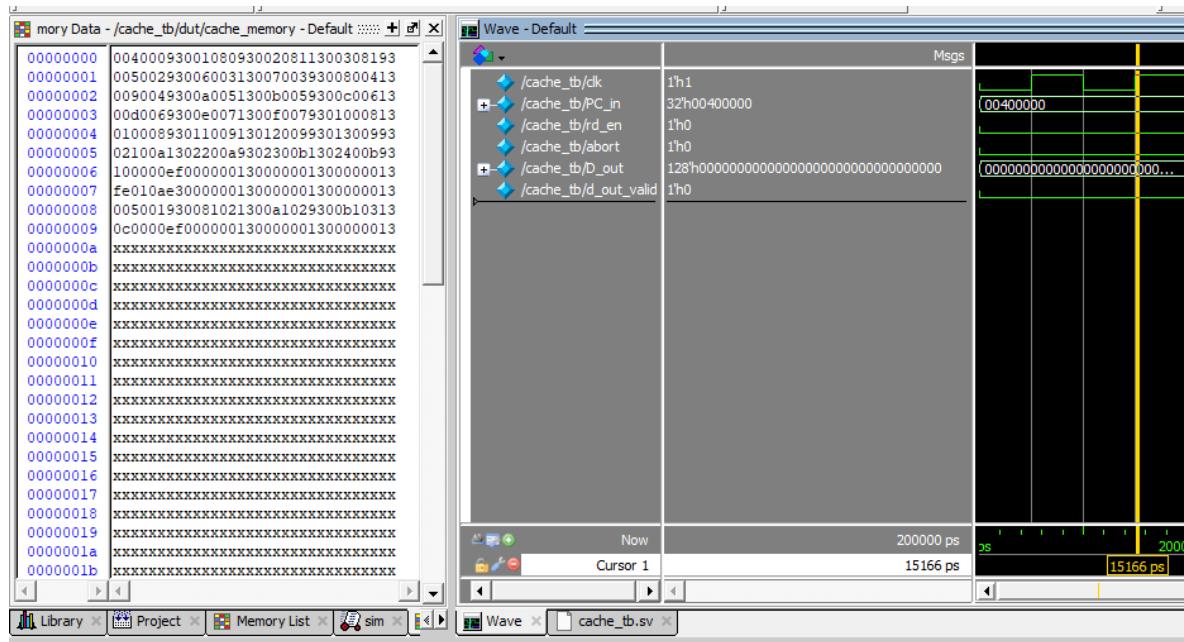


IFQ – RISC-V

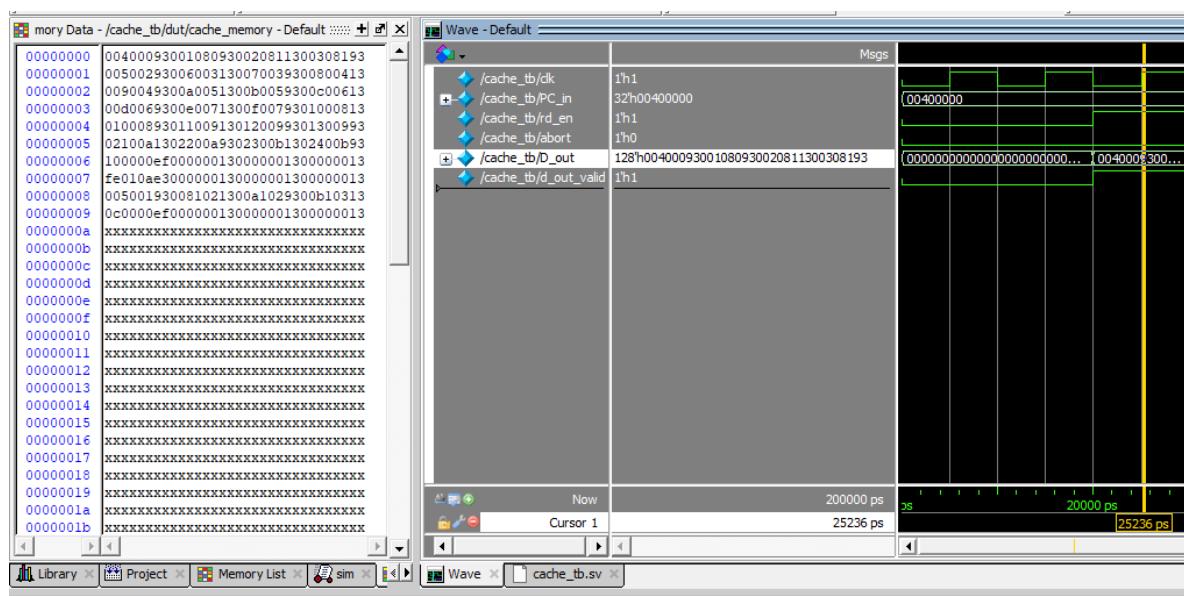
Realizado por: Luis Alberto Mena González

I-Cache

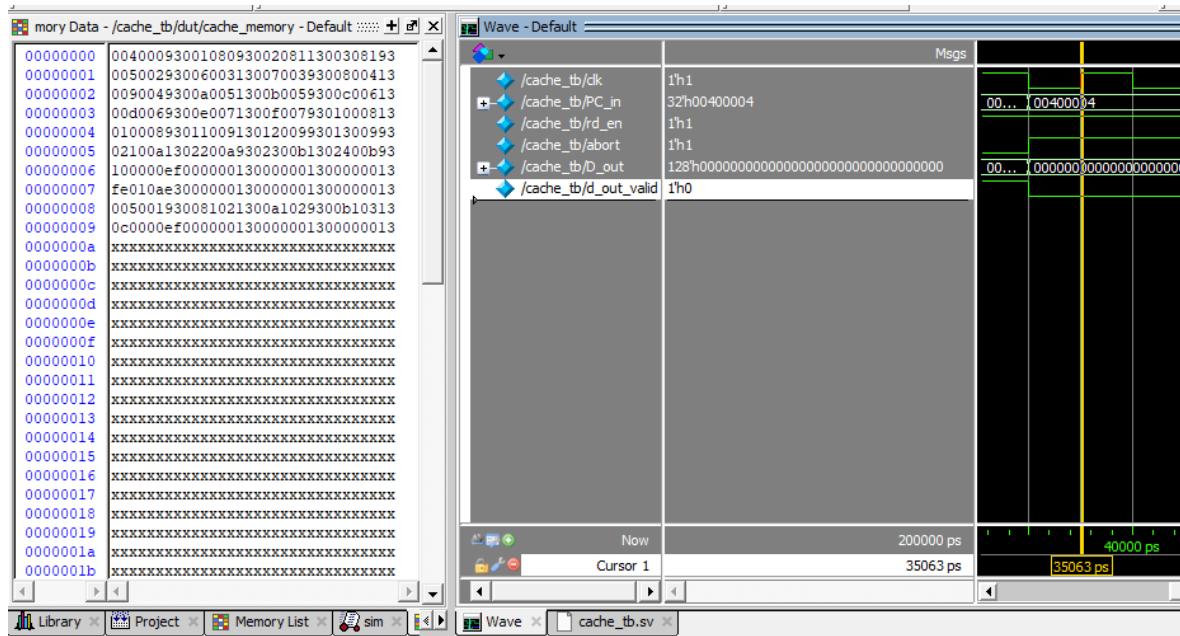
Primero se validó que la memoria cache no entregara datos cuando la señal de rd_en = 0.



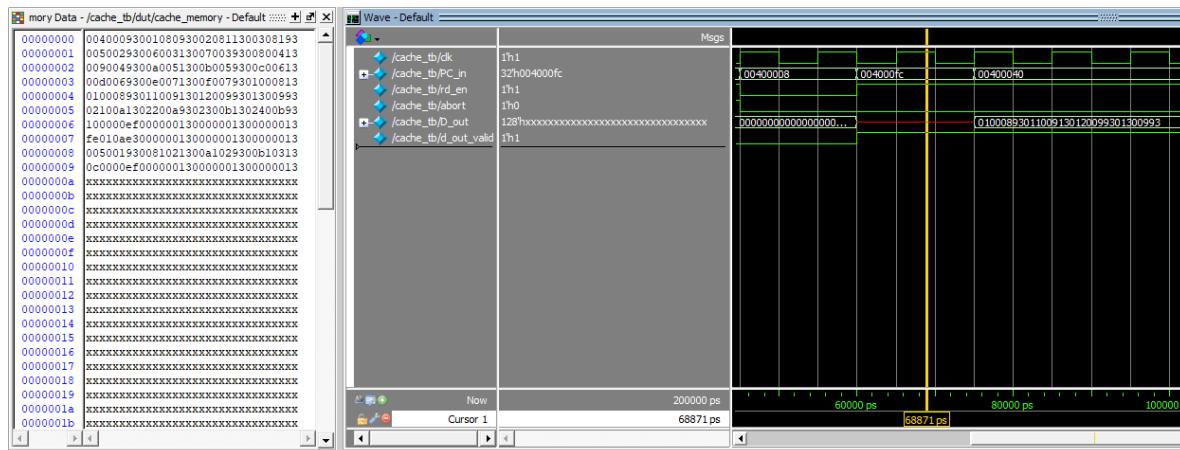
Posteriormente se validó que se pudiera leer habilitando la señal de rd_en.



El siguiente caso que se validó fue cuando se tuviera habilitada la señal de abort y la señal de rd_en. Como se puede observar no se regresa una línea valida.



Por último, se leyó una línea que no tuviera datos y después una línea con datos válidos.



Resultados del testbench:

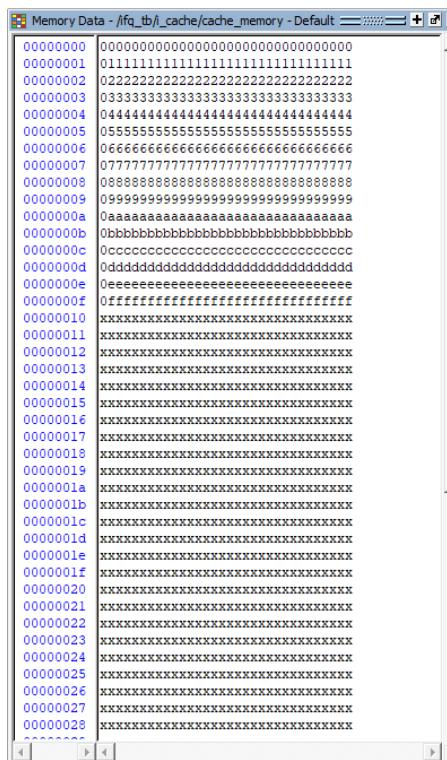
```

VSIM 25> run
# =====
# TESTBENCH: i_cache
# =====
# PC_in = 0x00400000 -> CACHE_LINE[0] = 00000000000000000000000000000000 (valid=0)
#
# --- Abort enabled ---
# PC_in = 0x00400004 -> CACHE_LINE[0] -> D_out = 00000000000000000000000000000000 valid=0 (esperado: invalidado)
#
# --- RD Disabled ---
# PC_in = 0x00400008 -> CACHE_LINE[0] -> D_out = 00000000000000000000000000000000 valid=0 (esperado: invalidado)
#
# --- Reading other line different from first one ---
# PC_in = 0x004000fc -> CACHE_LINE[15] = xxxxxxxxxxxxxxxxxxxxxxxxx (valid=1)
#
# --- Reading other line different from first one ---
# PC_in = 0x00400040 -> CACHE_LINE[4] = 01000893011009130120099301300993 (valid=1)
#
# =====
# END
# =====

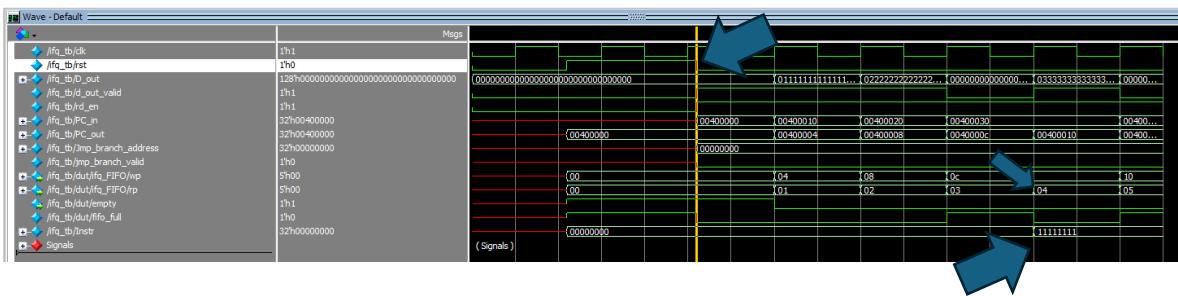
```

IFQ

El primer paso para ver el funcionamiento correcto de la IFQ, se inicializa la memoria cache de instrucciones:

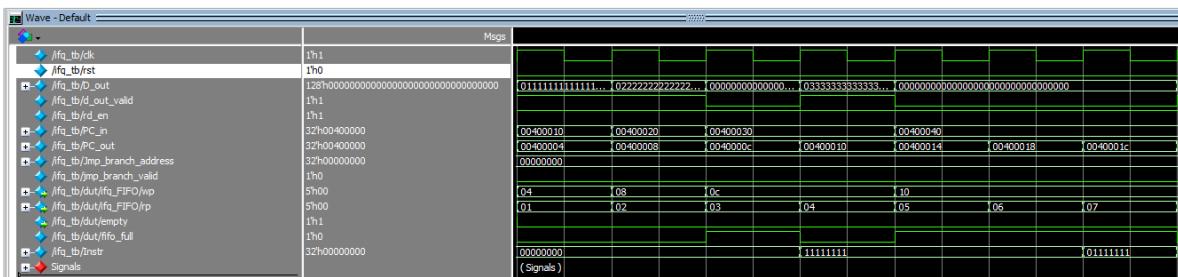


Primero validaremos que después de un ciclo de reset no se pierdan ciclos y el mux de bypass de la primera instrucción funcione correctamente.

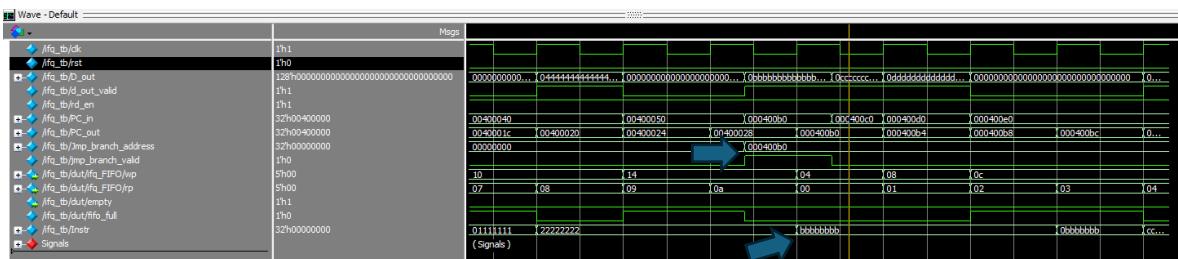


Comprobamos que justo después de un reset se tiene la instrucción (en este caso como inicialicé la primer línea de la memoria cache con 0s se debe ver durante rp 0 a 3 puros 0s y posteriormente cambiar a 1s que es la siguiente línea de la memoria cache).

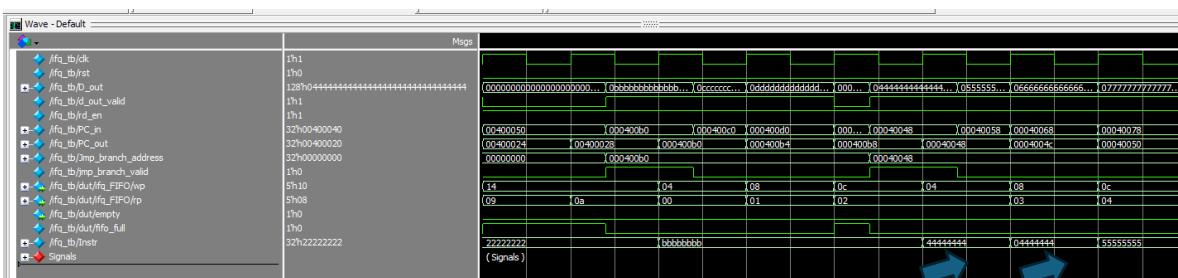
Se ve que se muestra la siguiente línea de la memoria cache en la instrucción:



Ahora realizaré un Branch valid y por medio del testbench inyectare un PC para ver el flush de la FIFO y la nueva instrucción salir de la IFQ. En este caso la dirección del program counter esta alineada con el inicio de una línea de memoria cache.



Otro caso de prueba será brincar no al principio de una línea de la cache si no a una dirección diferente (ejemplo 0x400048).



Debido a que no fue un brinco alineado con la memoria cache, se ve solamente la dirección 0x400048 y 0x40004C.