

Universidade Tecnológica Federal do Paraná
Campus Apucarana
Engenharia de Computação

Luis Henrique Ferracciu Pagotto Mendes, RA: 2272016

Relatório 1
Portas Lógicas

LRCO7A - Lógica Reconfigurável
Professor: Marcelo de Oliveira

Apucarana - PR
2024

1 Introdução:

Nesta prática, diferentes portas lógicas serão utilizadas utilizando a linguagem VHDL, com o desenvolvimento do projeto realizado no software Quartus Prime, amplamente utilizado para a síntese e simulação de circuitos digitais em dispositivos FPGA. VHDL (VHSIC Hardware Description Language) é uma linguagem de descrição de hardware usada para modelar sistemas digitais. As portas lógicas são blocos fundamentais para o design de circuitos digitais, sendo a base de operação de dispositivos como CPUs e FPGAs. As portas lógicas implementadas a partir de duas entradas 'a' e 'b' serão: NOT, AND, OR, NAND, NOR, XOR e XNOR. Cada uma dessas portas realiza uma operação lógica específica e é amplamente utilizada em sistemas digitais para a manipulação e processamento de sinais binários. O desenvolvimento e a verificação das operações lógicas foram realizados no Quartus Prime, incluindo a simulação e a geração do diagrama RTL (Register Transfer Level) para análise da estrutura do circuito.

2 Código VHDL comentado:

Código 1: Código VHDL - Portas Lógicas

```
-----PACOTES-----
library ieee;
use ieee.std_logic_1164.all ;
-----ENTIDADES-----
--A entidade projeto_1 utiliza as portas a e b como entrada do sinal
--e as portas de s a z como saída
entity projeto_1 is
    port (a, b: in bit;
          s, t, u, v, w, x, y, z: out bit);
end entity;
-----PROJETO-----
--utiliza a arquitetura do proprio projeto para definir a funcao e
operacao entre as portas usadas
architecture projeto_1 of projeto_1 is
begin --inicia o bloco de comando do projeto
    z <= a and b; --a porta z recebe o sinal a partir de uma
--porta logica E com entradas de a e b
    y <= a or b; --a porta y recebe o sinal a partir de uma
--porta logica OU com entradas de a e b
    x <= not a; --a porta x recebe o sinal a partir de uma
--porta logica NAO com entrada de a
    w <= not b; --a porta w recebe o sinal a partir de uma
--porta logica NAO com entrada de b
    v <= a nand b; --a porta v recebe o sinal a partir de uma
--porta logica NAO/E com entradas de a e b
    u <= a nor b; --a porta u recebe o sinal a partir de uma
--porta logica NAO/OU com entradas de a e b
    t <= a xor b; --a porta t recebe o sinal a partir de uma
--porta logica EXCLUSIVO com entradas de a e b
```

```

s <= a xnor b; --a porta s recebe o sinal a partir de uma
--porta logica NAO/EXCLUSIVO com entradas de a e b
end architecture;

```

3 Imagem da Simulação:

Com o desenvolvimento do código, é possível simular diferentes valores de entradas para as portas 'a' e 'b' do circuito. Isso permite que simulemos os resultados das combinações entre as portas utilizadas no projeto e, visualizemos o valor de cada uma nas saídas definidas no código, ou seja, 's', 't', 'u', 'v', 'w', 'x', 'y' e 'z'. A simulação a seguir representa valores de entradas para 'a' e 'b' aleatórios (gerados utilizando uma simulação de sinal do próprio Quartus).

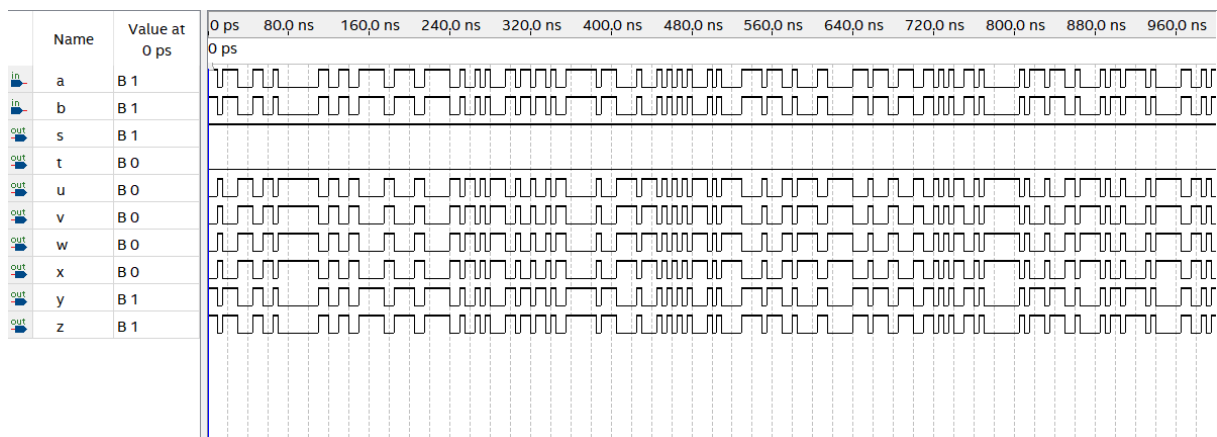


Figura 1: Simulação de entradas e saídas do circuito

4 Imagem do Diagrama RTL:

A partir do código descrito no tópico 2, é possível gerar um circuito que simula a utilização das portas lógicas descritas. O circuito em questão, é gerado com a opção RTL Viewer, que permite uma visualização melhor da construção. Abaixo está uma figura gerada a partir do RTL Viewer, em que indica as portas lógicas, as entradas e saídas utilizadas para o projeto.

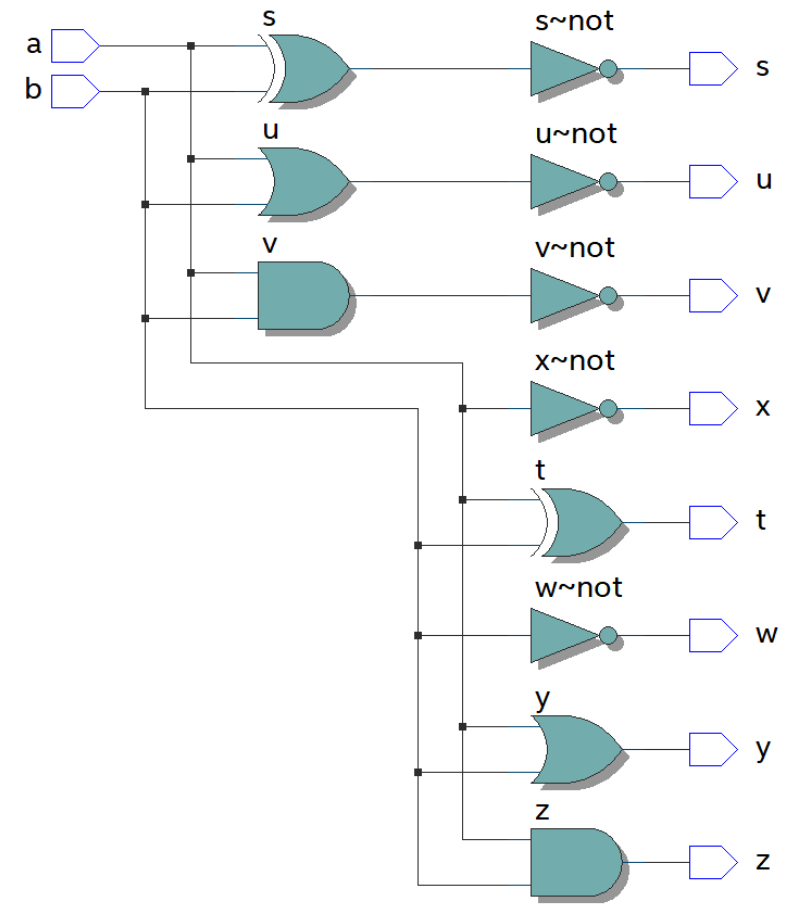


Figura 2: Circuito gerado pelo Quartus Prime