

Disciplina:	Lógica Reconfigurável
Professor:	Marcelo de Oliveira
Período:	2024/2

Atividade 6: Detector de máximo e mínimo

Nome:

Data: 11/12/2024

Implemente um detector de valor mínimo e valor máximo para uma quantidade genérica de valores unsigned formados por uma quantidade genérica de bits cada um.

Utilize para isso as estruturas package, procedure, generic e type (crie um vetor de unsigned).

Declare o tipo que você vai criar no package, que deve ser um arquivo separado da entidade principal.

**Atenção:** possivelmente o ModelSim retornará erro caso você declare um tipo definido pelo usuário como uma porta; para resolver isso, crie portas do tipo unsigned e as atribua, na arquitetura, a um sinal do tipo que você criou (para um valor pequeno, como 4 ou 5 entradas) e então simule. Exemplo:

```
1 library ieee;
2 [...]
3 -----
4 entity atividade_6 is
5     generic(
6         [...]
7     port(
8         --x: in unsigned_array(0 to num_inputs-1)(num_bits-1 downto 0); -- Causará erro
9         se tentarmos compilar e simular
10        entrada1, entrada2, entrada3, entrada4: in unsigned(num_bits-1 downto 0); --
11        Sinais "intermediários"
12        [...]);
13 -----
14 architecture atividade_6 of atividade_6 is
15     signal x: unsigned_array(0 to num_inputs-1)(num_bits-1 downto 0); -- Sinal com o
16     tipo definido por nós
17 begin
18     -- Para evitar o erro, criamos portas do tipo unsigned e as atribuímos ao sinal do
19     tipo que criamos
20     x <= (entrada1, entrada2, entrada3, entrada4);
21 [...]
```

O exercício deve ser entregue na forma de um relatório em PDF no Classroom, que deve incluir:

- Breve introdução contendo os conceitos (novos) da atividade
- Código VHDL comentado e/ou acompanhado de um texto explicativo
- Uma imagem da simulação
- Uma imagem (ou o PDF em anexo) do diagrama RTL