

Laboratórios de Sistemas Digitais

Material de apoio aos projetos finais

Tomás Oliveira e Silva

Índice

1	Notas prévias	2
2	Recomendações	3
3	Geração de números pseudo-aleatórios (pseudo_random_generator.vhd)	5
3.1	A entidade pseudo_random_generator	5
3.2	Princípio de funcionamento da arquitetura v1	6
3.3	Princípio de funcionamento da arquitetura v2	7
4	Comunicações série (protocolo RS232)	12
5	LCD (lcd_controller.vhd)	14
6	Descodificação de sinais de infravermelhos (ir_nec_decoder.vhd)	16
7	Teclados e ratos PS/2 (ps2_controller.vhd)	18
7.1	Teclados PS/2	19
7.2	Ratos PS/2	20
7.3	A entidade ps2_controller	20
7.4	Fontes de informação	22
8	VGA (vga_config.vhd e vga.vhd)	23
8.1	O ficheiro vga_config.vhd	25
8.2	O ficheiro vga.vhd	26
8.3	Diagrama de blocos da interligação das três entidades VGA	27
8.4	O conceito de pipeline	29
9	Áudio (audio_controller e audio_io)	31
10	Outras entidades fornecidas	35
10.1	A entidade seven_segment_decoder	35
10.2	A entidade debouncer	35
10.3	A entidade pulse_generator	36
10.4	A entidade clock_generator	36
10.5	As entidades font_8x8_bold e font_16x16_bold	37
10.6	A entidade blob_sound_rom	38
10.7	A entidade sin_function	39
11	Como ordenar alguns números inteiros de uma forma eficiente	40
11.1	Como ordenar dois números inteiros	40
11.2	Como ordenar três ou quatro números inteiros	41
11.3	Como ordenar cinco ou seis números inteiros	41
12	Exemplos fornecidos	42

1 Notas prévias

Todo o material de apoio aos projetos finais segue as seguintes linhas orientadoras:

- O material é disponibilizado num único documento. Cabe a cada um ler as partes do documento que lhe interessam.
- O estilo de escrita do código VHDL fornecido reflete os gostos estéticos do autor deste documento e não segue à risca o que é usado nos slides das aulas teórico-práticas e nos guiões das aulas práticas. Em particular, os nomes dos sinais não começam por `s_` e são usadas sempre letras minúsculas. As únicas exceções a esta última regra acontecem com o valor `'Z'` do tipo `std_logic`, que tem de ser uma letra maiúscula (imposição do VHDL), e com números escritos em base 16 (opção do autor).
- O código fornecido foi formatado de modo a ter no máximo 160 colunas.
- Todos os comentários estão escritos em Inglês.
- Por ser geralmente irrelevante, o nome dado às arquiteturas das entidades fornecidas é quase sempre `v1` (que é uma abreviatura de versão 1).
- É usado um único sinal de relógio, chamado `clock`. Um sinal de *reset*, caso exista, tem o nome de `reset`.
- Nos exemplos fornecidos o sinal de relógio que é usado não é necessariamente o de 50 MHz. Caso não o seja, no *top level* do projeto é instanciada a entidade que gera o sinal de relógio com a frequência pretendida a partir do sinal `clock_50`.
- Sempre que é preciso configurar uma das entidades fornecidas através de um ou mais parâmetros genéricos tenha em atenção que as frequências são sempre especificadas em Hertz usando números reais (por exemplo, `50.0e6` para 50 MHz), e que tempos são sempre especificados em segundos usando também números reais (por exemplo, `10.0e-6` para 10 micro-segundos).
- Números reais são usados apenas para definir constantes (em tempo de compilação).
- Os nomes dados a entidades, portos, sinais, constantes, tipos e valores de tipos enumerados estão sempre em `snake_case` (palavras com letras minúsculas, com um *underscore* entre palavras).
- Quando não é possível fazer tudo que se pretende num único ciclo de relógio divide-se o que se pretende fazer em tarefas mais pequenas e usa-se um *pipeline* para as organizar temporalmente (isto acontece sempre quando se usa VGA).
- Como explicado na seção 8.4, os nomes de sinais síncronos usados em andares de um *pipeline* terminam em `_0` para os que entram no primeiro andar do *pipeline*, em `_1` para os que entram no segundo, e assim por diante; aos sinais assíncronos gerados num andar do *pipeline* acrescenta-se um `x` no fim.

O material de apoio está distribuído pelas pastas descritas a seguir.

common_vhdl_code Código VHDL das entidades fornecidas.

examples Código VHDL (e projeto do Quartus) dos exemplos fornecidos.

doc Documentação.

c_code Código (na linguagem de programação C) de alguns programas auxiliares.

bin Alguns *scripts* úteis (GNU/Linux).

useful_files Alguns ficheiros úteis (`master.qsf`, `master.sdc`, ...).

2 Recomendações

Ao escrever o seu código VHDL recomenda-se que:

- **seja estudado o código das entidades fornecidas que vai usar no seu projeto**
Razão: não se devem usar entidades sem se saber como funcionam. Além disso, os comentários existentes no código podem ajudar a esclarecer algum detalhe do funcionamento de uma entidade que esteja omissa na documentação.
- **sejam estudados os exemplos fornecidos que possam ser relevantes para o seu projeto**
Razão: é muito provável que lá encontre qualquer coisa que lhe possa dar jeito.
- **organize o seu código de uma maneira visualmente bem estruturada e comente as partes menos óbvias do seu código**
Razão: o código deve ser fácil de entender por terceiros (e pelo próprio alguns anos depois).
- **sejam eliminadas todas as *latches***
Razão: uma *latch* geralmente cria problemas temporais ou comportamentos inesperados.
Como evitar: num processo combinatório, garantir que em todos os casos possíveis o novo nível lógico de um sinal é especificado.

<pre>-- AVOID -- process(x) is if x = '1' then NS <= 3; end if; ... end process;</pre>	<pre>-- USE -- process(x,PS) is NS <= PS; -- default value if x = '1' then NS <= 3; -- override default end if; ... end process;</pre>
---	--

É possível forçar o Quartus a dar erro quando uma *latch* é sintetizada. Para isso deve-se

1. ativar o Design Assistant durante a compilação (Menu → Assignments → Settings → Design Assistant → Run Design Assistant during compilation),
 2. transformar avisos críticos em erros (Menu → Tools → Options → Messages → Promote critical warning messages to error messages), e
 3. acrescentar o ficheiro `master.sdc` ao projeto. (É preciso acrescentar este ficheiro ao projeto para evitar que o TimeQuest emita avisos críticos.)
- **se passem todos os sinais de entrada da FPGA por registos**
Razão: se isto não for feito e se um sinal de entrada (assíncrono) mudar de nível lógico muito perto de uma transição de relógio então o estado do sistema pode ficar inconsistente, já que as saídas das partes combinatórias rápidas do circuito vêem o novo valor lógico enquanto que as saídas das partes lentas vêem o valor antigo. Com o uso de registos problemas deste tipo (e fenómenos de meta-estabilidade) desaparecem. Por exemplo, considere utilizar um *debouncer* para todas os botões e interruptores ou, em alternativa, use código como o que se segue.

```
process(clock_50) is
  if rising_edge(clock) then
    my_key <= not key(0); -- convert an asynchronous negative logic signal into
                        -- a synchronous positive logic signal
    ...
    if my_key = '1' then -- use the synchronous sinal
      ...
    end if;
  end if;
end process;
```

Pelos mesmo motivo, sinais de *reset* também devem ou ser síncronos ou ser gerados por um circuito síncrono.

- **se use apenas um sinal de relógio**

Razão: quando existem dois ou mais domínios de relógio e quando os relógios não estão sincronizados por PLLs, ou seja, quando as transições de um relógio mais lento não ocorrem praticamente nos mesmos instantes de transições de um relógio mais rápido, podem existir problemas temporais relacionados com tempos de *hold* e de *setup* quanto um sinal de um domínio é usado no outro domínio. (O domínio de um relógio é o subconjunto do circuito que é ativado por esse sinal de relógio.) Para evitar este potencial problema use apenas um domínio de relógio e use pulsos de ativação (*enable* ou *strobe*) para despoletar ações mais lentas. Por exemplo:

<pre>-- AVOID -- process(my_key) is if rising_edge(my_key) then ... end if; end process;</pre>	<pre>-- USE -- process(clock) is if rising_edge(clock) then last_my_key <= my_key; -- delay of one clock cycle if my_key = '1' and last_my_key = '0' then ... end if; end if; end process;</pre>
--	---

Em particular, em vez de usar um divisor de frequência use um gerador de pulsos.

- **sejam detetadas e corrigidas todas as violações temporais**

Razão: Uma violação temporal ocorre quando a lógica combinatória não consegue fazer o seu trabalho no tempo que tem para o fazer (normalmente um ciclo de relógio). Logo, uma violação temporal é um erro grave que tem de ser corrigido.

Como detetar: incluir no seu projeto o ficheiro `master.sdc` (convenientemente adaptado e, já agora, dando-lhe o nome do projeto).

Como corrigir: se não for possível reduzir o número de camadas da lógica combinatória então o trabalho terá de passar a ser feito em mais do que um ciclo de relógio, quer inserindo um registo no sítio apropriado (*pipeline*), quer usando o resultado da lógica combinatória após um tempo de espera apropriado (controlado através de um sinal de *enable*). No segundo caso é preciso alterar o ficheiro `master.sdc` de modo a descrever corretamente o que se está a passar.

- **sejam analisados todos os avisos emitidos pelo Quartus**

Razão: alguns dos avisos (mensagens a azul ou violeta) assinalam problemas que devem ser corrigidos.

Quando fazer: deve-se dar uma vista de olhos pelas mensagens de aviso de vez em quando, e deve-se certamente fazer o mesmo antes de dar um projeto como concluído.

3 Geração de números pseudo-aleatórios (`pseudo_random_generator.vhd`)

Diz-se que uma sequência de números $\dots, x(-1), x(0), x(1), \dots$, é pseudo-aleatória quando esta é gerada através de uma fórmula matemática, e quando a sequência assim gerada apresenta propriedades estatísticas parecidas com uma sequência de números aleatórios (daí o termo pseudo-aleatório).

3.1 A entidade `pseudo_random_generator`

A entidade `pseudo_random_generator` é capaz de fornecer um novo número pseudo-aleatório com, no máximo, 24 *bits* em cada ciclo de relógio. O seu *interface* é o seguinte:

```
entity pseudo_random_generator is
  generic
  (
    n_bits : integer range 1 to 24;
    seed   : std_logic_vector(47 downto 0)
  );
  port
  (
    clock : in  std_logic;
    enable : in  std_logic := '1';
    rnd    : out std_logic_vector(n_bits-1 downto 0)
  );
end pseudo_random_generator;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

n_bits Número de *bits* do número pseudo-aleatório a ser gerado.

seed Semente do gerador. A semente é um número de 48 *bits*, por exemplo `x"0123456789AB"`, que determina o estado inicial do gerador. Se for instanciado mais do que um gerador de números pseudo-aleatórios, é fortemente recomendado que sejam usadas ou sementes diferentes ou arquiteturas diferentes (existem duas).

clock Sinal de relógio.

enable Sinal de *enable*. O gerador só produz um novo número pseudo-aleatório se este sinal estiver a '1' (que é o valor por omissão se durante a instanciação da entidade não se disser nada acerca deste porto). Recomenda-se que se deixe o gerador sempre a trabalhar (*enable* sempre a '1'). Nesse caso, se os instantes nos quais o sinal *rnd* é usado pelo resto da lógica forem despoletados por ações externas à FPGA suficientemente espaçadas no tempo (por exemplo, ao se carregar num botão), então esse sinal será, para todos os efeitos práticos, verdadeiramente aleatório.

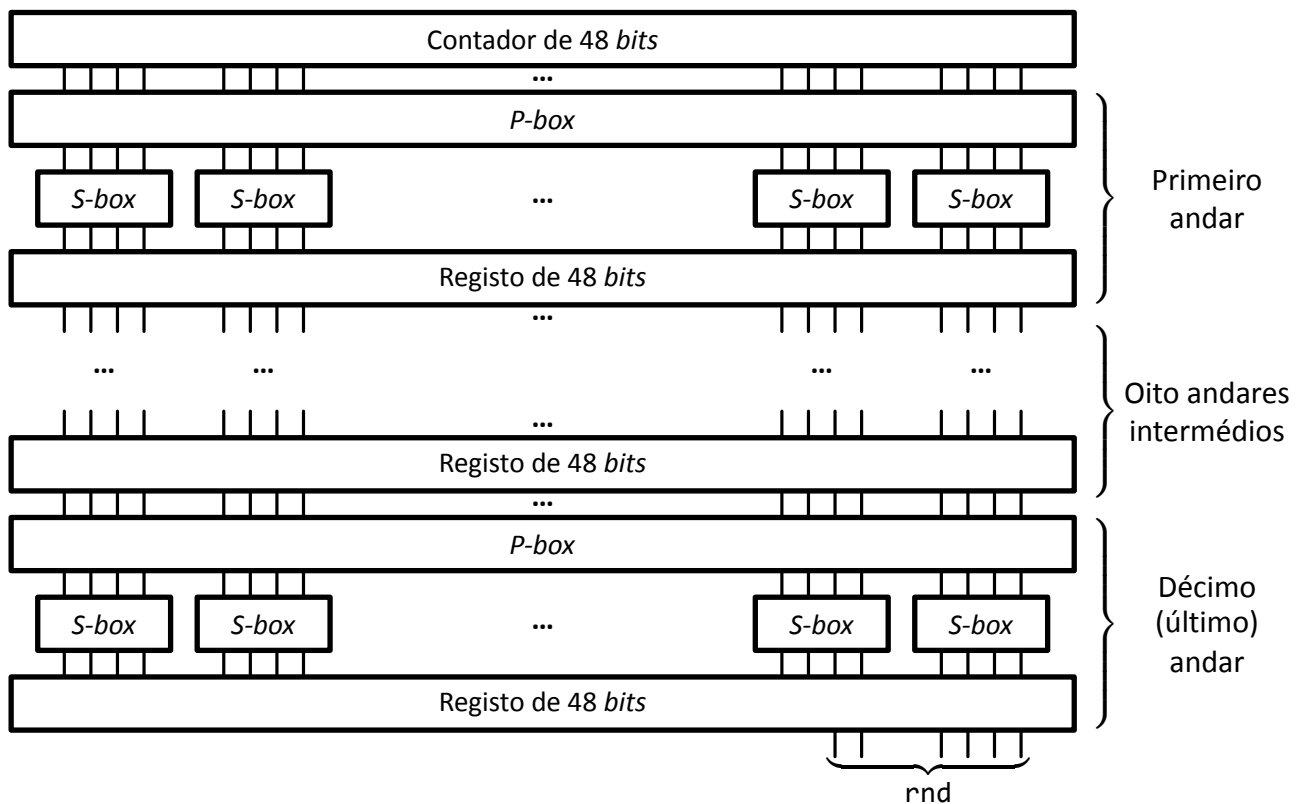
rnd Número pseudo-aleatório uniformemente distribuído gerado (calculado) pela entidade.

Para esta entidade existem duas arquiteturas, com nomes *v1* e *v2*, tendo o seu código VHDL sido gerado automaticamente por um programa escrito em C (`pseudo_random_generator.c`). A primeira usa uma quantidade de recursos da FPGA relativamente grande e foi desenhada tendo em conta algumas das boas práticas correntes relacionadas com segurança informática. A segunda é mais poupada em termos de recursos, mas produz números pseudo-aleatórios que são potencialmente de pior qualidade. Para reduzir os tempos de compilação, recomenda-se que seja utilizada a arquitetura *v2* durante o desenvolvimento do projeto, e que se mude para a arquitetura *v1* na sua versão final.

Esta entidade pode ser vista em ação no exemplo `rand_vga_histogram`.

3.2 Princípio de funcionamento da arquitetura v1

A figura seguinte mostra um diagrama de blocos do que está a acontecer dentro da arquitetura v1 (ilustrado para n_bits igual a 6). Para não complicar a figura não se mostram as ligações dos sinais `clock` e `enable` ao contador e a todos os registos.



A ideia base por detrás do gerador consiste em baralhar os *bits* de um contador. O tipo de contador não é muito relevante (pode contar em binário, em código de Gray, ou outro); apenas é preciso que um contador de n *bits* tenha 2^n estados diferentes. A baralhagem dos *bits* do contador é feita em vários andares (quantos mais melhor) tal como ilustrado na figura, usando em cada um deles dois tipos de caixas:

caixa de permutação (em Inglês *permutation box*, abreviada para *P-box*), que baralha a ordem dos *bits* que por ela passam (por exemplo, o *bit* 0 da saída é o *bit* 12 da entrada, o *bit* 1 da saída é o *bit* 35 da entrada, etc., sem nunca reutilizar um *bit* da entrada), e

caixa de substituição (em Inglês *substitution box*, abreviada para *S-box*), que no nosso caso transforma 4 *bits* em 4 *bits* (os números de 0 a 15 na entrada são transformados em números de 0 a 15 na saída, sem repetições).

As caixas de permutação devem ser diferentes umas das outras, o mesmo acontecendo com as caixas de substituição. Cada uma destas últimas deve ser escolhida de modo a que cada *bit* de saída seja influenciado por todos os *bits* de entrada. Deste modo cria-se um fenómeno de avalanche, que faz com que ao fim de vários andares (no nosso caso bastam 5) cada *bit* do registo na saída do andar seja influenciado por cada um dos *bits* do contador.

Cada andar do nosso gerador usa uma única *P-box* de 48 *bits* (uma *P-box* usa apenas recursos de encaminhamento na FPGA), e usa 12 *S-boxes* (cada uma delas usa 4 células de lógica na FPGA). Excluindo o contador, para 10 andares são utilizadas no total 480 células de lógica, sendo também usado em cada uma delas o *flip-flop* lá presente.

Deve-se usar como *bits* de saída do gerador no máximo metade dos *bits* presentes no seu andar final.

3.3 Princípio de funcionamento da arquitetura v2

Nota para o leitor(a): talvez seja mais prudente avançar já para a seção seguinte. O material apresentado a seguir tem um teor matemático elevado cuja compreensão não é necessária para se fazer uma correta utilização da entidade `pseudo_random_generator`. Um bom aluno(a) deve ser capaz de compreender o que aqui é exposto sem grande dificuldade.

Note que apenas se descreve aqui uma das maneiras possíveis de gerar uma sequência de números inteiros pseudo-aleatória, maneira essa que é particularmente fácil de sintetizar numa FPGA.

3.3.1 Aritmética modular

O nosso ponto de partida é a aritmética modular. Neste tipo de aritmética, depois de termos definido um módulo, que será um número inteiro positivo, apenas estamos interessados nos restos das divisões dos números inteiros por esse módulo. Por exemplo, quando o módulo é 12 e k é um número inteiro, os números $\dots, -10, 2, 14, 26, \dots, 2 + 12k, \dots$, são todos equivalentes, porque quando divididos por 12 dão todos resto 2. Para um módulo de m , teremos então m classes de equivalência, cada uma delas correspondendo a um resto r , com $0 \leq r < m$. É usual representar uma classe de equivalência apenas pelo seu resto r .

As operações aritméticas de soma, subtração e multiplicação são feitas da maneira habitual (tendo em atenção que estamos apenas interessados no resto). Apresentamos de seguida as tabelas das operações soma e multiplicação para os módulos 2 e 3.

+	0	1
0	0	1
1	1	0

×	0	1
0	0	0
1	0	1

+	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

×	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

Note que a operação de adição módulo 2 corresponde à operação lógica ou-exclusivo (xor) e que a de multiplicação módulo 2 corresponde à operação lógica e (and), pelo que trabalhar módulo 2 é particularmente fácil.

Para um módulo genérico m , o conjunto das classes de equivalência e as operações $+$ e \times definem um anel. Em geral, nem todas as classes de equivalência possuem inverso; isso apenas acontece quando o máximo divisor comum entre r e m é 1. Como a operação de divisão é importante em algumas aplicações, é usual restringir o módulo a ser um número primo p , porque neste caso apenas o elemento neutro da adição, $r = 0$, não tem inverso. Neste caso o anel é também um corpo (é um caso particular de um corpo finito), usualmente designado por \mathbb{F}_p . Grosso modo, afirmar que algo pertence a \mathbb{F}_p diz-nos que esse algo é um número inteiro maior ou igual a 0 e menor do que p , e que as operações aritméticas efectuados com esse inteiro são feitas com aritmética modular (com módulo p).

Daqui para diante o módulo será sempre um número primo p . Na prática, será o número 2, mas a explicação da teoria pode, e deve, ser feita para o caso mais geral.

3.3.2 Fórmula matemática que vamos utilizar

A fórmula matemática que vamos usar para gerar números pseudo-aleatórios é extremamente simples: dado o estado atual do gerador, o estado seguinte é calculado através de uma simples multiplicação. Como estamos a trabalhar com aritmética modular, o número de estados possíveis do gerador é finito, pelo que a sequência que vai ser gerada entrará, mais tarde ou mais cedo, num ciclo. Para permitir sequências com ciclos com um período longo quando se usa um módulo p pequeno, o estado do nosso gerador no instante t

será um conjunto de n números pertencentes a \mathbb{F}_p , que vamos designar por $x_{n-1}(t), \dots, x_0(t)$ e que vamos agrupar no vetor coluna $u(t)$:

$$u(t) = \begin{bmatrix} x_{n-1}(t) \\ x_{n-2}(t) \\ \vdots \\ x_1(t) \\ x_0(t) \end{bmatrix}.$$

A nossa fórmula para atualizar o estado do gerador será

$$u(t+1) = Au(t),$$

onde A é uma matriz quadrada invertível (não singular) de dimensões $n \times n$. Como estamos a trabalhar com aritmética modular, cada entrada da matriz e o seu determinante também pertencem a \mathbb{F}_p (o determinante não pode ser 0). Como consequência desta fórmula é possível calcular rapidamente o estado do gerador no instante de tempo t_2 a partir do seu estado no instante t_1 :

$$u(t_2) = A^{t_2-t_1}u(t_1).$$

Como a matriz A é invertível, não é preciso que t_2 seja maior do que t_1 ; é perfeitamente possível andar para trás no tempo. (Por este, e por outros motivos que não vamos expor aqui, a utilização de um gerador de números pseudo-aleatórios deste tipo é altamente desaconselhada em aplicações que exigem elevado sigilo.)

Cada um dos estados possíveis (são p^n ao todo) faz parte de um ciclo; estados diferentes podem, é claro, fazer parte de ciclos diferentes. Mais uma vez, isso é uma consequência do facto de A ser uma matriz invertível. Em particular, o estado zero (tudo a zero) dá sempre origem a um ciclo de período 1 (ponto fixo). Este caso deve ser evitado a todo o custo, já que a sequência resultante, sempre zero, não é aleatória. Felizmente este caso pode ser evitado inicializando o gerador de números pseudo-aleatórios com um estado inicial diferente de tudo a zero.

Restam portanto $p^n - 1$ estados. Será que é possível escolher a matriz A de modo a que todos esses estados formem um único ciclo, de período $p^n - 1$? A resposta é sim. Mais ainda, existem muitas matrizes com essa propriedade pelo que encontrar uma é uma tarefa relativamente simples. Atendendo a que $u(t) = A^t u(0)$, para que o período seja $p^n - 1$ é necessário que A^{p^n-1} seja a matriz identidade. Para que o período não seja mais pequeno é necessário que $A^{(p^n-1)/f}$ não seja a matriz identidade, sendo f um factor de $p^n - 1$. Para testar esta última condição é suficiente restringir f aos números primos que são factores de $p^n - 1$.

Na arquitetura v2 da entidade `pseudo_random_generator` foi usada uma matriz de dimensões 48×48 , escolhida aleatoriamente de modo a satisfazer as condições descritas no parágrafo anterior e sujeitas às restrições de que i) o número de uns em cada linha (o *fan-in*) da matriz não é nem inferior a 2 nem superior a 4, e ii) o número de uns de cada coluna (o *fan-out*) não é nem inferior a 2 nem superior a 5. O período do gerador é $2^{48} - 1 \approx 2.815 \times 10^{14}$. Como são disponibilizados no máximo apenas 24 *bits* para o exterior, parte do estado do gerador não é diretamente exposto. O parâmetro genérico `seed` define o estado inicial $u(0)$ do gerador. Note que foram tomadas precauções para garantir que o gerador não fica preso no estado tudo a zero.

3.3.3 Um caso particular muito usado na prática

Apesar de ser possível gerar uma sequência pseudo-aleatória de período máximo usando uma matriz A sem nenhuma estrutura especial, isto é, com a maioria dos seus n^2 elementos diferentes de zero, do ponto de vista prático é muitas vezes preferível usar uma matriz A em que a grande maioria dos seus elementos

é zero. Em particular, é possível escolher n elementos de \mathbb{F}_p , que vamos designar por a_0, \dots, a_{n-1} , de modo a que a matriz

$$A = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 & 0 \\ 0 & 0 & 0 & \dots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 1 & 0 \\ 0 & 0 & 0 & \dots & 0 & 0 & 1 \\ a_{n-1} & a_{n-2} & a_{n-3} & \dots & a_2 & a_1 & a_0 \end{bmatrix}$$

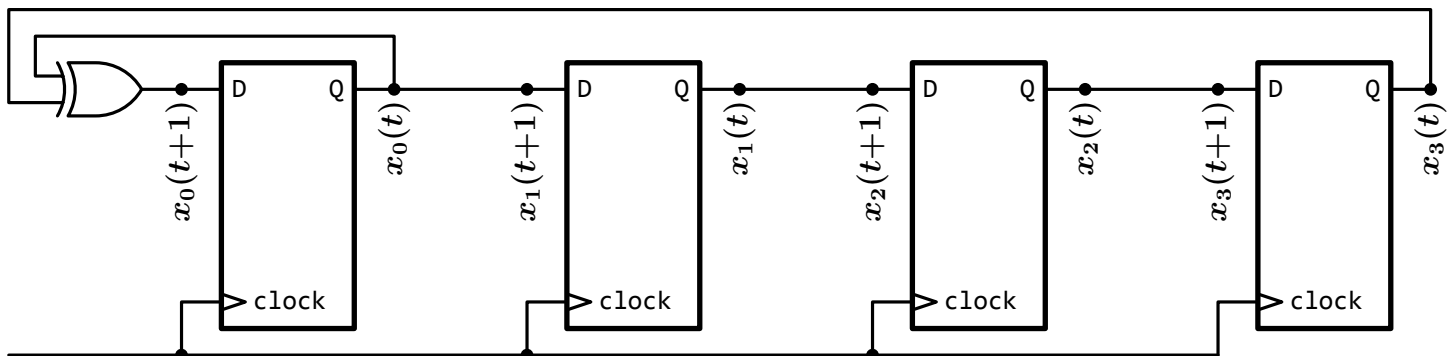
satisfaça as condições de período máximo. A uma matriz com esta forma dá-se o nome de matriz companheira. No nosso caso, como a matriz não pode ser singular, teremos necessariamente de ter $a_{n-1} \neq 0$. Com a matriz A nesta forma a atualização do estado do gerador é feita usando a fórmula

$$\begin{bmatrix} x_{n-1}(t+1) \\ x_{n-2}(t+1) \\ x_{n-3}(t+1) \\ \vdots \\ x_2(t+1) \\ x_1(t+1) \\ x_0(t+1) \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 & 0 \\ 0 & 0 & 0 & \dots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 1 & 0 \\ 0 & 0 & 0 & \dots & 0 & 0 & 1 \\ a_{n-1} & a_{n-2} & a_{n-3} & \dots & a_2 & a_1 & a_0 \end{bmatrix} \begin{bmatrix} x_{n-1}(t) \\ x_{n-2}(t) \\ x_{n-3}(t) \\ \vdots \\ x_2(t) \\ x_1(t) \\ x_0(t) \end{bmatrix},$$

ou seja, temos

$$\begin{aligned} x_{n-1}(t+1) &= x_{n-2}(t) \\ x_{n-2}(t+1) &= x_{n-3}(t) \\ &\vdots \\ x_2(t+1) &= x_1(t) \\ x_1(t+1) &= x_0(t) \\ x_0(t+1) &= a_{n-1}x_{n-1}(t) + a_{n-2}x_{n-2}(t) + \dots + a_0x_0(t) = \sum_{k=0}^{n-1} a_k x_k(t). \end{aligned}$$

No caso $p = 2$ cada um dos $x_k(t)$ é um único *bit* pelo que as equações apresentadas acima descrevem o funcionamento de um registo de deslocamento (*shift register* em Inglês), no qual o *bit* que entra no registo de deslocamento é o ou-exclusivo de alguns dos *bits* internos do estado anterior do mesmo registo (trata-se de um *Linear Feedback Shift Register*). Em particular, na fórmula $x_0(t+1) = \sum_{k=0}^{n-1} a_k x_k(t)$ podemos eliminar as parcelas em que $a_k = 0$ e podemos eliminar as multiplicações por um nas em que $a_k = 1$. Tudo isto faz com que a geração de *bits* pseudo-aleatórios por este método seja muito eficiente e use muito poucos recursos (quer em lógica combinatória quer em registos), como se ilustra na figura seguinte para $n = 4$, $a_0 = 1$, $a_1 = 0$, $a_2 = 0$ e $a_3 = 1$ (pelo que $x_0(t+1) = x_0(t) + x_3(t)$; lembre-se que uma soma módulo 2 é um ou-exclusivo).



Neste caso concreto o gerador tem dois ciclos, um de período 1 no qual o estado é sempre 0000, caso que queremos evitar, e o outro de período 15 no qual o estado do gerador percorre sequencialmente todos os estádios do ciclo 0001, 0011, 0111, 1111, 1110, 1101, 1010, 0101, 1011, 0110, 1100, 1001, 0010, 0100, 1000. Neste último caso, e olhando para apenas um dos *bits* do gerador (não importa qual) verifica-se que num ciclo este toma o valor 0 sete vezes e o valor 1 oito vezes. Logo, os *bits* pseudo-aleatórios gerados não estão distribuídos uniformemente. Para valores elevados de n a diferença entre os dois casos ($2^{n-1} - 1$ contra 2^{n-1}) é irrisória.

Esta maneira de gerar *bits* pseudo-aleatórios, com a matriz A escolhida como descrito no slide anterior, tem, no que diz respeito à sua implementação, a desvantagem de que a lógica combinatória (os ou-exclusivos) está toda concentrada no cálculo de $x_0(t+1)$, o que pode levar a que a frequência máxima de funcionamento do gerador não seja a mais alta possível (veja adiante como esse problema pode ser resolvido), o que pode acontecer se o número de coeficientes a_k diferentes de zero for maior do que dois. Felizmente isto não é um grande problema, porque para bastantes valores de n é possível ter apenas dois dos a_k iguais a um, e para todos os valores de n maiores do que 4 é possível ter apenas quatro dos a_k iguais a um.

Note que nos livros de engenharia sobre este assunto é usual apresentar este caso particular noutros moldes, usando o conceito de polinómio primitivo. Na opinião do autor deste documento é muito mais elegante e simples apresentar a teoria da maneira como foi aqui feita, que tem como pano de fundo o grupo linear geral das matrizes não singulares (*general linear group* em Inglês).

3.3.4 Outro caso particular muito usado na prática

Além da forma especial da matriz A descrita anteriormente, a forma seguinte, que é uma matriz companheira orientada de outra maneira e é igualmente útil, é por vezes utilizada (para distinguir as duas formas, neste segundo caso vamos passar a usar a letra B em vez da letra A):

$$B = \begin{bmatrix} -b_{n-1} & 1 & 0 & \cdots & 0 & 0 & 0 \\ -b_{n-2} & 0 & 1 & \cdots & 0 & 0 & 0 \\ -b_{n-3} & 0 & 0 & \cdots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ -b_2 & 0 & 0 & \cdots & 0 & 1 & 0 \\ -b_1 & 0 & 0 & \cdots & 0 & 0 & 1 \\ -b_0 & 0 & 0 & \cdots & 0 & 0 & 0 \end{bmatrix}.$$

Neste caso temos de ter $b_0 \neq 0$, e as fórmulas de atualização do estado do gerador são

$$\begin{bmatrix} x_{n-1}(t+1) \\ x_{n-2}(t+1) \\ x_{n-3}(t+1) \\ \vdots \\ x_2(t+1) \\ x_1(t+1) \\ x_0(t+1) \end{bmatrix} = \begin{bmatrix} -b_{n-1} & 1 & 0 & \cdots & 0 & 0 & 0 \\ -b_{n-2} & 0 & 1 & \cdots & 0 & 0 & 0 \\ -b_{n-3} & 0 & 0 & \cdots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ -b_2 & 0 & 0 & \cdots & 0 & 1 & 0 \\ -b_1 & 0 & 0 & \cdots & 0 & 0 & 1 \\ -b_0 & 0 & 0 & \cdots & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} x_{n-1}(t) \\ x_{n-2}(t) \\ x_{n-3}(t) \\ \vdots \\ x_2(t) \\ x_1(t) \\ x_0(t) \end{bmatrix},$$

ou seja,

$$x_k(t+1) = \begin{cases} x_{k-1}(t) - b_k x_{n-1}(t), & \text{para } k = 1, 2, \dots, n-1, \\ -b_0 x_{n-1}(t), & \text{para } k = 0. \end{cases}$$

Neste caso a lógica combinatória está espalhada ao longo do registo de deslocamento, em vez de estar toda concentrada no cálculo de $x_0(t+1)$. É pois preferível usar esta forma quando se pretender atingir uma frequência de funcionamento do circuito o mais elevada possível.

É interessante constatar que se o estado do gerador for representado pelo polinómio (na variável X)

$$P(t; X) = \sum_{k=0}^{n-1} x_k(t) X^k,$$

definindo

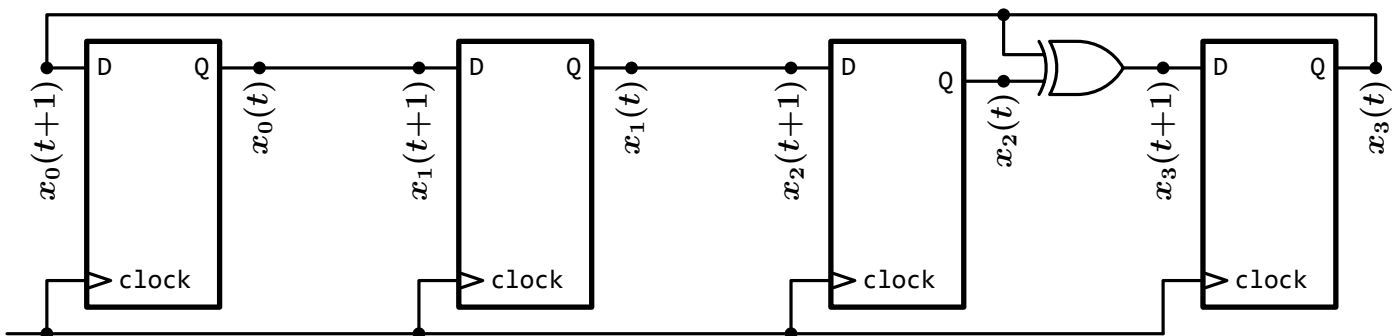
$$B(X) = X^n + \sum_{k=0}^{n-1} b_k X^k$$

(trata-se do tal polinómio primitivo a que se fez alusão atrás), e atendendo a que

$$XP(t, X) = \sum_{k=0}^{n-1} x_k(t) X^{k+1} = x_{n-1} X^n + \dots,$$

verifica-se que o resto da divisão de $XP(t, X)$ por $B(x)$ é dado por $XP(t; X) - x_{n-1}(t)B(X)$. Ora é isso mesmo que a fórmula apresentada no fim do parágrafo anterior faz, pelo que $P(t+1; X)$ é o resto da divisão de $XP(t; X)$ por $B(X)$, sendo obviamente as operações aritméticas feitas em \mathbb{F}_p . É pois possível fazer divisões de polinómios com registos de deslocamento (em base 2 isto é particularmente fácil).

Para $p = 2$, $n = 4$, $b_0 = 1$, $b_1 = 0$, $b_2 = 0$ e $b_3 = 1$, o diagrama de blocos do gerador toma a forma da figura seguinte (neste caso $-0 = 0$ e $-1 = 1$, pelo que podemos substituir todas as subtrações por somas).



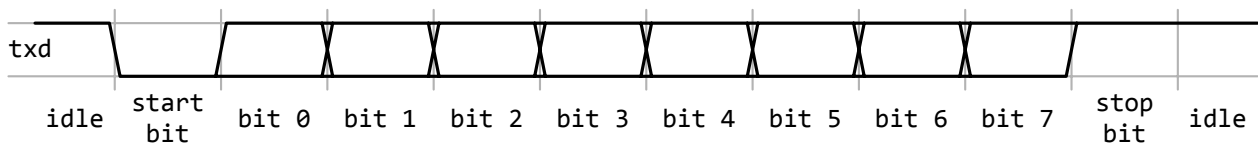
Note que substituindo $x_0(t+1) = x_3(t)$ por $x_0(t+1) = x_3(t) + y(t)$ o circuito da figura anterior pode ser usado para calcular um *cyclic redundancy checksum* (CRC) de 4 bits da sequência $y(t)$.

4 Comunicações série (protocolo RS232)

O protocolo RS232 é um protocolo de comunicação ponto-a-ponto que requer apenas três fios condutores para se estabelecer uma comunicação bidirecional simultânea entre dois equipamentos: um fio para estabelecer uma tensão de referência comum aos dois lados da comunicação, chamado vulgarmente *ground*, um para transmitir informação (txd) e um para receber informação (rxd). É evidente que o fio que de um lado é usada para transmitir informação é o que do outro lado é usado para receber informação. Como os dois fios são independentes, pode-se estar a transmitir a a receber informação ao mesmo tempo (transmissão *full duplex*).

No protocolo RS232 não é transmitido o sinal de relógio. Os dois lados da comunicação têm então de combinar previamente a que ritmo vão transmitir informação, ritmo esse a que por razões históricas se dá o nome de *baud rate*. Cada símbolo transmitido, que no caso do RS232 é um *bit*, tem uma duração que é o inverso do *baud rate*. É também preciso combinar previamente quantos *bits* vão ser enviados de cada vez. Na entidade `rs232_controller` esse número de *bits* é configurado através de um parâmetro genérico. Finalmente, como não se transmite o sinal de relógio, é preciso utilizar *bits* extra para assinalar o início e o fim da transmissão de informação (um no início e pelo menos um no fim). Estamos aqui de propósito a omitir alguma informação; os interessados em usar este protocolo no seu projeto devem procurar outras fontes de informação para colmatar as lacunas na informação aqui disponibilizada.

A figura seguinte ilustra o que acontece ao longo do tempo quando se enviam 8 *bits* de informação usando o protocolo RS232. É mostrado na figura o nível lógico do sinal e não a tensão no fio condutor. Em repouso (*idle* em Inglês) o fio encontra-se no nível lógico '1'.



Note que na implementação do recetor é preciso ter em atenção que existe quase de certeza uma pequena diferença entre a frequência do relógio do transmissor e a frequência do relógio do recetor.

O *interface* da entidade `rs232_controller` é o seguinte:

```
entity rs232_controller is
  generic
  (
    clock_frequency : real range 2.0e6 to 200.0e6;
    baud_rate       : real range 300.0 to 1.0e6 := 115200.0;
    data_bits       : integer range 5 to 10 := 8
  );
  port
  (
    clock : in std_logic;

    uart_rxd : in  std_logic;
    uart_txd : out std_logic := '1';

    rxd_data  : out std_logic_vector(data_bits-1 downto 0) := (others => '0');
    rxd_valid : out std_logic := '0';

    txd_data   : in std_logic_vector(data_bits-1 downto 0);
    txd_request : in std_logic;
    txd_accepted : out std_logic := '0'
  );
end rs232_controller;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

baud_rate Parâmetro que especifica o número de símbolos (*bits* no caso do protocolo RS232) que podem ser enviados por segundo. No caso do protocolo RS232, alguns dos *bits* enviados não são contêm informação útil; são *bits* de sincronização. A duração de um *bit* é o inverso deste parâmetro.

data_bits Parâmetro que especifica o número de *bits* de dados a enviar, ou a receber, em cada trama. Para simplificar esta entidade, um eventual *bit* de paridade e um segundo *stop bit* terão de ser tratados pelo utilizador da entidade como se fossem *bits* de dados.

clock Sinal de relógio.

uart_rxd e **uart_txd** Sinais a ligar aos pinos da FPGA com os mesmos nomes.

rxdata Última informação recebida com sucesso na linha **uart_rxd**.

rxdata_valid Pulso, com a duração de apenas um ciclo de relógio, que assinala que foi colocada nova informação no porto **rxdata**.

txdata informação a enviar para a linha **uart_txd**.

txdata_request quando ativo (a '1'), é pedido à entidade que envie a informação presente no porto **txdata** para a linha **uart_txd**. A entidade não é obrigada a aceitar o pedido de imediato, pelo que quem faz o pedido deve-o manter, bem como a informação no porto **txdata**, até que este seja aceite.

txdata_accepted quando a '1', indica que o pedido de envio de informação foi aceite. Este sinal só fica ativo durante um único ciclo de relógio.

Além desta entidade, também é fornecido na pasta **c_code** o código fonte de um programa (para GNU/Linux) que pode ser usado, do lado do computador, para se efetuar uma comunicação com o *kit* usando o protocolo RS232. Como atualmente já praticamente não se fabricam computadores com portos RS232, para efetuar essa comunicação tem de se utilizar um cabo especial, que de um lado tem uma ficha RS232 e que do outro tem uma ficha USB (com um circuito integrado lá dentro que faz a conversão RS232 para USB). Caso precise de utilizar um cabo desses no seu projeto por favor contacte o seu professor das aulas práticas.

5 LCD (lcd_controller.vhd)

O *kit* DE2-115 tem um visor LCD (cristais líquidos) capaz de mostrar duas linhas de texto, cada uma delas com dezasseis caracteres. Depois da sua inicialização, que é feita automaticamente pela entidade fornecida quando se liga o *kit* ou quando se faz um *reset*, o visor fica à espera de comandos e de dados. Toda a informação a enviar para o visor é composta por 9 *bits*. Um dos *bits*, designado por RS, indica quando a '0' que os 8 *bits* restantes correspondem ao código de uma instrução, e indica quando a '1' que os 8 *bits* restantes correspondem a dados. Na página 14 (seção 12) do [data sheet do visor LCD](#) é apresentada uma tabela com os comandos que podem ser usados para o controlar. No nosso caso, a entidade `lcd_controller` fornecida coloca o sinal R/W sempre a '0', pelo que apenas podem ser usados comandos de escrita.

De propósito, não é dada aqui mais informação sobre o modo de funcionamento do visor, por forma a obrigar eventuais interessados em o usar a pesquisar e interpretar a informação do *data sheet*. Recomenda-se vivamente o estudo do exemplo `lcd_audio` fornecido. Tal como feito parcialmente no exemplo, é talvez mais fácil guardar o que se pretende mostrar numa memória e estar sempre a atualizar o visor com o conteúdo dessa memória.

A entidade `lcd_controller` fornecida encarrega-se de fazer a gestão baixo-nível da inicialização e da comunicação com o visor LCD. O *interface* desta entidade é o seguinte:

```
entity lcd_controller is
  generic
  (
    clock_frequency : real range 1.0e6 to 200.0e6
  );
  port
  (
    clock : in std_logic;
    reset : in std_logic := '0';

    lcd_on   : out std_logic;
    lcd_blon : out std_logic;
    lcd_rw   : out std_logic;
    lcd_en   : out std_logic;
    lcd_rs   : out std_logic;
    lcd_data : inout std_logic_vector(7 downto 0);

    txd_rs_and_data : in std_logic_vector(8 downto 0);
    txd_request      : in std_logic;
    txd_accepted     : out std_logic
  );
end lcd_controller;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

clock Sinal de relógio.

reset Sinal de *reset*.

lcd_on a **lcd_data** Sinais a ligar aos pinos da FPGA com os mesmos nomes.

txd_rs_and_data comando ou dados a enviar para visor; o *bit* mais significativo corresponde ao sinal RS.

txd_request quando ativo (a '1'), é pedido à entidade que envie a informação presente no porto txd_rs_and_data para o visor. A entidade não é obrigada a aceitar o pedido de imediato, pelo que quem faz o pedido deve-o manter, bem como a informação no porto txd_rs_and_data, até que este seja aceite.

txd_accepted quando a '1', indica que o pedido de envio de informação foi aceite. Este sinal só fica ativo durante um único ciclo de relógio.

6 Descodificação de sinais de infravermelhos (ir_nec_decoder.vhd)

Quando se carrega num botão do comando remoto é enviada uma sequência de trens de pulsos de infravermelhos que codificam uma sequência de *bits*, que por sua vez especificam a marca, modelo e botão carregado do controlo remoto. A forma como cada *bit* é enviado e o número de *bits* enviados depende do formato de transmissão usado.

Existem vários formatos (protocolos) para a transmissão de informação. Atendendo a que foram desenvolvidos por empresas diferentes (NEC, Sony, Philips, etc.) esses formatos são, infelizmente, incompatíveis entre si.

No caso do *kit* DE2-115, o sinal que chega à FPGA vindo do sensor de infravermelhos, do tipo `std_logic` e com o nome `ir_da_rxd`, encontra-se em repouso no nível lógico '1' e passa a '0' quando é detetado um trem de pulsos de infravermelhos. Descodificar um sinal de infravermelhos consiste então em extrair a informação presente na duração dos intervalos de tempo em que `ir_da_rxd` permanece a '1' e a '0'. A maneira como essas durações são interpretadas depende do protocolo usado. A entidade fornecida, `ir_nec_decoder`, descodifica apenas o protocolo NEC.

Para comandos remotos que usam o formato de transmissão **NEC**, caso do comando fornecido com o *kit* DE2-115 e de comandos remotos da Samsung, a informação é enviada da seguinte maneira (já ajustada para a lógica negativa do sinal `ir_da_rxd`):

- 1 *bit* inicial de sincronismo (*start bit*)
9.0 mili-segundos no nível lógico '0' seguido de 4.5 mili-segundos no nível lógico '1'
- 32 *bits* de informação (*data bits*, *bit* menos significativo enviado primeiro)
para um *bit* a '0': 0.6 mili-segundos no nível lógico '0' seguido de 0.6 mili-segundos no nível lógico '1'
para um *bit* a '1': 0.6 mili-segundos no nível lógico '0' seguido de 1.6 mili-segundos no nível lógico '1'
- 1 *bit* final de sincronismo (*stop bit*)
0.6 mili-segundos no nível lógico '0'

A figura seguinte mostra o sinal recebido quando se carrega na tecla A do comando remoto do *kit* (é enviada, por esta ordem, a sequência de *bits* 0110 0001 1101 0110 1111 0000 0000 1111).



Nos comandos modernos os primeiros 16 *bits* (*bits* 0 a 15) identificam a marca e modelo do comando remoto. Os oito *bits* seguintes (*bits* 16 a 23) indicam o código do botão que foi carregado. Os oito *bits* finais (*bits* 24 a 31) destinam-se a detetar erros na transmissão e contêm uma versão negada do código do botão que foi carregado (isto é, têm de ser os *bits* 16 a 23 negados). Existe uma sequência especial, com um formato diferente, para indicar a repetição da última sequência de *bits* enviada (usada quando um botão do comando remoto é carregado durante muito tempo).

A entidade fornecida pode ser usada como ponto de partida para se fazer um descodificador para outros formatos de transmissão. Informação mais detalhada sobre protocolos de transmissão pode ser consultada na página web <http://www.sbprojects.com/knowledge/ir/index.php>; a informação sobre os vários protocolos pode ser acedida a partir de um menu *drop down* existe no canto superior direito dessa página. No exemplo `ir_vga_logic_analyzer`, além de se descodificar o sinal de infravermelhos, também se mostra num ecrã a forma de onda do sinal `ir_da_rxd` que foi recebido. Analisar essa forma de onda pode ser uma ajuda preciosa para descodificar outros protocolos de transmissão de informação.

O *interface* da entidade `ir_nec_decoder` é o seguinte:

```
entity ir_nec_decoder is
  generic
  (
    clock_frequency : real range 1.0e6 to 200.0e6
  );
  port
  (
    clock : in std_logic;

    irda_rxd : in std_logic;
    data      : out std_logic_vector(31 downto 0);
    valid     : out std_logic := '0'
  );
end ir_nec_decoder;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

clock Sinal de relógio.

irda_rxd Sinal a ligar ao pino da FPGA com o mesmo nome.

data Última informação recebida do comando de infravermelhos. Note que não é feita deteção de erros; em particular, `data(31 downto 24)` pode ser diferente de `not data(23 downto 16)` (se isto acontecer a informação foi recebida com pelo menos um erro).

valid_data Pulso, com a duração de apenas um ciclo de relógio, que assinala que foi colocada nova informação no porto `data`.

O sinal de repetição, enviado quando se carrega num botão por muito tempo, não é detetado.

O comando remoto fornecido com o *kit* DE2-115 envia os seguintes códigos (valores de `data`):

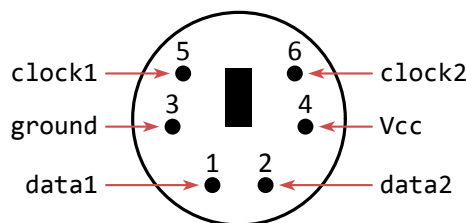
A x"F0_0F_6B_86"	B x"EC_13_6B_86"	C x"EF_10_6B_86"	power x"ED_12_6B_86"
1 x"FE_01_6B_86"	2 x"FD_02_6B_86"	3 x"FC_03_6B_86"	channel up x"E5_1A_6B_86"
4 x"FB_04_6B_86"	5 x"FA_05_6B_86"	6 x"F9_06_6B_86"	channel down x"E1_1E_6B_86"
7 x"F8_07_6B_86"	8 x"F7_08_6B_86"	9 x"F6_09_6B_86"	volume up x"E4_1B_6B_86"
menu x"EE_11_6B_86"	0 x"FF_00_6B_86"	return x"E8_17_6B_86"	volume down x"E0_1F_6B_86"
play x"E9_16_6B_86"	adjust left x"EB_14_6B_86"	adjust right x"E7_18_6B_86"	mute x"F3_0C_6B_86"

7 Teclados e ratos PS/2 (ps2_controller.vhd)

Ao nível físico as ligações entre um teclado ou rato PS/2 e um computador são feitas através de quatro fios:

- um de alimentação (Vcc, +5 V)
- um de massa (ground)
- um com um sinal de relógio (clock)
- um com um sinal de dados (data)

A ficha macho existente na extremidade do cabo que se liga ao computador tem 6 pinos, como se mostra na figura seguinte (mostra-se a frente da ficha, o cabo fica por detrás da figura). A ficha fêmea, que está no computador e no kit DE21-115, é uma imagem de espelho da que é aqui mostrada.

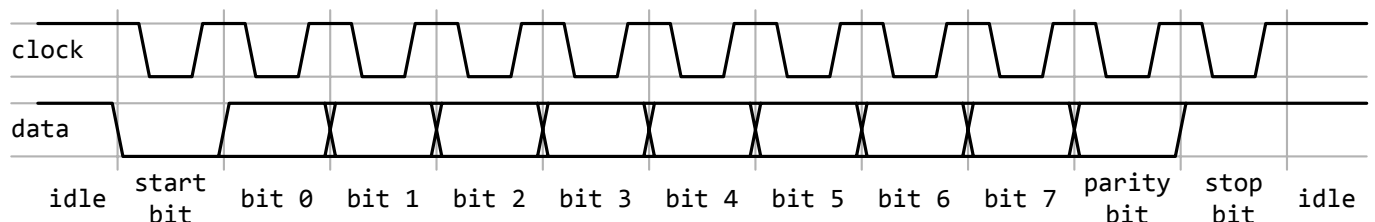


Normalmente apenas clock1 e data1 estão ligados (quer para teclados quer para ratos), mas a ficha foi concebida para se poder ligar dois equipamentos ao mesmo tempo. Nesse caso clock2 e data2 também estão ligados.

Nas linhas de relógio e de dados existe uma resistência de *pull-up*. É suposto apenas forçar uma tensão baixa nestas linhas (nível lógico '0'), o que é feito com um circuito do tipo *open-collector*. Em VHDL, para cada linha usa-se um sinal do tipo *inout* e apenas se coloca a linha nos estados '0' e 'Z'. Deste modo, cada um dos lados de uma ligação deste tipo pode prolongar a seu gosto o tempo em que a linha está com uma tensão baixa (podemos considerar que a linha faz parte de uma porta lógica *wired-and* distribuída). Quando não está a decorrer a transmissão de um *byte* ambas as linhas devem ter uma tensão alta (nível lógico '1').

No kit DE2-115 os sinais clock1, data1, clock2 e data2 estão respetivamente ligados aos pinos da FPGA a que foram atribuídos os nomes ps2_clk, ps2_dat, ps2_clk2 e ps2_dat2.

A figura seguinte mostra o diagrama temporal do que se passa quando o teclado ou o rato envia um *byte*. Temos um *start bit* a '0', oito *bits* de dados (*bit* menos significativo enviado primeiro), um *bit* de paridade ímpar (o ou-exclusivo dos *bits* 0 a 7 e do *bit* de paridade tem de dar '1'), e um *stop bit* a '1'. Ambos os sinais são controlados pelo teclado ou rato (o recetor é completamente passivo).

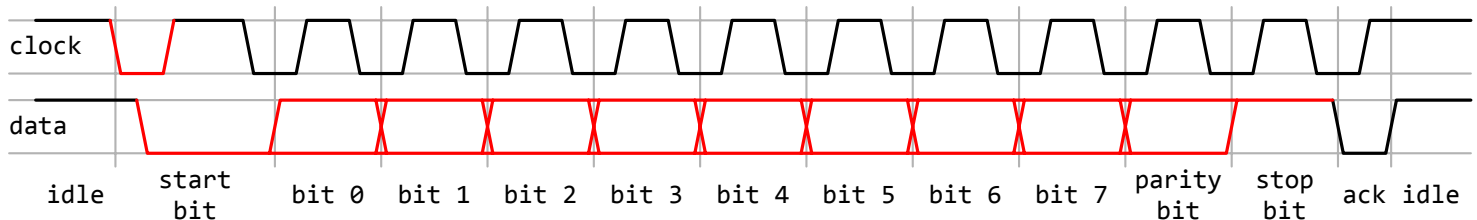


Os vários passos da receção de um *byte* vindo do dispositivo PS/2 são os seguintes:

1. O início da transmissão ocorre quando a linha de dados passa para o nível lógico '0'.
2. São gerados 11 ciclos de relógio. A linha de relógio permanece no mesmo nível lógico entre 30 a 50 micro-segundos.

3. A linha de dados tem de permanecer estável enquanto a linha de relógio estiver no nível lógico '0'.
4. As transições na linha de dados devem ocorrer a uma distância temporal de pelo menos 5 micro-segundos (para ambos os lados) das transições na linha de relógio.

A figura seguinte mostra o diagrama temporal do que se passa quando o teclado ou rato recebe um *byte*. A informação está organizada tal como na transmissão de um *byte*, mas agora é quem envia a informação que controla o pulso inicial a '0' do sinal de relógio e que controla a linha de dados na maior parte do tempo (a vermelho na figura).



Os vários passos do envio de um *byte* para o dispositivo PS/2 são os seguintes:

1. O início da transmissão ocorre quando a linha de relógio passa para o nível lógico '0'. Pouco depois (35 micro-segundos) a linha de dados também passa para o nível lógico '0'. Pouco depois (125 micro-segundos) a linha de relógio é libertada, pelo que volta ao nível lógico '1'.
2. Algum tempo depois (não mais de 1 mili-segundo), o teclado ou rato gera 11 ciclos de relógio.
3. A linha de relógio permanece no mesmo nível lógico entre 30 a 50 micro-segundos.
4. A linha de dados tem de permanecer estável enquanto a linha de relógio estiver no nível lógico '1'.
5. As transições na linha de dados devem ocorrer a uma distância temporal de pelo menos 5 micro-segundos (para ambos os lados) das transições na linha de relógio.
6. No fim o dispositivo PS/2 responde com um sinal de *acknowledge* (chamado *line control bit*).

7.1 Teclados PS/2

Sempre que se carrega numa tecla o teclado envia um ou mais *bytes*, a que se dá o nome (em Inglês) de *make code* da tecla. Uma boa parte das teclas tem um *make code* de apenas um *byte*, a quase totalidade das restantes tem um *make code* de dois *bytes* (o primeiro dos quais é sempre `x"E0"`), há uma com quatro *bytes* (a tecla *print screen*) e outra com oito *bytes* (a tecla *pause*).

Sempre que se deixa de carregar numa tecla o teclado envia dois ou mais *bytes*, a que se dá o nome (em Inglês) de *break code* da tecla (a tecla *pause* não tem *break code*). Regra geral, o *break code* de uma tecla é o *make code* da tecla com um *byte* extra com o valor `x"F0"`, colocado logo no início quando o *make code* é de um *byte* e colocado a seguir a `x"E0"` (no meio) quando é de dois *bytes*.

Abstemo-nos de apresentar aqui uma lista de *make* e *break codes*. Procure por "*keyboard scan codes set 2*", ou, melhor ainda, por "*windows platform design notes keyboard scan code specification*", na internet. Como alternativa, compile e descarregue para o kit DE2-115 o exemplo `ps2_vga_text_buffer`, ligue um teclado ao *kit* e veja o que aparece dos visores de 7 segmentos (ou no ecrã VGA) quando se carrega numa tecla.

Dos vários comandos que um teclado PS/2 aceita destacamos os seguintes:

- `x"FF"` (reset): o teclado responde com `x"FA"`, e depois faz um reinicialização. Durante a reinicialização os *leds* piscam uma vez, o teclado verifica se está tudo em ordem (*Basic Assurance Test*), e, caso afirmativo, o teclado fica ativo e é enviado `x"AA"`; caso haja algum problema é enviado `x"FC"`.

- x"F5" (disable): o teclado responde com x"FA" e depois fica inativo.
- x"F4" (enable): o teclado responde com x"FA" e depois fica ativo.
- x"ED" (set/reset leds): o teclado responde com x"FA" e depois fica à espera de um *byte* com o estado que se pretende para os seus três *leds* (no *bit 0* segue o estado do *scroll lock*, no *bit 1* o do *num lock* e no *bit 2* o do *caps lock*). Depois de o receber responde com um novo x"FA".

7.2 Ratos PS/2

Um rato PS/2, quando ativo e quando se encontra a funcionar no chamado *stream mode*, envia uma mensagem sempre que i) há um movimento do rato, ou ii) se carrega ou deixa de carregar num dos seus botões. A informação enviada inclui o estado dos seus três botões e o descolamento efetuado pelo rato, *delta_x* e *delta_y*, contado a partir da mensagem anterior. Tanto *delta_x* como *delta_y* são dois números inteiros de 9 *bits*, representados em complemento para dois.

Cada mensagem é composta por três *bytes*, a saber:

- Primeiro *byte* enviado:
 - bit 7*: indica se ocorreu um *overflow* no cálculo de *delta_y*
 - bit 6*: indica se ocorreu um *overflow* no cálculo de *delta_x*
 - bit 5*: *delta_y*(8)
 - bit 4*: *delta_x*(8)
 - bit 3*: sempre a '1'
 - bit 2*: estado do botão do meio
 - bit 1*: estado do botão da direita
 - bit 0*: estado do botão da esquerda
- Segundo *byte* enviado: *delta_x*(7 downto 0)
- Terceiro *byte* enviado: *delta_y*(7 downto 0)

Ratos com mais de três botões podem enviar informação usando outro formato.

Dos vários comandos que um rato PS/2 aceita destacamos os seguintes:

- x"FF" (reset): o rato responde com x"FA", e depois faz um reinicialização. Durante a reinicialização, o rato verifica se está tudo em ordem (*Basic Assurance Test*), e, caso afirmativo, é enviado x"AA" seguido por x"00"; caso haja algum problema é enviado apenas x"FC". Dependendo dos ratos, este pode ficar ou não ativo.
- x"F5" (disable data reporting): o rato responde com x"FA" e depois fica inativo.
- x"F4" (enable data reporting): o rato responde com x"FA" e depois fica ativo.
- x"F3" (set sample rate): o rato responde com x"FA" e depois fica à espera de um *byte* com o valor da nova taxa de amostragem (o rato passará a mandar no máximo esse número de mensagens por segundo, que deve ser 10, 20, 40, 60, 80, 100 ou 200). Depois de o receber responde com um novo x"FA". (Depois de um *reset* a taxa de amostragem é 100.)

7.3 A entidade ps2_controller

A entidade *ps2_controller* fornecida encarrega-se de fazer a gestão baixo-nível de um eventual dispositivo PS/2 que poderá estar ligado ao *kit* DE2-115. Em particular, quando o *kit* é ligado ou quando se faz um *reset* à entidade, esta tenta enviar, de 5 em 5 segundos, um comando de *reset* para o dispositivo

PS/2. Caso este responda a entidade determina se se trata de um teclado ou de um rato e programa-o da maneira adequada, passando depois a processar a informação recebida do dispositivo. Erros ao nível dos sinais físicos provocam um *reset* da entidade (em princípio este tipo de erros só acontece quando o teclado/rato está avariado ou quando há muito ruído electromagnético).

O *interface* da entidade `ps2_controller` é o seguinte:

```
entity ps2_controller is
  generic
  (
    clock_frequency : real range 2.0e6 to 200.0e6
  );
  port
  (
    clock : in std_logic;
    reset : in std_logic := '0';

    ps2_clk : inout std_logic;
    ps2_dat : inout std_logic;

    keyboard_detected : out std_logic;
    keyboard_leds      : in  std_logic_vector(2 downto 0);
    key_code           : out std_logic_vector(7 downto 0);
    valid_key_code     : out std_logic;

    mouse_detected     : out std_logic;
    mouse_delta_x      : out std_logic_vector(8 downto 0);
    mouse_delta_y      : out std_logic_vector(8 downto 0);
    mouse_buttons      : out std_logic_vector(2 downto 0);
    valid_mouse_data   : out std_logic
  );
end ps2_controller;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

clock Sinal de relógio.

reset Sinal de *reset*.

ps2_clk Sinal a ligar ao pino da FPGA com o mesmo nome.

ps2_dat Sinal a ligar ao pino da FPGA com o mesmo nome.

keyboard_detected Fica a '1' quando um teclado é detetado.

keyboard_leds Estado pretendido para os *leds* do teclado (*bit 0: scroll lock, bit 1: num lock, bit 2: caps lock*). Quando a entidade deteta uma mudança no estado deste porto envia, logo que possível, um comando para o teclado para este mudar o estado dos seus *leds* de modo a refletir o estado do porto.

key_code Último *byte* recebido do teclado (parte de um *make code* ou de um *break code*).

valid_key_code Pulso, com a duração de apenas um ciclo de relógio, que assinala que foi colocada nova informação no porto *key_code*.

mouse_detected Fica a '1' quando um rato é detetado.

mouse_delta_x Último movimento, na horizontal, recebido do rato.

mouse_delta_y Último movimento, na vertical, recebido do rato.

mouse_buttons Último estado conhecido dos botões do rato (botão esquerdo no *bit* 2, botão do centro um *bit* 1, e botão da direita no *bit* 0).

valid_mouse_data Pulso, com a duração de apenas um ciclo de relógio, que assinala que foi colocada nova informação nos portos `mouse_delta_x`, `mouse_delta_y` e `mouse_buttons`.

7.4 Fontes de informação

As seguintes fontes de informação (por vezes algo vagas e não 100% compatíveis), foram usadas para implementar a entidade `ps2_controller`:

- Personal System/2 Hardware Interface Technical Reference, Maio 1988
- [Freescale Semiconductor Application Note 1723](#)
- [USB and PS/2 Multimedia Keyboard Interface](#)
- [The PS/2 Mouse/Keyboard Protocol](#)
- [The PS/2 Keyboard Interface](#)
- [Interfacing the AT keyboard](#)

É frustrante verificar que aparentemente não existe um documento oficial que especifique preto no branco todos os tempos mínimos e máximos das fases inicial e final do envio de informação para um dispositivo PS/2.

8 VGA (vga_config.vhd e vga.vhd)

Um sinal de vídeo é composto por uma sequência de imagens (em Inglês usa-se o termo *video frame*), todas com a mesma dimensão. Cada imagem é composta por uma sequência de linhas horizontais, sendo cada linha composta por uma sequência de *pixels* (abreviatura do Inglês *picture elements*). Cada *pixel* tem uma cor, que no caso do sinal VGA é definida por um conjunto de três números que especificam a intensidade luminosa de três cores primárias: vermelho (r de *red*, em Inglês), verde (g de *green*, em Inglês) e azul (b de *blue*, em Inglês).

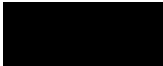
























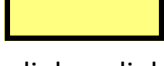

Devido às limitações do equipamento que gera (ou captura) uma imagem a intensidade luminosa de cada componente de cor tem um valor máximo, a que atribuímos o valor de 1.0 (100%). Se cada uma das três componentes for representada por um número de 8 *bits* sem sinal, como acontece no kit DE2-115 e na maioria das placas gráficas, a intensidade máxima, 1.0, corresponde ao número 255 e a intensidade mínima, 0.0, corresponde ao número 0.

Por curiosidade, na conversão de uma imagem a cores para uma a preto e branco, é usual usar a fórmula

$$\text{gray} = 0.30 \times \text{red} + 0.59 \times \text{green} + 0.11 \times \text{blue},$$

que reflete o facto de o nosso sistema visual ser bastante sensível aos tons verdes e muito pouco sensível aos tons azuis.

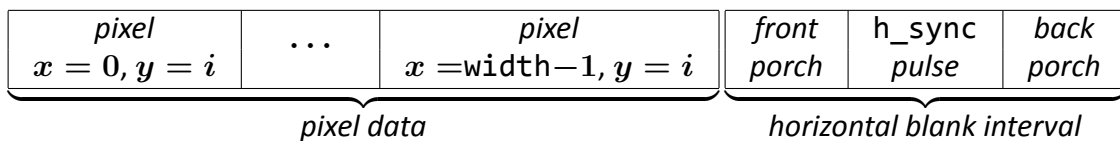
Existem várias maneiras de especificar uma cor. Os sinais VGA usam o espaço de cores RGB. Na tabela seguinte apresentamos algumas cores que podem ser obtidas combinando as três cores primárias (vermelho, verde e azul).

r,g,b	côr	r,g,b	côr	r,g,b	côr
0.0,0.0,0.0		0.0,0.0,0.5		0.0,0.0,1.0	
0.0,0.5,0.0		0.0,0.5,0.5		0.0,0.5,1.0	
0.0,1.0,0.0		0.0,1.0,0.5		0.0,1.0,1.0	
0.5,0.0,0.0		0.5,0.0,0.5		0.5,0.0,1.0	
0.5,0.5,0.0		0.5,0.5,0.5		0.5,0.5,1.0	
0.5,1.0,0.0		0.5,1.0,0.5		0.5,1.0,1.0	
1.0,0.0,0.0		1.0,0.0,0.5		1.0,0.0,1.0	
1.0,0.5,0.0		1.0,0.5,0.5		1.0,0.5,1.0	
1.0,1.0,0.0		1.0,1.0,0.5		1.0,1.0,1.0	

Cada imagem (*frame*) é transmitida sequencialmente linha a linha, e, dentro de cada linha, *pixel* a *pixel*, começando no canto superior esquerdo e acabando no canto inferior direito. Entre linhas da mesma imagem é introduzido um compasso de espera relativamente pequeno (chamado em Inglês *horizontal blank interval*) e entre imagens é introduzido um compasso de espera bastante maior, correspondente ao de várias linhas (chamado em Inglês *vertical blank interval*).

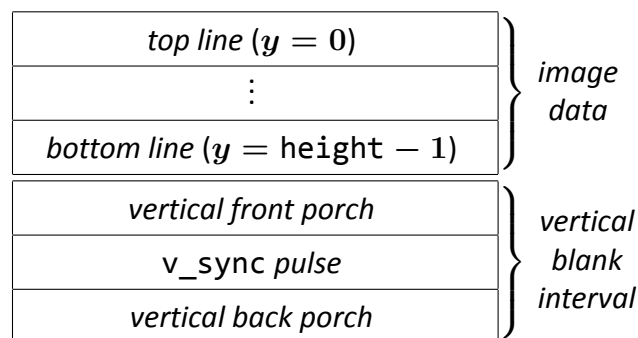
Além dos sinais r, g e b, que especificam a cor de cada *pixel*, num sinal VGA também é preciso definir um sinal de sincronismo horizontal, h_sync, activo numa parte do *horizontal blank interval*, e um sinal de sincronismo vertical, v_sync, activo numa parte do *vertical blank interval*.

Para um sinal de vídeo VGA de resolução $\text{width} \times \text{height}$ (width é o número de *pixels* na horizontal e height o na vertical) a informação a enviar na linha i da imagem está estruturada como se mostra a seguir.



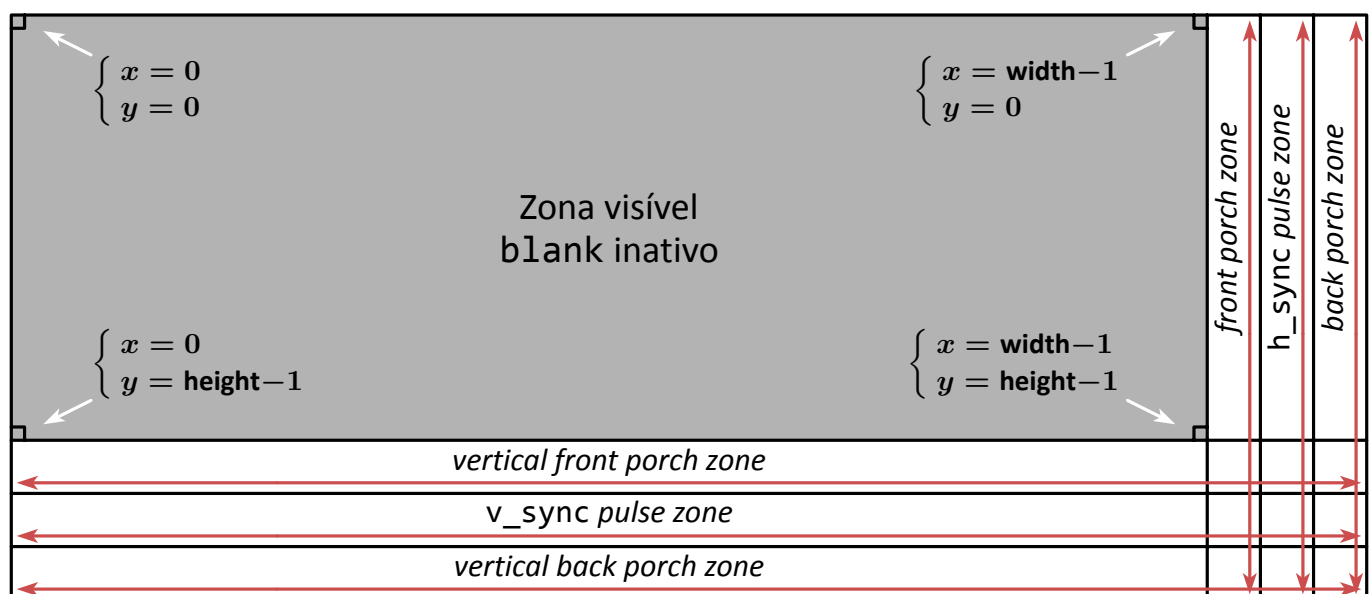
Esta informação é enviada sequencialmente, começando no lado esquerdo e acabando no lado direito. No mesmo *pixel* os sinais r, g e b são enviados em simultâneo em canais físicos separados.

A informação a enviar numa imagem completa está organizada como se ilustra a seguir (a informação também é enviada sequencialmente, agora começando em cima e acabando em baixo, sendo cada linha enviada como descrito no parágrafo anterior).



Para efeito de geração dos sinais físicos que são colocados no cabo que liga ao monitor, também é útil definir um sinal que não é transmitido, chamado *blank*, que indica, quando activo, que se está fora da zona visível da imagem. Esse sinal é habitualmente usado pelo circuito integrado que gera os sinais físicos para forçar os sinais r, g e b a zero fora da zona da imagem.

Toda a informação é enviada ao ritmo do *pixel clock*. Em particular, cada uma das três partes do *horizontal blank interval* tem uma duração que é um múltiplo da duração de um *pixel*. Algo de semelhante se passa com cada uma das três partes do *vertical blank interval*: cada uma delas tem uma duração que é um múltiplo da duração de uma linha. Todos os sinais podem ser gerados usando como referência a figura seguinte. O tempo avança da esquerda para a direita e de cima para baixo.



Um modo de vídeo não é especificado apenas pelo número de *pixels* na horizontal e na vertical da imagem. Também tem de se dizer quantas imagens são geradas por segundo (em Inglês, o termo usado é *refresh rate*). A partir destes três parâmetros existem regras para calcular a duração das zonas *front* e *back porch*

(quer horizontal quer vertical), e para calcular a duração e polaridade dos sinais de sincronismo horizontal e vertical. As que estão currentemente em uso, desenvolvidas pela *Video Electronics Standards Association* (VESA), são conhecidas pelos nomes *Generalized Timing Formula Standard* (GTF), de 1999, e *Coordinated Video Timings Standard* (CVT), de 2003. No sistema operativo GNU/Linux existem dois comandos, com os nomes `gtf` e `cvt`, que podem ser usados para calcular todos os parâmetros de um modo gráfico. Por exemplo, para o modo gráfico `1280x1024@60` (60 imagens por segundo, cada uma com a resolução `1280x1024`) obtém-se

```
$ gtf 1280 1024 60
```

```
# 1280x1024 @ 60.00 Hz (GTF) hsync: 63.60 kHz; pclk: 108.88 MHz
Modeline "1280x1024_60.00" 108.88 1280 1360 1496 1712 1024 1025 1028 1060 -HSync +Vsync
```

pelo que

- o *pixel clock* é de 108.88 MHz (cada *pixel* tem a duração de aproximadamente 9.184 nano-segundos),
- cada linha tem um total de 1712 *pixels*, dos quais 1280 são visíveis, sendo que o sinal `h_sync`, de polaridade negativa, está ativo entre os *pixels* 1360 e 1496,
- existem no total 1060 linhas, das quais 1024 são visíveis, sendo que o sinal `v_sync`, de polaridade positiva, está ativo entre as linhas 1025 e 1028.

Os exemplos `ir_vga_logic_analyzer`, `ps2_vga_text_buffer` e `rand_vga_histogram` mostram algumas coisas interessantes (e não demasiado complicadas) que se podem fazer com sinais VGA.

8.1 O ficheiro `vga_config.vhd`

Como várias entidades de um projeto podem precisar de conhecer todos os detalhes acerca do modo gráfico que vai ser usado nesse projeto, e como passar esses parâmetros todos através de genéricos é muito pouco prático, decidiu-se colocar todos esses parâmetros, na forma de constantes, num pacote (*package*) VHDL, a que se deu o nome `vga_config`, e cujo código está guardado no ficheiro `vga_config.vhd`. Para dar a conhecer a uma entidade o conteúdo desse pacote, basta incluir o ficheiro `vga_config.vhd` no nosso projeto e colocar a linha

```
use work.vga_config.all;
```

antes da declaração da entidade que precisa de conhecer essa informação (pode ser logo a seguir à linha `use ieee.std_logic_1164.all;`). Neste pacote estão guardados todos os detalhes acerca de alguns modos gráficos, sendo que o código seguinte lá presente

```
-----
---- The video mode that will be used ----
-----
constant vga_mode : vga_mode_t := vga_mode_800_600_72;
```

seleciona o modo gráfico que vai ser usado. Para mudar o modo gráfico basta pois editar o ficheiro `vga_config.vhd`, igualando `vga_mode` a um dos modos predefinidos (pode definir outros, se assim o desejar).

No pacote `vga_config` são também declarados alguns tipos de dados que facilitam muito trabalhar com sinais VGA:

```
--
-- VGA coordinates subtypes
--
subtype vga_x_t is integer range 0 to vga_mode.h_period-1;
```

```

subtype vga_y_t is integer range 0 to vga_mode.v_period-1;
--
-- signals generated by the vga_controller entity
--
type vga_data_t is record
  --
  -- Signals required by the video DAC (Digital to Analog Converter)
  --
  h_sync      : std_logic; -- horizontal sync pulse
  v_sync      : std_logic; -- vertical sync pulse
  blank_n     : std_logic; -- blank signal ('1' when inside display area)
  --
  -- Signals useful to the generation of the color of each pixel
  --
  x           : vga_x_t;   -- x coordinate of the video signal
  y           : vga_y_t;   -- y coordinate of the video signal
  end_of_line : std_logic; -- end of line pulse
  end_of_frame : std_logic; -- end of video frame pulse
end record vga_data_t;
--
-- Pixel color data (used by the vga_output entity)
--
type vga_rgb_t is record
  r : std_logic_vector(7 downto 0); -- red color component
  g : std_logic_vector(7 downto 0); -- green color component
  b : std_logic_vector(7 downto 0); -- blue color component
end record vga_rgb_t;

```

O tipo de dados `vga_data_t` agrupa todos os sinais que são gerados pela entidade `vga_controller`, que é uma das três entidades que temos de instanciar num projeto que usa VGA. A partir das coordenadas x e y , no nosso projeto temos de gerar uma cor para a *pixel* com essas coordenadas, com essa cor que pode ser convenientemente guardada num sinal do tipo `vga_rgb_t`. A entidade `vga_output`, que é a segunda das três entidades que temos de instanciar num projeto que usa VGA, recebe um `vga_data_t` e um `vga_rgb_t` e gera todos os sinais que é preciso enviar para o exterior da FPGA. A terceira entidade que é preciso instanciar, com o nome `vga_clock_generator`, é a que gera o sinal de relógio para os *pixels*. Recomenda-se que esse sinal de relógio seja o sinal de relógio de todo o sistema.

Para conveniência de quem pretende usar sinais VGA no seu projeto, as três entidades mencionadas no parágrafo anterior estão todas declaradas no ficheiro `vga.h`. (Também lá podíamos ter colocado o conteúdo do ficheiro `vga_config.vhd` mas decidimos não exagerar!)

8.2 O ficheiro `vga.vhd`

Das três entidades declaradas em `vga.h`, a mais simples é `vga_clock_generator`:

```

entity vga_clock_generator is
  port
  (
    clock_50 : in  std_logic; -- 50MHz clock
    vga_clock : out std_logic  -- VGA pixel clock
  );
end vga_clock_generator;

```

Note que não é preciso especificar a frequência pretendida porque esta é conhecida (está especificada no pacote `vga_config`). Se essa frequência for muito próxima de 50 MHz, o sinal `vga_clock` será o sinal `clock_50`; se isso não acontecer, o sinal `vga_clock` será gerado através de uma instanciação da entidade `clock_generator` (que terá de ser adicionada ao projeto), descrita sumariamente na seção 10.4.

A entidade `vga_controller` é igualmente simples:

```
entity vga_controller is
  port
  (
    clock      : in  std_logic;      -- pixel clock (main clock)
    reset      : in  std_logic := '0'; -- if active, reset the VGA controller
    vga_data_0 : out vga_data_t      -- control signals
  );
end vga_controller;
```

Note que `vga_data_0` contém vários sinais. Por exemplo, `vga_data_0.x` e `vga_data_0.y` são as coordenadas do *pixel* que está no momento a ser considerado. Note ainda que se terminou o nome do porto com `_0`. Como veremos em breve, esta terminação tem como objetivo indicar qual o alinhamento temporal deste sinal em relação a outros sinais.

A declaração da entidade `vga_output` só é mais complicada que as anteriores porque é preciso especificar todos os sinais a ligar a pinos da FPGA:

```
entity vga_output is
  port
  (
    clock      : in  std_logic;      -- pixel clock
    vga_data   : in  vga_data_t;     -- the control signals
    vga_rgb    : in  vga_rgb_t;      -- the corresponding pixel color

    vga_clk    : out std_logic;      -- vga pixel clock
    vga_hs     : out std_logic;      -- vga horizontal sync
    vga_vs     : out std_logic;      -- vga vertical sync
    vga_sync_n : out std_logic;      -- vga sync signal (active low)
    vga_blank_n : out std_logic;     -- vga blank signal (active low)
    vga_r      : out std_logic_vector(7 downto 0); -- vga red component
    vga_g      : out std_logic_vector(7 downto 0); -- vga green component
    vga_b      : out std_logic_vector(7 downto 0); -- vga blue component
  );
end vga_output;
```

Em cada transição positiva do relógio `clock`, esta entidade recebe os sinais de sincronismo e a *côr* a utilizar, respetivamente em `vga_data` e `vga_rgb`, e coloca-os da maneira apropriada nos pinos da FPGA (portos `vga_clk`, ..., `vga_b`). Note que é importante que `vga_data` e `vga_rgb` estejam alinhados temporalmente, ou seja, que a *côr* que é fornecida em `vga_rgb` corresponda de facto às coordenadas do *pixel* que estão em `vga_data`.

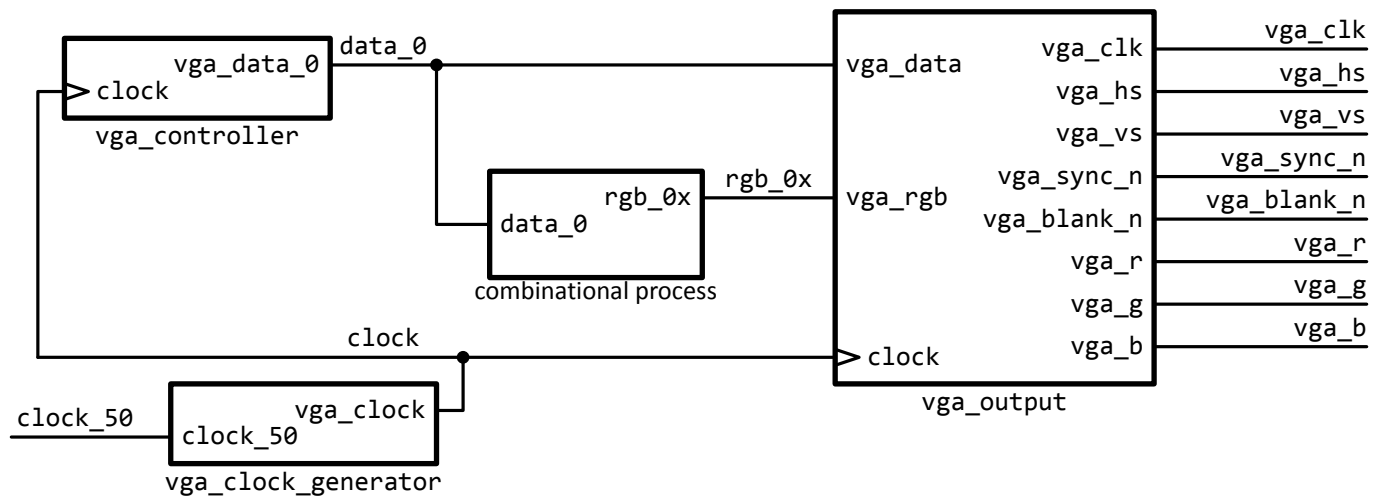
8.3 Diagrama de blocos da interligação das três entidades VGA

Como exemplo, considere o caso muito simples em que se pretende criar uma imagem preta com um bordo branco de 4 *pixels* de largura. O processo combinatório seguinte dá conta do recado:

```
combinational : process(data_0) is
begin
  rgb_0x.r <= x"00"; rgb_0x.g <= x"00"; rgb_0x.b <= x"00"; -- black by default
  if data_0.x < 4 or data_0.x >= vga_width-4 or data_0.y < 4 or data_0.y >= vga_height-4 then
    rgb_0x.r <= x"FF"; rgb_0x.g <= x"FF"; rgb_0x.b <= x"FF"; -- the border is white
  end if;
end process;
```

Como o processo é combinatório a *côr* está disponível antes da próxima transição positiva do sinal de relógio (assinalamos isso dando um nome que termina em `_0x` ao sinal que contém a *côr*). Podemos

então fornecer à entidade `vga_output` os sinais `data_0` e `rgb_0x`, pois na próxima transição do relógio eles estarão alinhados temporalmente. O diagrama de blocos seguinte mostra como as várias entidades estão ligadas entre si.

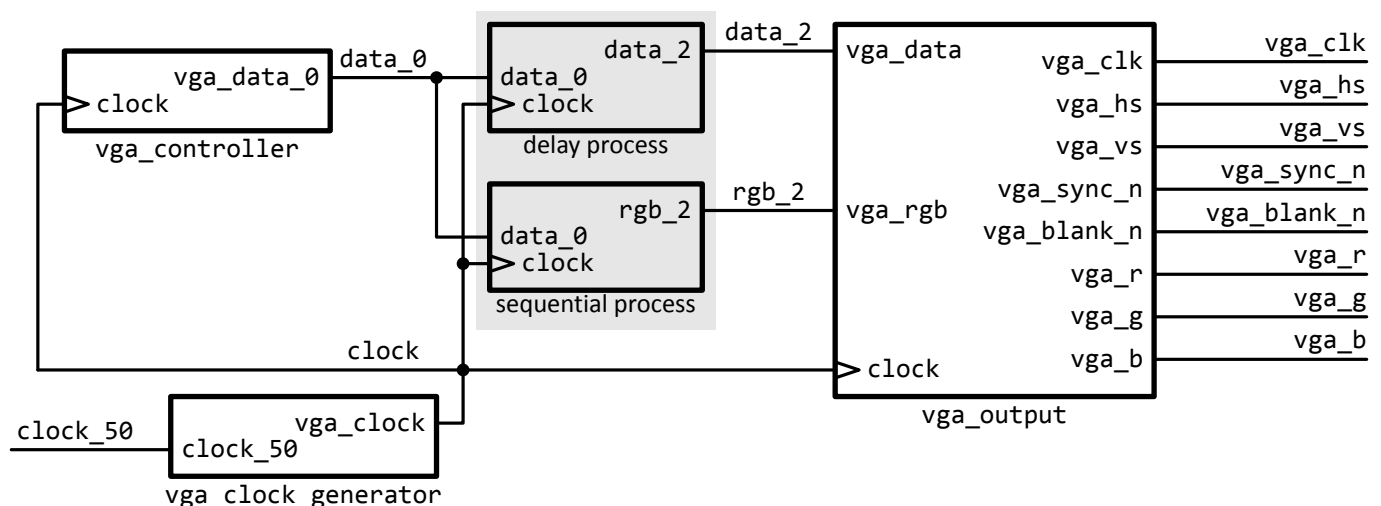


Se a lógica combinatória for demasiado lenta teremos de a subdividir em parcelas mais pequenas, como se ilustra a seguir (faz-se o `if` num ciclo de relógio e escolhe-se a cor no ciclo de relógio seguinte).

```

delay : process(clock) is
begin
  if rising_edge(clock) then
    data_1 <= data_0;
    data_2 <= data_1;
  end if;
end process;
sequential : process(clock) is
begin
  if rising_edge(clock) then
    border_1 <= '0'; -- not in border by default
    if data_0.x < 4 or data_0.x >= vga_width-4 or data_0.y < 4 or data_0.y >= vga_height-4 then
      border_1 <= '1'; -- in border
    end if;
    rgb_2.r <= x"00"; rgb_2.g <= x"00"; rgb_2.b <= x"00"; -- black by default
    if border_1 = '1' then
      rgb_2.r <= x"FF"; rgb_2.g <= x"FF"; rgb_2.b <= x"FF"; -- the border is white
    end if;
  end if;
end process;

```



Note que as partes que "calculam coisas" foram colocados no mesmo processo sequencial. No primeiro ciclo de relógio determina-se o valor de `border_1` a partir das coordenadas presentes em `data_0`; em simultâneo, atrasa-se o sinal `data_0` obtendo-se `data_1`. No segundo ciclo de relógio, usa-se o valor de `border_1` para escolher a cor a guardar em `rgb_2`; ao mesmo tempo que se faz isto atrasa-se `data_1`, obtendo-se `data_2`. Deste modo `data_2` e `rgb_2` ficam alinhados temporalmente, pelo que a imagem irá ser gerada corretamente.

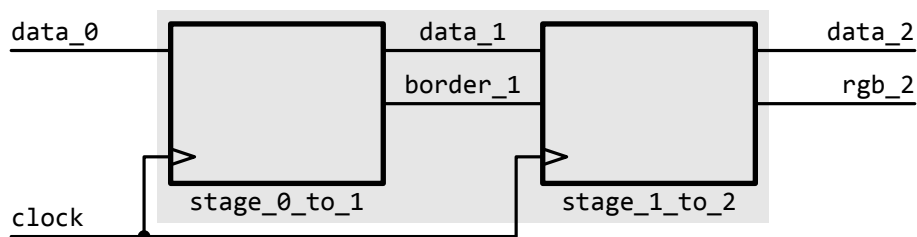
8.4 O conceito de *pipeline*

A maneira de fazer as coisas descrita acima é um exemplo de um *pipeline*. Uma outra maneira de escrever o código anterior, na qual os andares do *pipeline* estão claramente identificados e completamente separados é a seguinte (recomenda-se que escreva o seu código desta maneira):

```
stage_0_to_1 : process(clock) is
begin
  if rising_edge(clock) then
    data_1 <= data_0;
    if data_0.x < 4 or data_0.x >= vga_width-4 or data_0.y < 4 or data_0.y >= vga_height-4 then
      border_1 <= '1'; -- in border
    else
      border_1 <= '0'; -- not in border
    end if;
  end if;
end process;

stage_1_to_2 : process(clock) is
begin
  if rising_edge(clock) then
    data_2 <= data_1;
    if border_1 = '1' then
      -- the border is white
      rgb_2.r <= x"FF";
      rgb_2.g <= x"FF";
      rgb_2.b <= x"FF";
    else
      -- the rest of the image is black
      rgb_2.r <= x"00";
      rgb_2.g <= x"00";
      rgb_2.b <= x"00";
    end if;
  end if;
end process;
```

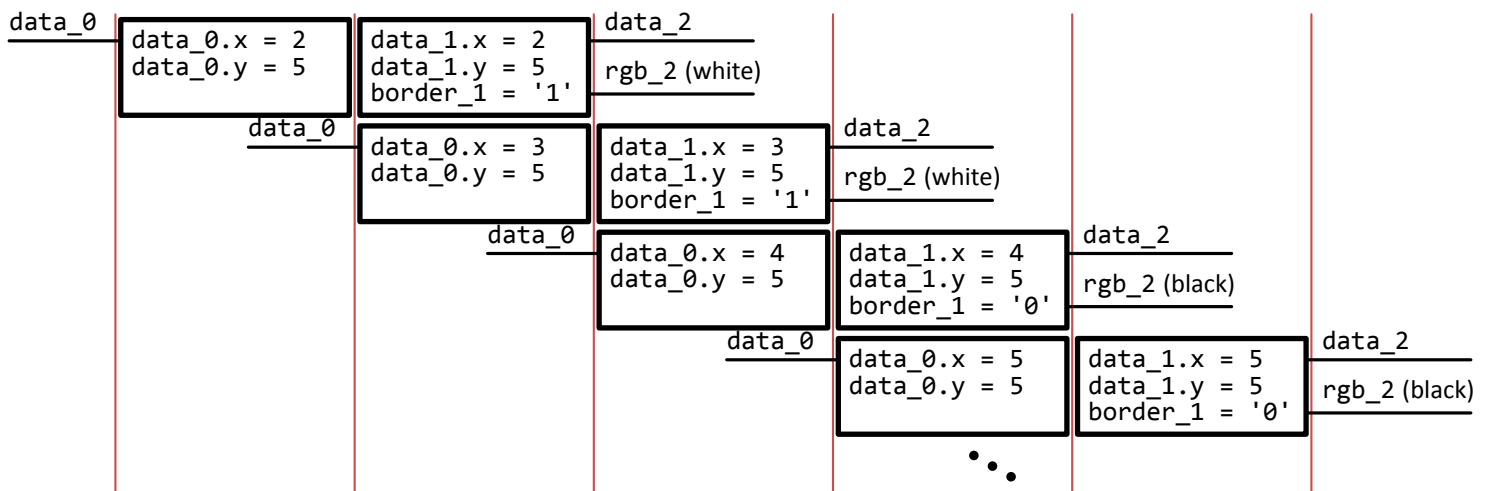
Com o código organizado desta maneira a zona com fundo cinzento claro da figura anterior passa a ter o seguinte aspeto.



Neste exemplo simples não foi preciso utilizar sinais assíncronos (processos combinatórios). Note que o último andar do *pipeline* podia ter sido feito de uma maneira puramente combinatória. No entanto,

para evitar erros de distração e para facilitar uma eventual alteração do número de andares do *pipeline*, é preferível usar sempre sinais síncronos.

Na figura seguinte mostra-se um exemplo de como é que a informação flui no *pipeline* ao longo do tempo. Cada faixa vertical corresponde a um ciclo de relógio.



Note que neste caso cada *pixel* é processado em dois ciclos de relógio (latência de 2). Note ainda que em cada ciclo de relógio se começa a processar um novo *pixel*.

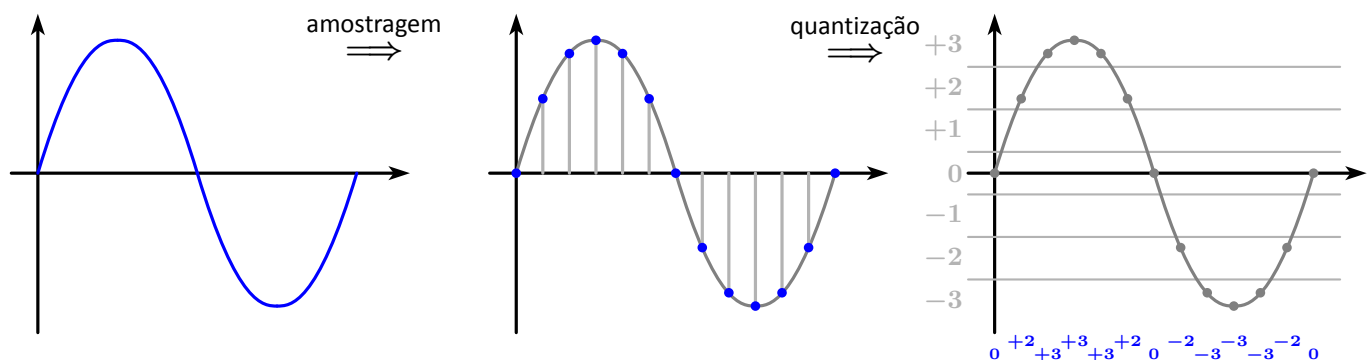
Usando um *pipeline* é relativamente simples gerar duas ou mais imagens independentes (nos primeiros andares do *pipeline*) e depois usar os andares finais para combinar as imagens numa única. Esta técnica é particularmente útil para quem pretende fazer jogos ou *screen savers*.

Para terminar, note que em geral cada andar de um *pipeline* pode ter uma parte sequencial (controlada pelo sinal de relógio) e uma parte combinatória. Recomenda-se que sejam dados nomes aos sinais que reflitam o andar do *pipeline* onde são gerados. Por exemplo, os sinais de entrada do andar número 2 devem acabar em *_2*, os sinais síncronos gerados por esse andar devem acabar em *_3*, e os sinais assíncronos gerados por esse andar devem acabar em *_2x* (para indicar que o nível lógico de cada sinal deste tipo pode mudar de valor antes da próxima transição positiva do sinal de relógio; os outros só podem mudar de nível lógico nas transições de relógio).

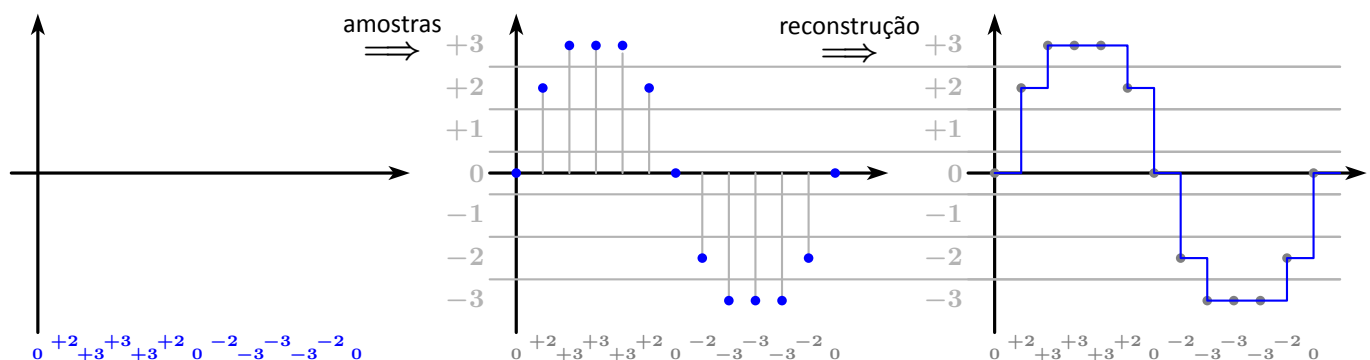
9 Áudio (audio_controller e audio_io)

Um codec (*CODer-DECoder*) de áudio permite converter um sinal de áudio, composto por um ou mais canais, do domínio analógico para o digital, e, mais importante, permite fazer a conversão inversa, do domínio digital para o analógico. A primeira funcionalidade é utilizada, por exemplo, para gravar sons, e a segunda para os reproduzir.

A conversão do domínio analógico para o digital é feita por um conversor analógico-digital (*Analog-to-Digital Converter*, abreviado por ADC), e envolve tipicamente três passos distintos. No primeiro, filtra-se o sinal analógico de entrada, removendo as suas frequências mais altas (se isso não fosse feito, o resultado da conversão teria ruído indesejado). No segundo, o sinal é amostrado a uma determinada frequência de amostragem. Matematicamente, nesta operação passa-se do sinal $s(t)$ onde a variável tempo é contínua (número real), para o sinal $s(kT)$, onde k é um número inteiro e T é o período de amostragem. Sabe-se que a frequência máxima do sinal amostrado não pode ser superior a metade da frequência de amostragem. Finalmente, no terceiro passo o sinal amostrado é discretizado (quantizado), obtendo-se desta maneira uma aproximação de $s(kT)$ por um número com n bits. A figura seguinte ilustra as duas últimas operações (usando uma quantização de 3 bits centrada em zero).



A conversão do domínio digital para o analógico é feita por um conversor digital-analógico (*Digital-to-Analog Converter*, abreviado por DAC), e também envolve tipicamente três passos distintos. No primeiro, a representação binária da amostra do sinal é convertida num sinal analógico. No segundo, o valor desse sinal analógico é mantido até ao instante da próxima amostra. No terceiro, é feita uma filtragem do sinal resultante, mais uma vez para lhe retirar as suas frequências mais altas. A figura seguinte ilustra as duas primeiras operações.



Um codec de áudio também pode ser configurado/programado de modo a se controlar alguns aspetos da cadeia de gravação e reprodução de som, tais como por exemplo, escolher a frequência de amostragem (na entidade fornecida esta foi fixada em 48 kHz), escolher o número de *bits* de cada amostra (foi fixo em 16), e escolher ganhos a aplicar aos sinais analógicos de entrada e de saída (an entidade fornecida podem ser ajustados). O diagrama funcional da figura 9 (página 21) do [data sheet](#) do codec de áudio mostra o que este é capaz de fazer. Recomenda-se o estudo deste diagrama pelos elementos dos grupos que querem utilizar áudio nos seus projetos finais.

O *interface* da entidade `audio_controller` é o seguinte:

```
entity audio_controller is
  generic
  (
    clock_frequency : real range 40.0e6 to 200.0e6
  );
  port
  (
    clock : in std_logic;
    reset : in std_logic;

    i2c_sclk : inout std_logic;
    i2c_sdat : inout std_logic;

    use_line_in : in std_logic;
    line_in_gain : in std_logic_vector(4 downto 0);

    use_mic : in std_logic;
    mic_boost : in std_logic;

    line_bypass : in std_logic;
    mic_bypass : in std_logic;
    volume : in std_logic_vector(6 downto 0)
  );
end audio_controller;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

clock Sinal de relógio.

reset Sinal de *reset*.

i2c_sclk e **i2c_sdat** Sinais a ligar aos pinos da FPGA com os mesmos nomes.

use_line_in Quando ativo (a '1'), a entrada do conversor analógico-digital é o sinal *line-in*.

line_in_gain Ganho a aplicar à entrada *line-in*; "00000" corresponde a -34.5 dB e "11111" corresponde a +12.0 dB (saltos de 1.5 dB entre valores consecutivos do ganho). Relembra-se que a escala em dB é uma escala logarítmica; +20 dB corresponde a um ganho (multiplicativo) de 10.

use_mic Quando ativo (a '1') e quando *use_line_in* está a '0', a entrada do conversor analógico-digital é o sinal *mic*.

min_boost Ganho a aplicar à entrada *mic*; '0' corresponde a 0 dB e '1' corresponde a +20 dB.

line_bypass Quando a '1', parte do sinal *line-in* é misturado, com um ganho de -6 dB, com o sinal *line-out*.

mic_bypass Quando a '1', parte do sinal *mic* é misturado, com um ganho de -6 dB, com o sinal *line-out*.

volume Ganho a aplicar à saída *line-out*; abaixo de "0110000" produz silêncio (*mute*), "0110000" corresponde a um ganho de -73 dB e "1111111" corresponde a um ganho de +6 dB (saltos de 1 dB entre valores consecutivos do ganho).

Recomenda-se que inicialmente se coloque *line_in_gain* a "10000" (ganho do *line-in* de -10.5 dB) e se coloque *volume* a "1100000" (ganho do *line-out* de -25 dB).

O *interface* da entidade `audio_io` é o seguinte:

```
entity audio_io is
  generic
  (
    clock_frequency : real range 40.0e6 to 200.0e6
  );
  port
  (
    clock      : in std_logic;
    clock_50   : in std_logic;

    aud_xck     : out std_logic;
    aud_bclk    : in  std_logic;
    aud_adclrk  : in  std_logic;
    aud_adcdat  : in  std_logic;
    aud_dacdat  : out std_logic;

    from_left   : out std_logic_vector(15 downto 0);
    from_right  : out std_logic_vector(15 downto 0);
    valid       : out std_logic;

    to_left     : in std_logic_vector(15 downto 0);
    to_right    : in std_logic_vector(15 downto 0)
  );
end audio_io;
```

Nota: esta entidade instancia a entidade `clock_generator`, que por isso também precisa de ser adicionada ao projeto. Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

clock Sinal de relógio.

clock_50 Sinal de relógio de 50 MHz, usado para gerar o sinal a enviar para o porto `aud_xck`.

aud_xck a **aud_dacdat** Sinais a ligar aos pinos da FPGA com os mesmos nomes.

from_left Última amostra recebida do canal esquerdo, interpretada como sendo um inteiro de 16 *bits* representado em complemento para 2.

from_right Última amostra recebida do canal direito, interpretada como sendo um inteiro de 16 *bits* representado em complemento para 2.

valid Pulso, com a duração de apenas um ciclo de relógio, que assinala que foi colocada nova informação nos portos `from_left` e `from_right`. São gerados cerca de 48000 pulsos por segundo. Atendendo à maneira como esta entidade foi implementada, este sinal não é ativado se `use_line_in` e `use_mic` estiverem ambos a '0'; por isso, em projetos onde se pretenda apenas reproduzir um som é necessário colocar um destes dois portos a '1', tal como feito no exemplo `lcd_audio`.

to_left Próxima amostra a ser enviada para o canal esquerdo, interpretada como sendo um inteiro de 16 *bits* representado em complemento para 2. Esta amostra deve ser colocada neste porto o mais tardar 10 micro-segundos após a última ativação do porto `valid` e o seu valor deve ser mantido até ao próximo pulso de `valid`.

to_right Próxima amostra a ser enviada para o canal direito, interpretada como sendo um inteiro de 16 *bits* representado em complemento para 2. Esta amostra deve ser colocada neste porto o mais tardar 10 micro-segundos após a última ativação do porto `valid` e o seu valor deve ser mantido até ao próximo pulso.

Por exemplo, para enviar o que se recebe do *line-in* para o *line-out*, põe-se o porto `use_line_in` da entidade `audio_controller` a '1' e faz-se (estamos aqui a usar sinais com nomes iguais aos dos portos da entidade `audio_io`):

```
process(clock) is
  if rising_edge(clock) then
    if valid = '1' then
      to_left  <= from_left;
      to_right <= from_right;
    end if;
  end if;
```

O instante de tempo no qual `to_left` e `to_right` vão de facto ser utilizados ocorre cerca de 10 microsegundos depois de `valid` ter estado a '1', mas como `from_left` e `from_right` não são alterados até ao próximo pulso de `valid` esta maneira de fazer as coisas é muito prática. Para reproduzir um som pode-se usar a mesma estratégia (nota: só são gerados pulsos no sinal `valid` se `use_line_in` estiver a '1' ou se `use_min` estiver a '1'):

```
process(clock) is
  if rising_edge(clock) then
    if valid = '1' then
      to_left  <= left_rom(addr);  -- or left_ram(addr) when a RAM is used
      to_right <= right_rom(addr); -- or right_ram(addr) when a RAM is used
      addr <= addr+1;
    end if;
  end if;
```

(Estude a parte de áudio do exemplo `lcd_audio`.)

10 Outras entidades fornecidas

Apresentamos aqui uma descrição sucinta de outras entidades fornecidas que são potencialmente úteis (e que são usadas em alguns dos exemplos).

10.1 A entidade `seven_segment_decoder`

A entidade `seven_segment_decoder` é uma versão ligeiramente melhorada da que foi fornecida para ser usada em alguns guiões das aulas práticas. Além de permitir mostrar algarismos hexadecimais, permite também mostrar algumas outras letras e alguns símbolos; para saber quais dê uma olhadela no código da entidade. O *interface* desta entidade é o seguinte:

```
entity seven_segment_decoder is
  port
  (
    code   : in  std_logic_vector(4 downto 0); -- code of the character
    enable : in  std_logic := '1';             -- if inactive, blank the display
    leds   : out std_logic_vector(6 downto 0) -- active low outputs
  );
end seven_segment_decoder;
```

Note que para mostrar apenas algarismos hexadecimais podemos escrever, no *port map* da instanciação da entidade, algo do género `code => '0' & digit`. Se isto for feito o quartus elimina tudo que é redundante (os casos 16 a 31, nos quais o *bit* mais significativo de `code` está a '1'), sendo sintetizada uma entidade muito parecida com a utilizada nos trabalhos prácticos.

10.2 A entidade `debouncer`

A entidade `debouncer` oferece mais funcionalidades que a fornecida para ser usada nos guiões das aulas práticas. Em particular, a partir de um sinal "sujo", isto é, com transições rápidas indesejáveis, é gerado um sinal "limpo", isto é, sem essas transições, e também são gerados pulsos, ativos durante apenas um ciclo de relógio, quando é detetada uma transição de '0' para '1' ou é detetada uma transição de '1' para '0' do sinal limpo. O seu *interface* é o seguinte.

```
entity debouncer is
  generic
  (
    clock_frequency : real range 1.0e6 to 200.0e6;
    window_duration : real range 0.0 to 0.1;
    initial_level   : std_logic := '0'
  );
  port
  (
    clock           : in  std_logic;
    dirty           : in  std_logic;
    clean           : out std_logic;
    zero_to_one_pulse : out std_logic := '0';
    one_to_zero_pulse : out std_logic := '0'
  );
end debouncer;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

clock_frequency Parâmetro que especifica a frequência, em Hertz, do sinal de relógio. (Usado para calcular o número de ciclos de relógio correspondentes a determinados intervalos de tempo.)

window_duration Parâmetro que especifica a duração, em segundos, da janela temporal a usar. O sinal é considerado limpo quando permanece estável durante este intervalo de tempo.

initial_level Nível lógico inicial do sinal limpo. Para evitar uma deteção de uma transição do sinal limpo quando a FPGA começa a trabalhar, deve ser utilizado o valor inicial '1' para os botões do *kit key(0)* a *key(3)*, e deve ser utilizado o valor inicial '0' para os interruptores *sw(0)* a *sw(17)*. Em geral, deve ser usado o nível lógico correspondente ao estado em repouso do sinal que se quer limpar.

clock Sinal de relógio.

dirty Sinal que se quer limpar.

clean Sinal limpo. (Na instanciação da entidade pode não ser ligado: `clean => open`).

zero_to_one_pulse Pulso que é ativado, apenas durante um ciclo de relógio, sempre que ocorre uma transição de '0' para '1' no sinal limpo. (Na instanciação da entidade pode não ser ligado: `zero_to_one_pulse => open`).

one_to_zero_pulse Pulso que é ativado, apenas durante um ciclo de relógio, sempre que ocorre uma transição de '1' para '0' no sinal limpo. (Na instanciação da entidade pode não ser ligado: `one_to_zero_pulse => open`).

10.3 A entidade `pulse_generator`

A entidade `pulse_generator` gera impulsos, com a duração de apenas um ciclo de relógio, a um ritmo pré-estabelecido. O seu *interface* é o seguinte:

```
entity pulse_generator is
  generic
  (
    clock_frequency : real range 1.0e6 to 200.0e6; -- (in Hz) frequency of the clock signal
    pulse_frequency : real range 0.1 to 200.0e6 -- (in Hz) frequency of the pulse signal
  );
  port
  (
    clock : in std_logic;      -- main clock
    reset : in std_logic := '0'; -- reset
    pulse : out std_logic      -- pulse signal (will be set to '1' at the pulse frequency)
  );
end pulse_generator;
```

Atendendo que o código desta entidade é muito simples a única coisa de é dita aqui acerca do seu funcionamento é que depois de um *reset* o primeiro pulso ocorre no fim do período (utilizações possíveis: temporizador, *auto-repeat*). Estude o código desta entidade e as suas utilizações nos exemplos fornecidos!

10.4 A entidade `clock_generator`

A entidade `clock_generator` gera, a partir do sinal `clock_50` de 50 MHz, um outro sinal de relógio com uma frequência próxima da por nós definida. Isto é feito instanciando a entidade `altpll` fornecida pela Altera/Intel, que nos permite usar uma das quatro PLLs, abreviatura de *Phase Locked Loop*, que temos disponíveis na nossa FPGA. (Uma PLL permite, dentro de certos limites, gerar um sinal de relógio cuja frequência é um múltiplo racional da frequência do sinal que lhe é fornecida. No MIEET, as PLLs são estudadas numa das unidades curriculares de Eletrónica.) Esta entidade é instanciada pelas entidades

`vga_clock_generator` e `audio_io` e, a não ser que o aluno(a) se queira aventurar a trabalhar com um relógio que não seja de 50 MHz, não precisa que ser instanciada diretamente.

O interface da entidade `clock_generator` é o seguinte.

```
entity clock_generator is
  generic
  (
    frequency : real range 1.0e6 to 200.0e6
  );
  port
  (
    clock_50 : in  std_logic;
    new_clock : out std_logic
  );
end clock_generator;
```

Descreve-se a seguir a função de cada um dos seus parâmetros/portos.

frequency Parâmetro que especifica a frequência desejado, em Hertz, do novo sinal de relógio.

clock_50 Como o nome do porto indica, relógio de 50 MHz.

new_clock Sinal de relógio gerado. A frequência deste relógio é num/den vezes 50 Mhz, sendo num e den dois números inteiros pequenos cuja razão é uma aproximação da razão entre a frequência pretendida e 50 MHz. Para descobrir qual é a frequência exata do novo sinal de relógio, vá ao *Compilation report* e selecione, por esta ordem, *Fitter, Resource Section, PLL Summary/Usage*.

10.5 As entidades `font_8x8_bold` e `font_16x16_bold`

A entidade `font_8x8_bold` usa internamente uma ROM (*Read Only Memory*) para guardar 128 imagens monocromáticas, cada uma delas com 8 *pixels* de largura e de altura, e permite acessos de leitura a essa ROM de modo para se determinar se um determinado pixel de uma determinada imagem é '0' ou '1'. A maioria (95) dessas imagens correspondem aos caracteres ASCII e foram extraídas, com ligeiras alterações aqui e acolá, do ficheiro `font8x8_basic.h` do projeto <https://github.com/dhepper/font8x8>, gentilmente colocadas no domínio público por Daniel Hepper e Marcel Sondaar. As restantes 33 imagens foram criadas pelo autor deste documento. (Dê uma vista de olhos no código da entidade para ter uma ideia do que representam.)

Esta entidade pode ser usada para mostrar texto numa imagem VGA. O exemplo `ps2_vga_text_buffer` mostra como isso pode ser feito. O seu *interface* é o seguinte.

```
entity font_8x8_bold is
  port
  (
    clock : in std_logic;

    char_0 : in  std_logic_vector(6 downto 0);
    row_0  : in  std_logic_vector(2 downto 0);
    column_0 : in  std_logic_vector(2 downto 0);
    data_1 : out std_logic
  );
end font_8x8_bold;
```

Descreve-se a seguir a função de cada um dos seus portos.

clock Sinal de relógio.

char_0 Número da imagem (ou carater) pretendida.

row_0 Número da linha pretendida (0 corresponde à linha de cima e 7 à de baixo).

column_0 Número da coluna pretendida (0 corresponde à coluna da esquerda e 7 à da direita).

data_1 Cór do *pixel* pretendido ('0' corresponde à cór de fundo), disponível no ciclo de relógio seguinte (nome do porto terminado em _1!).

A entidade `font_16x16_bold` é semelhante à entidade `font_8x8_bold`, sendo que as imagens têm 16 *pixels* de largura e de altura e foram obtidas (e ligeiramente modificadas) do ficheiro `arial_bold.c`, disponível em http://www.rinkydinkelectronics.com/r_fonts.php, e gentilmente colocado no domínio público por MBWK. O seu *interface* é

```
entity font_16x16_bold is
  port
  (
    clock : in std_logic;

    char_0  : in  std_logic_vector(6 downto 0);
    row_0   : in  std_logic_vector(3 downto 0);
    column_0 : in  std_logic_vector(3 downto 0);
    data_1  : out std_logic
  );
end font_16x16_bold;
```

10.6 A entidade `blorp_sound_rom`

A entidade `blorp_sound_rom` é uma ROM, com dois portos de leitura síncrona, que armazena 4096 amostras de um som que soa como “blorp”, som esse que foi gentilmente colocado no domínio público por Mark DiAngelo. O seu *interface* é o seguinte.

```
entity blorp_sound_rom is
  port
  (
    clock : in std_logic;

    addr0_0 : in  std_logic_vector(11 downto 0);
    data0_1 : out std_logic_vector(15 downto 0);

    addr1_0 : in  std_logic_vector(11 downto 0);
    data1_1 : out std_logic_vector(15 downto 0)
  );
end blorp_sound_rom;
```

Descreve-se a seguir a função de cada um dos seus portos.

clock Sinal de relógio.

addr0_0 Número da amostra pretendida para o primeiro porto de leitura.

data0_1 Valor lido do primeiro porto de leitura, disponível no ciclo de relógio seguinte.

addr1_0 Número da amostra pretendida para o segundo porto de leitura.

data1_1 Valor lido do segundo porto de leitura, disponível no ciclo de relógio seguinte.

10.7 A entidade `sin_function`

A entidade `sin_function`, como o seu nome indica, calcula o seno do ângulo colocado no seu porto de entrada. Isso é feito usando um *pipeline* com 5 andares, pelo que o resultado só fica disponível 5 ciclos de relógio depois. Apesar de ter sido projetado para permitir a geração de sinais de rádio FM (isso, infelizmente, sai fora do âmbito desta unidade curricular), também pode ser usado para produzir tons puros (sons com apenas uma frequência) para áudio (tal como feito no exemplo `audio`).

O *interface* desta entidade é o seguinte.

```
entity sin_function is
  port
  (
    clock : in  std_logic;
    arg_0 : in  std_logic_vector(17 downto 0);
    sin_5 : out std_logic_vector(15 downto 0)
  );
end sin_function;
```

Descreve-se a seguir a função de cada um dos seus portos.

clock Sinal de relógio.

arg_0 Ângulo cujo seno é pretendido, codificado desde 0 (correspondendo a um ângulo de 0 radianos) até $2^{18} - 1$ (correspondendo a um ângulo de $(1 - 2^{-18})2\pi$ radianos); o valor n (sem sinal) corresponde ao ângulo $n/2^{18} 2\pi$ radianos.

sin_5 Seno do ângulo correspondente a `arg_0`, multiplicado por 32767.5 e truncado para um número inteiro representado em complemento para 2. Devido ao *pipeline* de 5 andares, o valor presente neste porto corresponde ao ângulo colocado no porto `arg_0` 5 ciclos de relógio antes.

11 Como ordenar alguns números inteiros de uma forma eficiente

Em alguns dos projetos finais de Laboratórios de Sistemas Digitais poderá ser necessário ordenar por ordem crescente vários números inteiros. O método combinatório que descrevemos aqui usa redes de ordenação, conhecidas em Inglês pelo nome de *sorting networks*, e é muito eficaz quando o número de inteiros a ordenar é pequeno. Para mais informações sobre redes de ordenação consulte a seção 5.3.4 (*networks for sorting*, páginas 219 a 247) do livro

Donald E. Knuth,
Sorting and Searching,
The Art of Computer Programming, volume 3.
 Addison-Wesley, Reading, Massachusetts, terceira edição, 1998.

Como alternativa, poderá pesquisar este assunto na *internet* (procure "*minimum-time sorting networks*" e "*zero-one principle*").

11.1 Como ordenar dois números inteiros

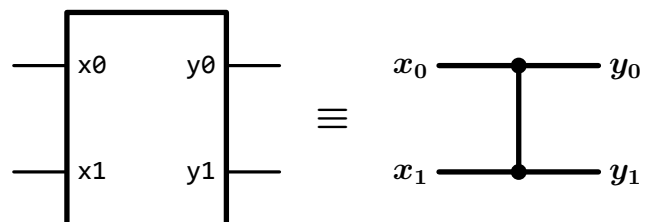
O caso mais simples ocorre quando se pretende ordenar apenas dois números inteiros. A entidade combinatória apresentada a seguir resolve facilmente este problema.

```
library ieee;
use      ieee.std_logic_1164.all;
use      ieee.numeric_std.all;

entity sort_two is
  generic
  (
    n_bits : natural range 1 to 32
  );
  port
  (
    x0 : in  unsigned(n_bits-1 downto 0); -- the first number to sort
    x1 : in  unsigned(n_bits-1 downto 0); -- the second number to sort
    y0 : out unsigned(n_bits-1 downto 0); -- the smallest of the two, min(x0,x1)
    y1 : out unsigned(n_bits-1 downto 0)  -- the largest of the two, max(x0,x1)
  );
end sort_two;

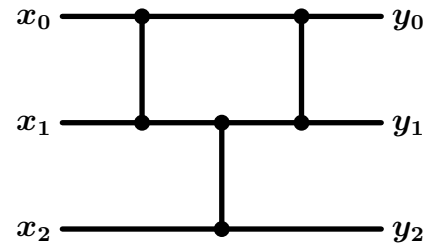
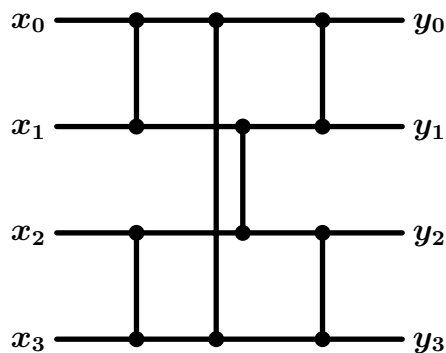
architecture combinational of sort_two is
begin
  y0 <= x0 when (x0 < x1) else x1;
  y1 <= x1 when (x0 < x1) else x0;
end combinational;
```

A figura ao lado mostra duas maneiras diferentes de representar graficamente uma instanciação desta entidade. Do lado esquerdo apresenta-se uma representação convencional da entidade e do lado direito apresenta-se a representação habitualmente usada em redes de ordenação.



11.2 Como ordenar três ou quatro números inteiros

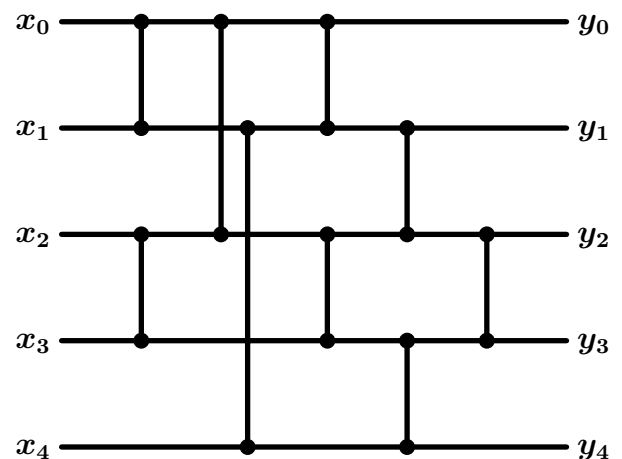
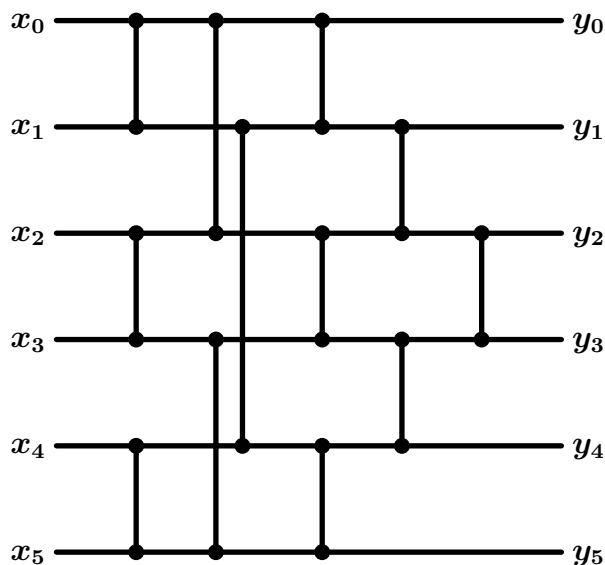
Para ordenar quatro números inteiros podemos usar a rede de ordenação apresentada do lado esquerdo da figura seguinte.



Note que se se eliminar x_3 e y_3 e todas as instâncias da entidade `sort_two` que estão ligadas à linha que os une, se obtém uma rede de ordenação para três números, como pode ser observado do lado direito da figura. Note ainda que o atraso máximo de propagação da lógica combinatória corresponde ao atraso de três entidades `sort_two`.

11.3 Como ordenar cinco ou seis números inteiros

Para ordenar seis números inteiros podemos usar a rede de ordenação apresentada do lado esquerdo da figura seguinte.



Note que se se eliminar x_5 e y_5 e todas as instâncias da entidade `sort_two` que estão ligadas à linha que os une, se obtém uma rede de ordenação para cinco números, como pode ser observado do lado direito da figura. Nestes dois casos o atraso máximo de propagação da lógica combinatória corresponde ao atraso de cinco entidades `sort_two`.

12 Exemplos fornecidos

Para ilustrar o funcionamento das entidades fornecidas foram feitos, em VHDL 2008, os exemplos que se descrevem a seguir. O nome do exemplo é o nome do diretório (pasta) onde está armazenado o projeto correspondente.

audio Neste exemplo, que lida com sinais de áudio, ilustra-se uma maneira possível de usar a entidade `audio_io` e exercitam-se todas as funcionalidades da entidade `audio_controller`. No que diz respeito a esta última,

- `sw(16)` quando a '1' seleciona a entrada de áudio *line-in*,
- `sw(15 downto 11)` seleciona o ganho da entrada *line-in* ("00000" corresponde a um ganho de -34.5 dB e "11111" corresponde a um ganho de +12.0 dB, com saltos de 1.5 dB),
- `sw(10)` quando a '1' e quando `sw(16)` está a '0' seleciona a entrada de áudio *mic* (microfone),
- `sw(9)` quando a '1' seleciona um ganho de +20 dB para o microfone (quando está a '0' o ganho é de 0 dB),
- `sw(8)` quando a '1' faz o *bypass* da entrada *line-in* (mais concretamente, uma versão atenuada 6 dB deste sinal é somada ao sinal *line-out*),
- `sw(7)` quando a '1' faz o *bypass* da entrada *mic* (mais concretamente, uma versão atenuada 6 dB deste sinal é somada ao sinal *line-out*), e
- `sw(6 downto 0)` seleciona o ganho da saída *line-out* (abaixo de "0110000" corresponde a *mute*, "0110000" corresponde a um ganho de -73 dB e "1111111" corresponde a um ganho de +6 dB, com saltos de 1 dB).

`sw(17)`, quando a '1', coloca nos dois canais do sinal de saída *line-out* uma senoide de 1kHz, sendo nesse caso necessário que ou `sw(16)` ou `sw(10)` esteja ligado para que se ouça a senoide.

Recomenda-se que se coloque inicialmente `sw(16)` a '1' (*line-in* selecionado), `sw(15 downto 11)` a "10000" (ganho do *line-in* de -10.5 dB) e `sw(6 downto 0)` a "1100000" (ganho do *line-out* de -25 dB).

Os *leds* vermelhos posicionados imediatamente por cima dos interruptores que controlam ganhos estão sempre ligados, os por cima dos interruptores que selecionam entradas de áudio piscam com uma frequência de 5 Hz, e os restantes estão sempre apagados.

No que diz respeito à entidade `audio_io`, estude como as amostras de som vindas do codec são reenviadas para o mesmo codec, e estude como o tom de 1 kHz é gerado e é enviado para o codec.

Apenas para mostrar como é que se faz, este exemplo usa um relógio de 100 MHz.

lcd_audio Neste exemplo, que mostra algum texto no visor LCD, ilustra-se como se pode usar a entidade `lcd_controller`. Neste exemplo:

- Enquanto o botão `key(2)` estiver a ser carregado é feito um *reset* ao visor LCD.
- Ao sair do *reset*, o visor é programado de modo a que o carater com o código número 0 passe a ter a forma de um triângulo e, depois disso, é escrito o texto "LSD LCD example" na primeira linha do visor. Um contador, com o nome `n`, é também inicializado com o valor 0.
- Em condições normais de funcionamento, a segunda linha do visor está sempre a ser atualizada com o texto "`char(UV) = W`", onde `UV` são os caracteres correspondentes a `n` escrito em hexadecimal, e onde `W` corresponde ao carater com o código número `n`. Ao se carregar no botão `key(0)` o valor de `n` é incrementado (com *auto-repeat* se se ficar a pressionar este botão durante bastante tempo), e ao se carregar no botão `key(1)` o valor de `n` é decrementado (mais uma vez com *auto-repeat*). Sempre que `n` muda de valor é gerado um som de curta duração que aparece na saída de som *line-out*.

A figura seguinte mostra o estado em que fica o visor após um *reset*.



rs232 Neste exemplo, que usa o protocolo RS232 para se efetuar uma comunicação entre dois *kits* ou entre um *kit* e um computador, mostra-se como se pode usar a entidade *rs232_controller*. Neste exemplo:

- Quando o interruptor *sw(0)* está a '0', tudo que é recebido na linha *rx*d é enviado para a linha *tx*d. Este modo de funcionamento do exemplo pode ser usado para testar a comunicação de informação (*bytes*) entre um computador e o *kit*. Para isso, compile o programa *lsd_term* cujo código está na pasta *c_code* (em GNU/Linux, basta correr o comando `make lsd_term`), ligue o computador ao *kit* usando um cabo RS232-USB, e corra o programa *lsd_term*. Se tudo estiver em ordem, tudo o que se escrever no terminal vai aparecer nesse mesmo terminal (o que é escrito é enviado para o *kit*, que reenvia de volta essa informação sem a alterar).
- Quando o interruptor *sw(0)* está a '1', sempre que o botão *key(0)* for carregado é enviado um *byte* para a linha *tx*d; da primeira vez envia-se 0, da segunda 1, e assim por diante. Este modo de funcionamento do exemplo pode ser usado para testar a comunicação de informação (*bytes*) entre dois *kits*. Para isso ligue dois *kits* entre si usando um cabo cruzado (o *tx*d de cada um dos lados é ligado ao *rx*d do outro).
- Em qualquer dos dois casos, o último *byte* recebido (na linha *rx*d) é mostrado em hexadecimal nos dois visores de 7 segmentos mais à direita

ir_vga_logic_analyzer Neste exemplo mostra-se como se pode usar a entidade *ir_nec_decoder*. Mostra-se também uma maneira possível de gerar sinais VGA. Este exemplo tem duas partes independentes uma da outra. Na primeira:

- É mostrado nos visores de 7 segmentos o código em hexadecimal do último código enviado pelo comando de infra-vermelhos que foi recebido pela entidade *ir_nec_decoder*.
- Se o comando recebido não for válido, isto é, se os seus *bits* 23 a 31 não forem o complemento dos *bits* 16 a 23, os dois visores mais à esquerda ficam a piscar com uma frequência de 1 Hz.
- Sempre que é recebido o código de um comando o *led* *ledg(8)* é aceso durante 2 décimos de segundo.

A figura seguinte mostra o que aparece nos visores de 7 segmentos quando se carrega na tecla A do comando remoto do *kit*.

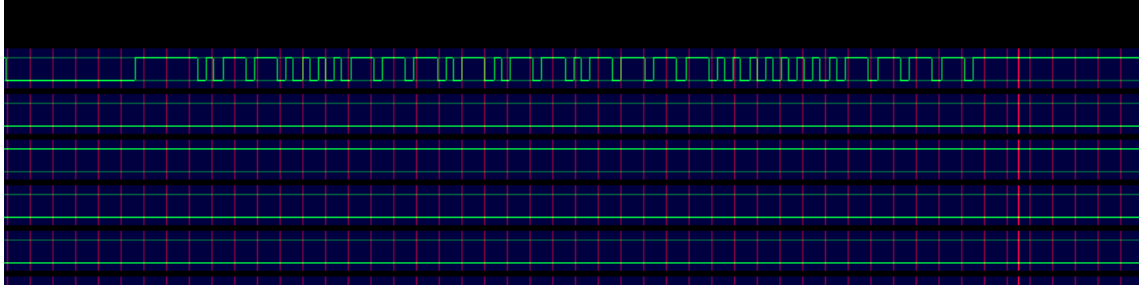


Na segunda parte:

- É gerada uma imagem VGA que mostra o estado ao longo do tempo, usando uma frequência de amostragem de 10 kHz, do pino *irda_rxd* e dos interruptores *sw(17 downto 0)*. (Trata-se de um analisador lógico, que, se for devidamente adaptado, pode ser usado em vez do *Signal Tap Analyzer* para se estudar o comportamento de alguns sinais internos da FPGA.)

- A imagem é refeita sempre que um desses sinais muda.
- A posição de uma linha vertical a vermelho na imagem (o cursor) pode ser ajustada usando os 4 botões do *kit*.

A figura seguinte mostra o que aparece na parte superior do ecrã quando de carrega na tecla A do comando remoto do *kit*, com `sw(0 to 3)` igual a "0100".



ps2_vga_text_buffer Neste exemplo mostra-se como se pode usar a entidade `ps2_controller`. Mostra-se também mais uma maneira possível de gerar sinais VGA. Este exemplo tem duas partes. Na primeira, quando um teclado PS/2 é detetado:

- O `led ledg(0)` é aceso,
- Os interruptores `sw(2 downto 0)` controlam os *leds* do teclado; por exemplo, quando `sw(1)` passa a '1' o *led* do *num lock* do teclado fica aceso.
- Os últimos dois *bytes* recebidos do teclado são mostrados em hexadecimal nos 4 visores de 7 segmentos do lado direito.

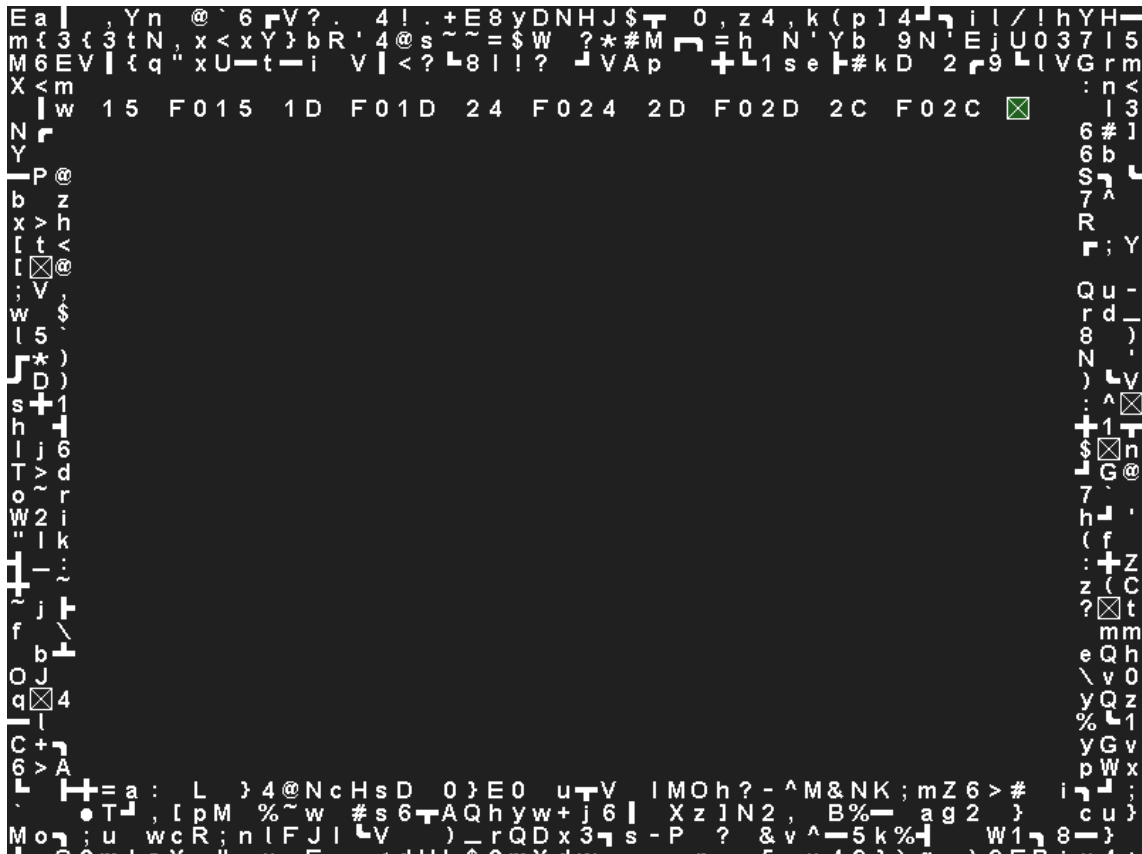
Ainda na primeira parte, quando um rato PS/2 é detetado:

- O `led ledg(1)` é aceso.
- Os *leds* `ledg(7 downto 5)` mostram o estado dos botões do rato.
- Os 4 visores de 7 segmentos do lado direito mostram em hexadecimal as coordenadas *x* e *y* acumuladas da posição do rato (no exemplo, essas coordenadas então limitados a números inteiros sem sinal de 8 *bits*).

Em ambos os casos, o `led ledg(8)` é aceso durante um décimo de segundo sempre que chega nova informação vinda do dispositivo PS/2. Além disso, é feito um *reset* ao controlador enquanto o interruptor `sw(4)` estiver a '1'. Na segunda parte:

- Parte de um ecrã de texto, de dimensões 128x128, cheio inicialmente com caracteres aleatórios (exceto numa zona reservada no canto superior esquerdo) é mostrado no ecrã usando um tipo de letra de dimensões 16x16.
- Todos os *bytes* recebidos do teclado são escritos em hexadecimal na zona reservada do canto superior esquerdo.
- Sempre que o intervalo de tempo entre a receção de dois *bytes* consecutivos é superior a 50 mili-segundos é inserido um espaço entre o texto que é mostrado no ecrã. Isto torna muito mais fácil determinar qual é a sequência de *bytes* enviada quando de carrega (ou deixa de carregar) numa determinada tecla, porque os *bytes* correspondentes ao mesmo evento são enviados sem compasso de espera entre eles.
- Quando o interruptor `sw(3)` está a '1', a parte visível do ecrã de texto muda (*scroll*) ao longo do tempo.

A figura seguinte mostra o aspeto do ecrã depois de ser ter carregado e largado, cada uma das teclas *qwerty* (por esta ordem), isto quando `sw(3)` está a '0'.



rand_vga_histogram Neste último exemplo mostra-se uma maneira possível de se usar a entidade `pseudo_random_generator`. Mostra-se também uma terceira maneira possível de gerar sinais VGA. Este exemplo tem duas partes independentes uma da outra. Na primeira, quando se carrega no botão `key(0)` é mostrado um novo número aleatório, de 1 a 6, no visor de 7 segmentos mais à direita, sendo os números que lá estavam anteriormente em todos os visores deslocados uma posição para a esquerda. Os alunos interessados em gerar números (pseudo-)aleatórios numa dada gama de valores devem estudar esta parte do exemplo com cuidado. A figura seguinte mostra o aspeto dos visores de 7 segmentos após de ter carregado no botão `key(0)` seis vezes.



Na segunda parte:

- São gerados 512 números pseudo-aleatórios de 9 *bits* por cada *frame* do sinal VGA, e é desenhado um histograma desses valores no lado esquerdo do ecrã. Como o número de números pseudo-aleatórios utilizados para fazer o histograma aumenta ao longo do tempo, o histograma também muda ao longo do tempo!
- Apenas para embelezar o histograma, o tom de vermelho de cada barra do histograma depende da sua altura.
- A altura média das barras do histograma é assinalada por uma linha horizontal azul clara.
- Enquanto se está a carregar no botão `key(1)` o histograma não é atualizado.
- No lado direito do ecrã, desenha-se um histograma do histograma. No início, as barras do primeiro histograma tem quase todas a mesma altura, pelo que este segundo histograma está muito concentrado. Ao longo do tempo as alturas das barras vão-se dispersando cada vez mais, pelo que o segundo histograma fica também mais disperso.

A figura seguinte mostra o aspeto do ecrã ao fim de algum tempo.

