



Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Da comunicação de dados às redes
6. Evolução da tecnologia e da eficiência



Componentes (físicos) a analisar:

- a unidade de processamento / o processador:
 - o nível ISA (*Instruction Set Architecture*): tipos/formatos de instruções, acesso a operandos, ...
 - CISC versus RISC
 - melhoria de eficiência no processador: com paralelismo
 - melhoramentos fora do processador (ou core)
- a hierarquia de memória:
 - cache, memória virtual, ...
- periféricos:
 - interfaces humano-computador (HCI)
 - arquivo de informação
 - comunicações

CISC versus RISC



A “revolução” dos Reduced Instruction Set Computers

Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

Exemplos de arquiteturas RISC: em todos os *smartphones*!



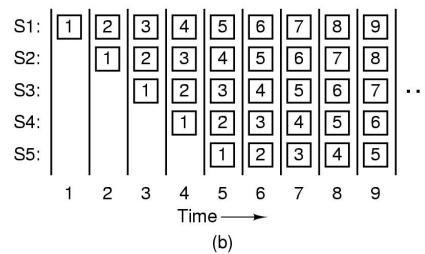
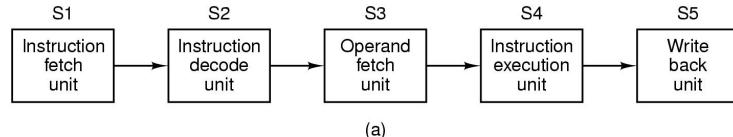
Eficiência nos Sistemas de Computação: oportunidades para melhorar

Oportunidades para melhorar o desempenho / eficiência

- com introdução de paralelismo
 - na execução das instruções no cód bin (*Instruction Level Parallelism*)
 - paralelismo desfasado ou execução encadeada (*pipeline*)
 - paralelismo nos dados (processamento vetorial, MMX/SSE/AVX...)
 - paralelismo nas operações (VLIW, super-escalar)
 - com execução de instruções fora de ordem (*out-of-order execution*)
 - no acesso à memória
 - paralelismo desfasado (*interleaving*)
 - paralelismo "real" (maior largura do bus)
 - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
 - com fios de execução (*multithreading* => multicore/multichip c/ mem partilhada)
 - com processos (com memória distribuída)
- com hierarquia de memória (para diminuir latência)
 - cache ...

Paralelismo no processador: exemplo

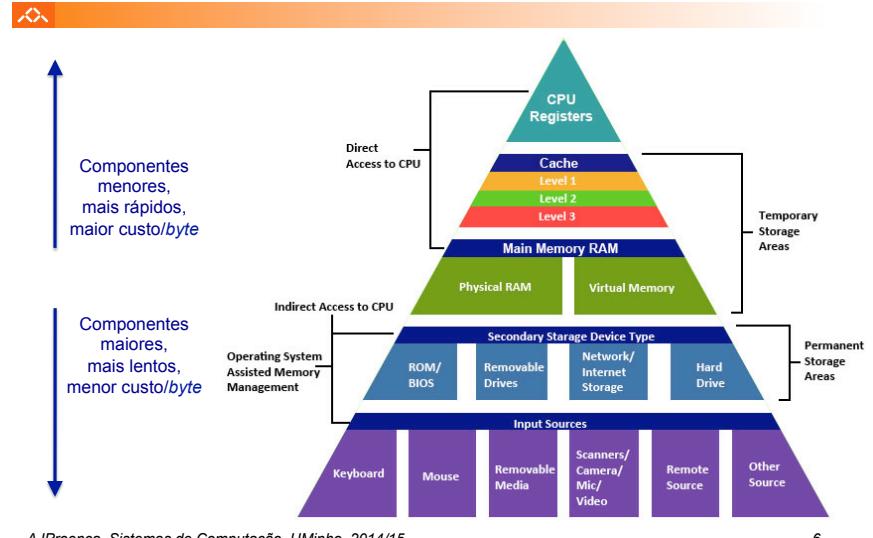
Exemplo de pipeline



AJProen a, Sistemas de Computa o, UMinho, 2014/15

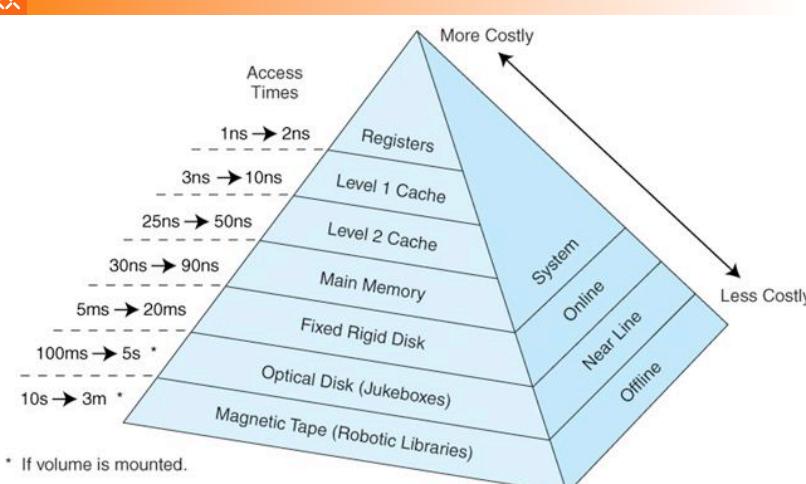
5

Hierarquia de mem ria (1)



6

Hierarquia de mem ria (2)



AJProen a, Sistemas de Computa o, UMinho, 2014/15

7

Evolu o do Intel x86 : pr -Pentium (vis o do programador)

Nome	Data	Nº trans�st�res
8086	1978	29K
		– processador 16-bits (registos + ALU); base do IBM PC & DOS – espa�o de enderecamento limitado a 1MB (DOS apenas v�e 640K)
80286	1982	134K
		– enderecamento 24-bits e protected-mode; base do IBM PC-AT & Windows
386	1985	275K → primeiro IA-32 !!
		– estendido para 32-bits: registos + op. inteiros + enderecamento – mem�ria segmentada+paginada, capaz de correr Unix
486	1989	1.9M
		– integra�o num �nico chip: 386, co-proc 387, at� 16kB cache L1 – poucas altera�es na arquitetura interna do processador

AJProen a, Sistemas de Computa o, UMinho, 2014/15

8

Evolução do IA-32: família Pentium (visão do programador)

Pentium	1993	3.1M	(= P5 , aka i586)
			– arquitectura superescalar, com 2 pipelines de inteiros (de 5 níveis)
Pentium Pro	1995	5.5M	(= P6 , aka i686)
			– out-of-order execution, 14 níveis pipeline, 3-issue superscalar
			– endereço 36-bits, cache L2 on-package
Pentium/MMX	1997	4.5M	
			– SIMD: opera com vetores de 64-bits, tipo <code>int</code> de 1, 2, ou 4 bytes
Pentium II	1997	7.5M	(= Pro + MMX)
Pentium III	1999	8.2M	
			– “Streaming SIMD Ext”, SSE: vetores 128-bits, <code>int/fp</code> 1/2/4 bytes
Pentium 4	2000	42M	(= NetBurst, aka i786)
			– trace cache, pipeline muito longo (20 ou 31), suporta multi-threading
			– SSE2: mais instruções e com dados <code>fp</code> de 8-bytes
Pentium M	2003	77M	(= P-M)
			– arquitetura mais próxima do Pentium III (eficiência energética)

AJProença, Sistemas de Computação, UMinho, 2014/15

9

Evolução do IA32 para Intel 64 (visão do programador)

- IA-32 ou x86 open architecture cresce para 64-bits
 - HP e Intel propõem arquitetura incompatível, IA-64 (Itanium CPU)
 - AMD anuncia em 1999 extensão do x86: x86-64
 - Intel segue AMD: IA-32e (Fev-04) EM64T (Mar-04), ou Intel-64 (2006)
 - AMD64 e Intel-64 diferentes; compiladores usam sub-set comum
- arquitetura Core surge em 2006 (151M transístores)
 - desenvolvida pela mesma equipa que o P-M (Israel)
 - 14 níveis de pipeline (como P6), mas 4-issue superscalar
 - 2 níveis de cache on-chip
 - multi-core on-chip (mesmo o Solo!) e virtualização por h/w
 - suporta fusão de instruções RISC (μ -ops na terminologia Intel)
 - arquitetura Core 2 é integralmente 64-bit (Intel 64)

AJProença, Sistemas de Computação, UMinho, 2014/15

10

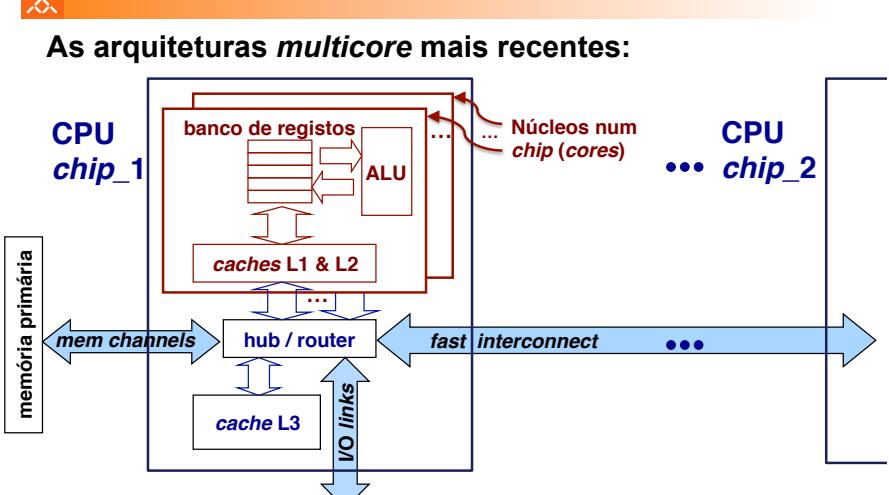
Arquiteturas Intel 64 com maior integração (visão do programador)

- arquitetura Nehalem anunciada em 2008 (731M transístores)
 - inspirada no NetBurst (com multi-threading e maiores clock rates)
 - 2 a 8 cores por chip, com cache L3 on-chip
 - com conexão ponto-a-ponto inter-CPU_chips
 - integra controlador de memória numa arquitetura NUMA
- arquitetura Sandy Bridge anunciada em 2010 (>1000M transístores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x

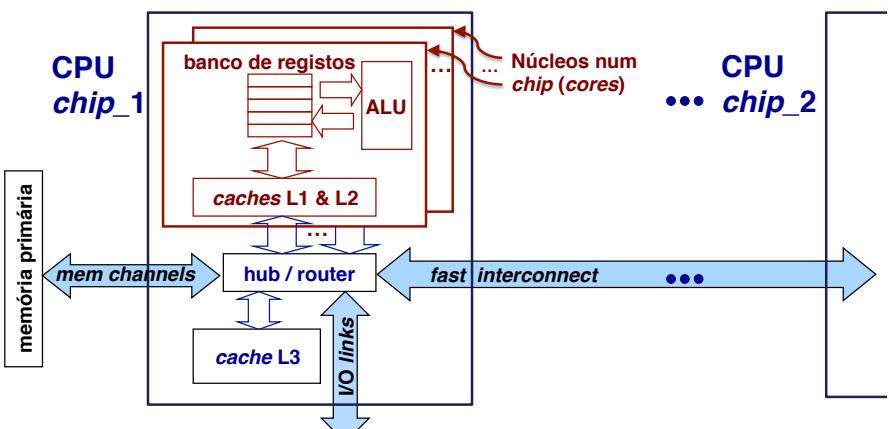
AJProença, Sistemas de Computação, UMinho, 2014/15

11

A hierarquia de cache em arquiteturas multicore

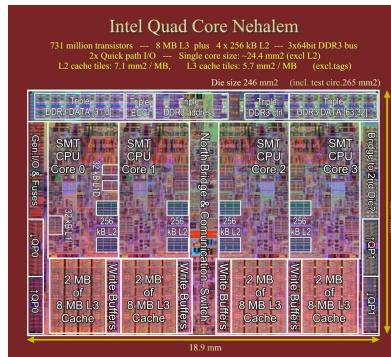


As arquiteturas multicore mais recentes:

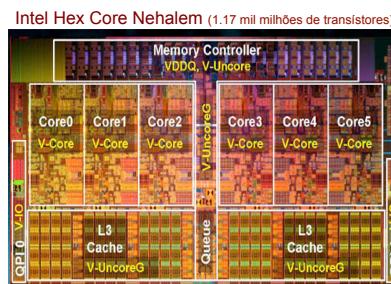


AJProença, Sistemas de Computação, UMinho, 2014/15

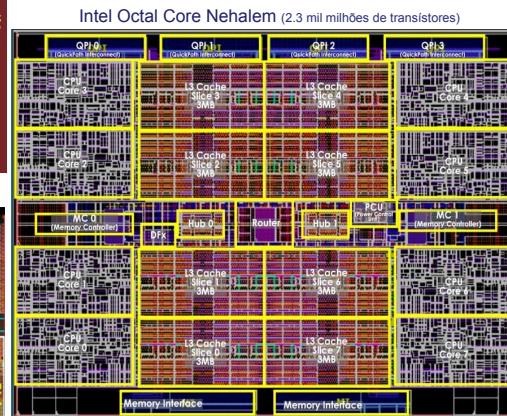
12



Gerações de Pentium “de ontem”

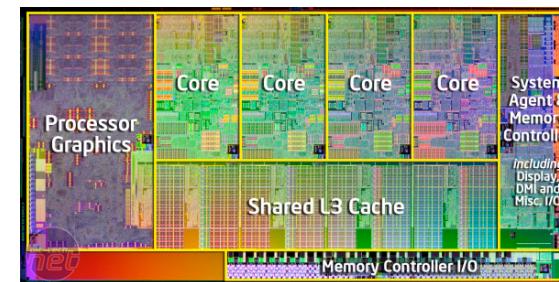


AJProen a, Sistemas de Computa o, UMinho, 2014/15

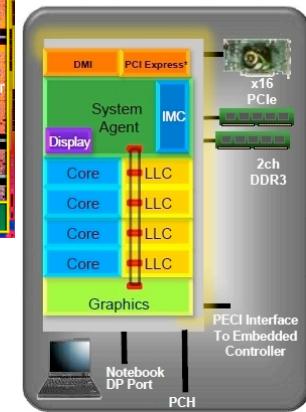


13

Lan amento da Intel em 2010:
Sandy Bridge (low end)

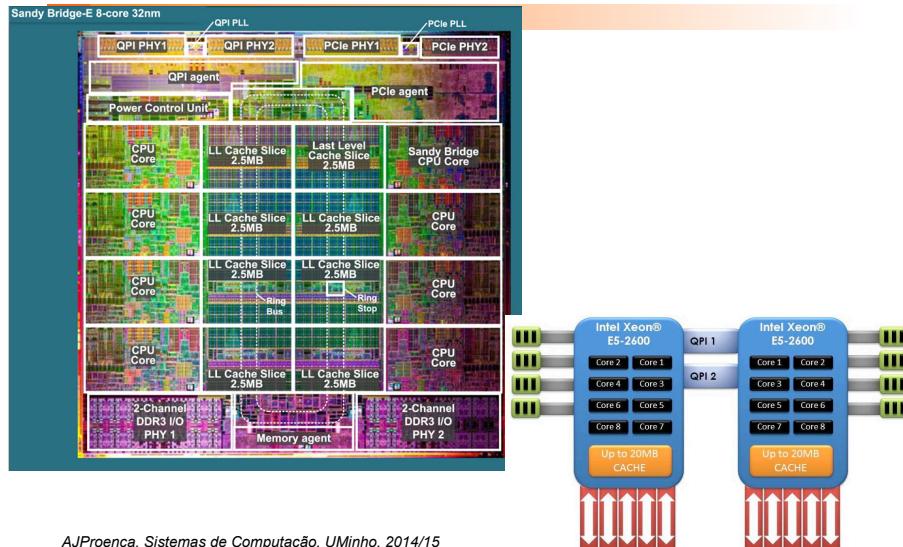


AJProen a, Sistemas de Computa o, UMinho, 2014/15



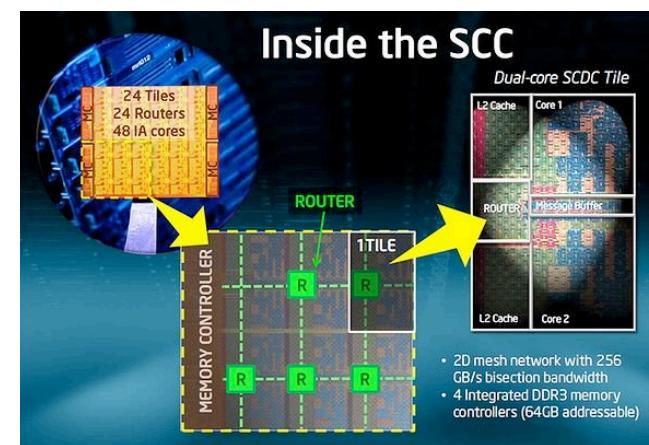
14

Lan amento da Intel em 2012:
Sandy/Ivy Bridge (8-core)



AJProen a, Sistemas de Computa o, UMinho, 2014/15

Prot pticos da Intel em 2010/11:
Single-chip Cloud Computer

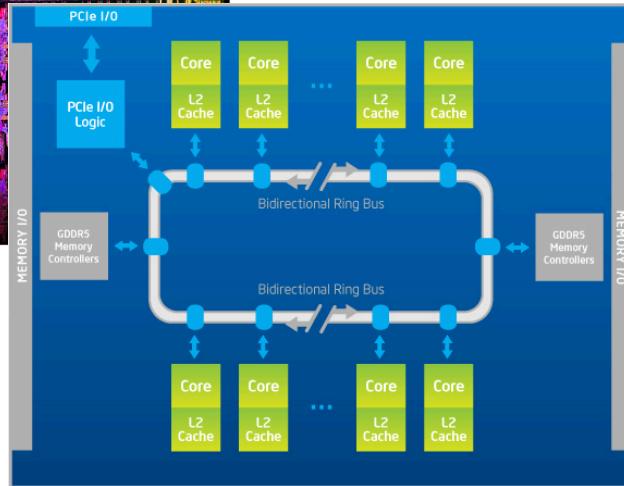


AJProen a, Sistemas de Computa o, UMinho, 2014/15

16



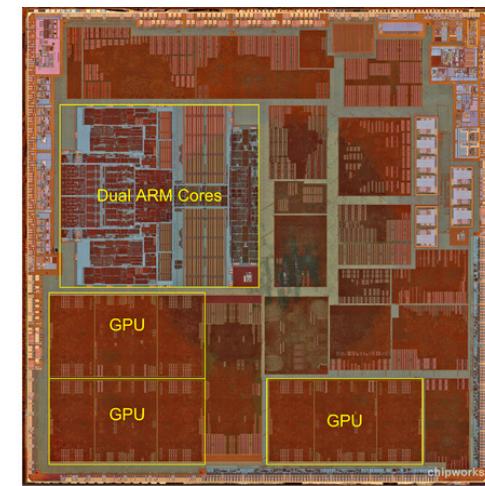
*Chips da Intel em 2012/13:
Xeon Phi com 60 cores*



AJProen a, Sistemas de Computa o, UMinho, 2014/15

17

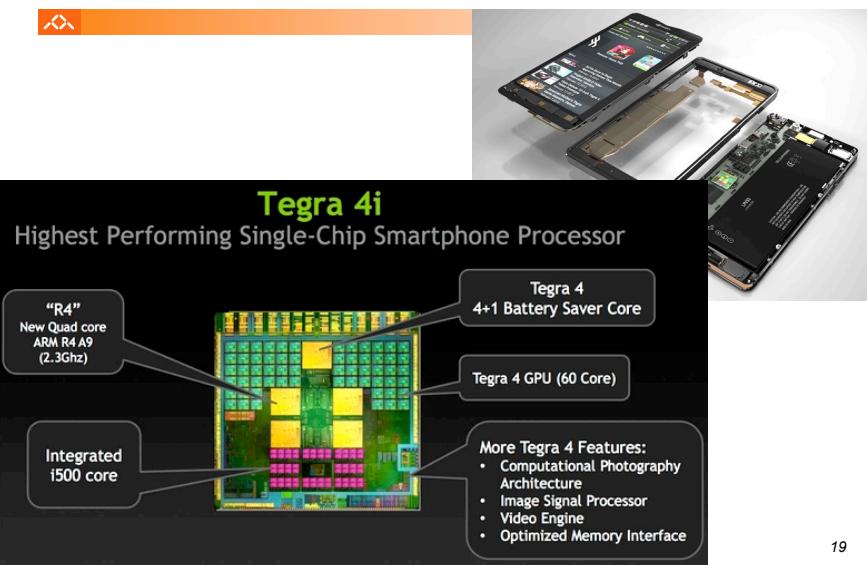
*Exemplo de chip com processadores RISC:
2x ARM's no A6 do iPhone 5*



AJProen a, Sistemas de Computa o, UMinho, 2014/15

18

*Exemplo de chip com processadores RISC:
4+1 ARM's no Tegra 4i da NVidia*



19

*Exemplo de chip com processadores RISC:
4+4 ARM's no Exynos 5 Octa, Galaxy S 4*



AJProen a, Sistemas de Computa o, UMinho, 2014/15

20

Processadores Intel x86 versus ARM

