



**INSTITUTO
FEDERAL**

Santa Catarina

Câmpus
São José

A2b

Avaliação de FSMD

Curso: Engenharia de Telecomunicações
Disciplina: ELD129003 - Eletrônica Digital 2
Professor: Marcos Moecke

Aluna
Luiza Kuze Gomes

26 de agosto de 2024

Sumário

1	Introdução	2
2	Testes	2
3	Obtendo Clocks	2
4	Comparação de Resultados	3
5	Conclusão	3

1 Introdução

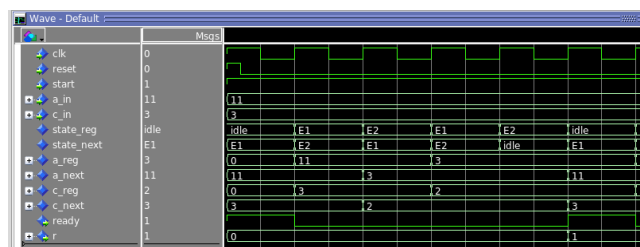
Este relatório dá continuidade à análise de circuitos dedicados ao cálculo do Máximo Divisor Comum (MDC) entre dois números inteiros. Anteriormente, foram analisadas as arquiteturas "Slow Arch" e "Fast Arch", que implementam o cálculo do MDC com diferentes abordagens. Agora, é apresentada uma nova implementação baseada no Algoritmo Euclidiano, conforme descrito na obra "The Art of Computer Programming"(KNUTH, 1997). Além disso, são documentadas as simulações de teste e feita uma comparação com as arquiteturas previamente analisadas.

2 Testes

Nesta seção, apresento dois dos testes realizados durante as simulações do circuito.

O primeiro teste foca em pares de valores primos relativos. Neste caso, o Máximo Divisor Comum (MDC) será 1, pois os números são primos entre si. Utilizei os valores 11 e 3 para este teste:

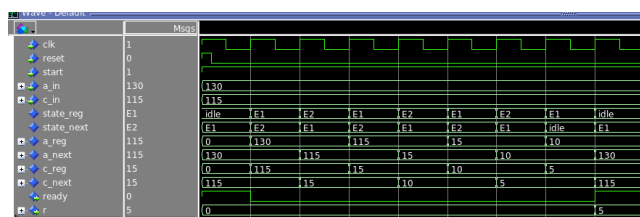
Figura 1: Simulação - Euclidean Arch - Entradas: 11 e 3



Fonte: Elaborada pela autora

O segundo teste avalia números que não são primos relativos, ou seja, seu MDC é diferente de 1. Para esta etapa, escolhi os valores 130 e 115, onde o MDC é 5:

Figura 2: Simulação - Euclidean Arch - Entradas: 130 e 115



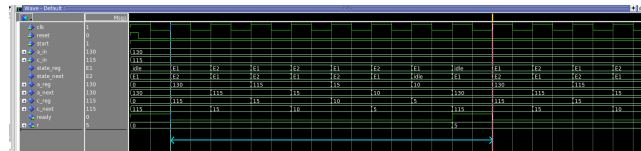
Fonte: Elaborada pela autora

3 Obtendo Clocks

Nesta seção, explico como obtive o número de clocks nas simulações. A contagem de clocks foi realizada considerando que o número de clocks começa na primeira borda de subida após a saída do estado *idle* e termina quando o sinal *state_reg* retorna ao estado *idle* (incluindo essa borda).

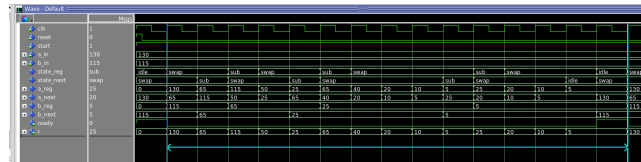
Abaixo, apresento as simulações correspondentes, onde o intervalo de clocks entre os cursores foi contabilizado e é refletido nas tabelas da próxima seção de comparação de resultados:

Figura 3: Intervalo de Clocks - Euclidean Arch



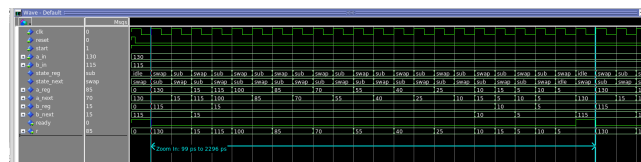
Fonte: Elaborada pela autora

Figura 4: Intervalo de Clocks - Fast Arch



Fonte: Elaborada pela autora

Figura 5: Intervalo de Clocks - Slow Arch



Fonte: Elaborada pela autora

4 Comparação de Resultados

A análise foi feita para os valores de entrada 130 e 115, com o objetivo de calcular o Máximo Divisor Comum (MDC). Os resultados obtidos estão apresentados na Tabela 1. Nesta tabela, **K** representa a quantidade de clocks necessários, e **Tp** é calculado como a quantidade de clocks (**K**) dividida pela frequência máxima (**Fmax**).

Tabela 1: Desempenho das Arquiteturas

Métrica	Slow Arch	Fast Arch	Euclidean Arch
Elementos Lógicos	22	87	116
Pinos	28	28	36
K	22	15	8
Fmax (Slow 125C Model)	254.07 MHz	220.8 MHz	52.66 MHz
Tp	8.66 ns	6.80 ns	1.52 μ s

Fonte: Elaborada pela autora

5 Conclusão

A análise revelou que a *Slow Arch* é a arquitetura mais eficiente em termos de frequência máxima, resultando no menor tempo de processamento entre as três arquiteturas avaliadas. Isso reduz o

tempo total necessário para calcular o Máximo Divisor Comum (MDC).

A *Euclidean Arch* apresentou um número reduzido de clocks para encontrar o MDC, o que é um ponto positivo. No entanto, sua frequência máxima foi a mais baixa entre as três arquiteturas, resultando em um tempo de processamento maior.

Referências

KNUTH, D. E. *The Art of Computer Programming: Volume 2 - Seminumerical Algorithms*. 3. ed. Addison-Wesley, 1997. Disponível em: <[https://seriouscomputerist.atariverse.com/media/pdf/book/Art%20of%20Computer%20Programming%20-%20Volume%202%20\(Seminumerical%20Algorithms\).pdf](https://seriouscomputerist.atariverse.com/media/pdf/book/Art%20of%20Computer%20Programming%20-%20Volume%202%20(Seminumerical%20Algorithms).pdf)>. Acesso em: 25 ago 2024.