



**INSTITUTO  
FEDERAL**

Santa Catarina

---

Câmpus  
São José

---

**A2a**

Avaliação de FSMD

---

**Curso:** Engenharia de Telecomunicações  
**Disciplina:** ELD129003 - Eletrônica Digital 2  
**Professor:** Marcos Moecke

**Aluna**  
Luiza Kuze Gomes

23 de agosto de 2024

## Sumário

<b>1</b>	<b>Introdução</b>	<b>2</b>
<b>2</b>	<b>Coleta de Dados</b>	<b>2</b>
<b>3</b>	<b>Simulações</b>	<b>2</b>
<b>4</b>	<b>RTL Viewer</b>	<b>3</b>
<b>5</b>	<b>Conclusão</b>	<b>3</b>

## 1 Introdução

O objetivo desse relatório é analisar duas arquiteturas de um circuito que realiza o cálculo do máximo divisor comum (MDC) entre dois números, esse número é o maior inteiro que divide cada um desses números. As arquiteturas são: "*Slow Arch*" e "*Fast Arch*".

## 2 Coleta de Dados

A análise foi feita para valores de entrada 10 e 2 para cálculo do MDC, os resultados podem ser encontrados na tabela 1. Sendo que **K** é a quantidade de clocks e **Tp** é a quantidade de clocks (**K**) dividida pela frequência máxima.

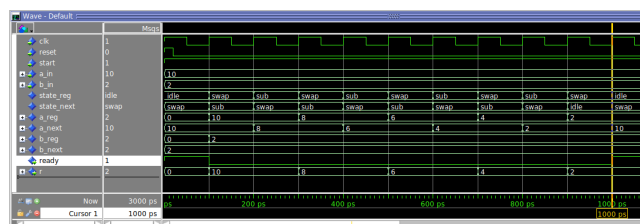
Tabela 1: Desempenho das Arquiteturas

Métrica	Slow Arch	Fast Arch
<b>Elementos Lógicos</b>	44	87
<b>Pinos</b>	28	28
<b>K</b>	10	8
<b>Fmax (Slow 125C Model)</b>	254.07 MHz	220.8 MHz
<b>Tp</b>	3.94 x 10 ns	3.623x10 ns

Fonte: Elaborada pela autora

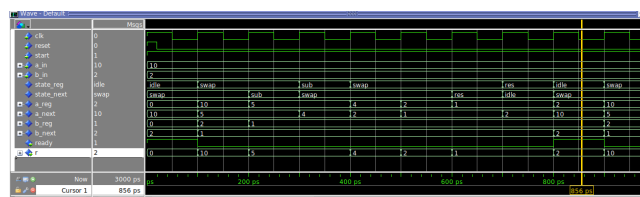
## 3 Simulações

Figura 1: Simulação - Slow Arch



Fonte: Elaborada pela autora

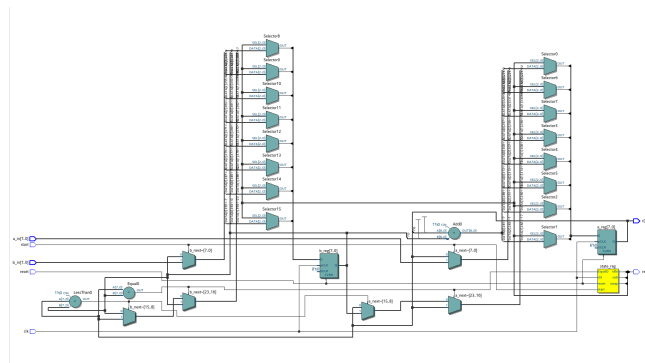
Figura 2: Simulação - Fast Arch



Fonte: Elaborada pela autora

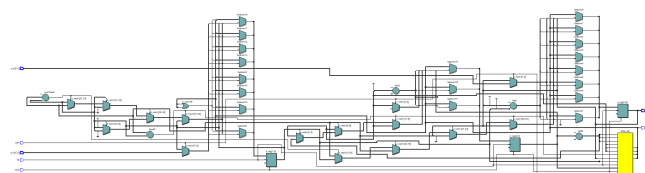
## 4 RTL Viewer

Figura 3: RTL - Slow Arch



Fonte: Elaborada pela autora

Figura 4: RTL - Fast Arch



Fonte: Elaborada pela autora

## 5 Conclusão

A arquitetura "*Fast*" obteve uma frequência máxima melhor e um número menor de clocks do que a arquitetura "*Slow*", porém o número de elementos lógicos da arquitetura "*Fast*" foi maior.

Ao aplicar entradas com valores elevados para cálculo do MDC, as diferenças entre as arquiteturas permanecem e se tornam cada vez mais evidentes.