

## Laboratório 2

1. Observe a seguinte expressão lógica:

$$F(A,B,C,D,E) = \sum(0, 2, 5, 8, 13, 15, 18, 21, 24, 29, 31)$$

(a) Minimize esta expressão lógica utilizando mapa de *Karnaugh* e escreva a tabela verdade para a expressão.

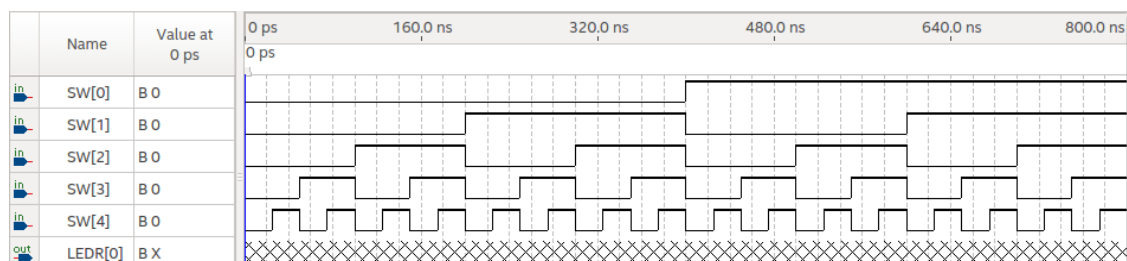
Para as tarefas (b) e (c), utilize os sinais abaixo:

Entidade (VHDL)	Lab02_1	
Entradas:	Sinal	Pino
A	SW(0)	PIN_AB12
B	SW(1)	PIN_AC12
C	SW(2)	PIN_AF9
D	SW(3)	PIN_AF10
E	SW(4)	PIN_AD11
Saída:	Sinal	Pino
F	LEDR(0)	PIN_V16

(b) Faça o diagrama lógico para a expressão minimizada. Implemente este circuito em esquemático (extensão .bdf). **Faça o upload de um *screenshot* da tela de desenho do esquemático com o nome “esquematico.png”.**

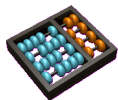
(c) Implemente este circuito em VHDL estrutural (extensão .vhd), mas sem usar nenhuma minimização. Faça simplesmente uma expressão do OR de todos os 11 mintermos da função. **Faça o upload do arquivo VHDL com o nome “estrutural.vhd”.**

(d) Faça a simulação no Quartus para verificar o funcionamento para todas as 32 combinações de entrada dos itens (c) e (d). Utilize a forma de onda abaixo como base para os sinais de entrada. **Faça o upload de *screenshots* das ondas resultantes com os nomes “esquemativo\_sim.png” e “estrutural\_sim.png”.**



(e) Verifique os netlists gerados pelo Quartus para ambas as versões, bdf e vhd. Compare com seu circuito minimizado.

(f) Teste estes circuitos, gravando-os na DE1-SoC.



## 2. Display de 7 segmentos:

(a) Utilizando o display de 7 segmentos da DE1-SoC e observando a figura, projetar um decodificador que faça a conversão de um código binário e o controle lógico do display apresentando o equivalente decimal do número binário na entrada do circuito. Quando os valores saírem fora da faixa válida (de 0 a 9 decimal) o display deve apresentar a letra E, que indica “erro”. Utilize a declaração de entidade abaixo. Não utilize processo (VHDL process). **Faça o upload do arquivo com nome “bin2dec.vhd”.**

```
entity bin2dec is
  port (
    SW: in std_logic_vector(3 downto 0);
    HEX0: out std_logic_vector(6 downto 0)
  );
end bin2dec;
```

(b) Modifique a entidade bin2dex para que mostre o valor em hexadecimal das entradas. Salve o circuito e crie o símbolo, chamando-o de bin2hex, para uso posterior. Utilize a declaração de entidade abaixo. Não utilize processo (VHDL process). **Faça o upload do arquivo com nome “bin2hex.vhd”.**

```
entity bin2hex
  port (
    SW: in std_logic_vector(3 downto 0);
    HEX0: out std_logic_vector(6 downto 0)
  );
end bin2hex;
```

**Observações:** O ponto decimal não será utilizado neste exercício e deve permanecer apagado. Utilize a convenção abaixo para a construção dos caracteres hexadecimais. Importe no seu projeto o arquivo de *pin assignments* disponível na pasta de material complementar (*Assignments -> Import assignments...*).

