

Laboratório 7

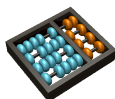
Instruções:

Antes de iniciar o laboratório faça o download do arquivo 'lab07_material_v2018.1.zip' no moodle, ele contém arquivos de apoio para a execução dos exercícios, incluindo modelos para arquivos da entrega. Caso algum arquivo da entrega não possua um modelo, o formato é livre, desde que respeitados os nomes dos arquivos.

Os enunciados dos exercícios descrevem os nomes e tipos dos arquivos, entidades e conexões. Quaisquer entregas que não seguirem o padrão fornecido serão **desconsideradas**.

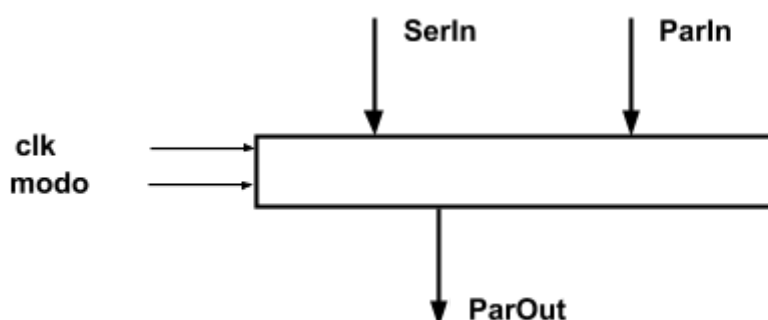
Deixe os arquivos que serão gravados na placa para demonstração em projetos separados e já pré-compilados, de forma que não seja necessária a recompilação do projeto no momento da demonstração. Assim, basta abrir o projeto correspondente e programar a placa, economizando o tempo da aula dedicado às avaliações.

Os arquivos que estiverem carregados no Moodle no momento do prazo final de entrega serão considerados como finais, mesmo que estejam marcados como rascunho. Portanto, não é necessário e nem recomendável marcar o envio como final, para que seja possível alterar os arquivos da submissão antes do prazo.



1. Seja um Registrador de Deslocamento Universal com as seguintes funções:

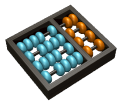
- Entradas: *par_in* com N bits; modo com 2 bits; *clk*; *ser_in* com 1 bit;
- Saídas: *par_out* com N bits;
- Carga paralela síncrona, deslocamento síncrono para direita ou esquerda, de acordo com o sinal de modo:
 - *mode* = 00: NOP (manter valor atual);
 - *mode* = 01: shift left (bit de entrada serial = *ser_in*);
 - *mode* = 10: shift right (bit de entrada serial = *ser_in*);
 - *mode* = 11: carga paralela síncrona.



- Implemente em VHDL a entidade *shift_register* <shift_register.vhd>, um Registrador de Deslocamento Universal de N bits (genérico). Elabore uma simulação para testar o funcionamento do seu circuito, instanciado para N=6. **Entregue o arquivo shift_register.vhd e um screenshot dos resultados da simulação em shift_register.png.**
- Implementar na DE1 este registrador de 6 bits e testar o seu funcionamento. Utilizar os seguintes dispositivos de entrada e saída
 1. *par_out*: Leds
 2. *mode*: chaves - sugestão: SW(7), SW(8);
 3. *ser_in*: chave - sugestão: SW(6);
 4. *par_in*: chaves - sugestão: SW(5)..SW(0);
 5. *clk*: push button - sugestão: KEY(0).

Não é necessário entregar nenhum arquivo, essa configuração será avaliada na demonstração.

- Repetir o item c, agora utilizando uma chave - sugestão SW(9) - para acionar o clock ao invés de um push button
- Analisar o comportamento dos circuitos nos itens (b) e (c). **Entregar um arquivo shift_register.txt descrevendo e explicando o que observou.**



2. Projeto e implementação de um relógio digital de acordo com a especificação

Entidades requeridas:

- Entidade *clock* <clock.vhd>: *top-level* do projeto do relógio.
- Entidade *clk_div* <clk_div.vhd>: divisor de clock - recebe um sinal de 50 MHz (*clk*) e devolve um sinal de 1 Hz (*clk_hz*).

Saídas:

- Representações de horas (*hour_dec* e *hour_un*), minutos (*min_dec* e *min_un*) e segundos (*sec_dec* e *sec_un*) a serem conectadas em visores de 7 segmentos.

Entradas:

- *clk*: entrada do sinal de relógio.
- *decimal*: valor da dezena para acertar o relógio;
- *unity*: valor da unidade para acertar o relógio;
- *set_hour*, *set_minute* e *set_second*: indicador de qual valor está sendo acertado.

Exemplo:

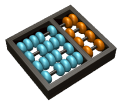
Para acertar o relógio para 23h 59min, por exemplo, define-se *decimal* para 2 e *unity* para 3 e salva-se no campo de horas com um pulso em *set_hour*. Após, define-se *decimal* para 5 e *unity* para 9 e salva-se no campo de minutos com um pulso em *set_minute*.

Procedimento para o projeto e itens a serem entregues:

Projete o divisor de clock na entidade *clk_div*. O sinal de clock resultante *clk_hz* deverá ter um pulso em nível lógico alto a cada segundo, mas com largura de pulso igual à do período do clock padrão da placa (*clk*). Essa técnica é conhecida por “*clock enable*”, em que um sinal auxiliar (*clk_div*) indica quais bordas do clock do circuito (*clk*) deverão resultar em mudanças de estado. Assim, seu relógio poderá ser facilmente controlado por *clk* e sincronizado por *clk_div*.

Projete a entidade *clock*, utilizando o sinal de 1 Hz *clk_hz* para sincronizar o funcionamento do relógio. O relógio deverá estar sempre ativo (sem “zerar”), e, quando acertado, o valor deve ser ajustado imediatamente (Dica: sincronize o acerto do relógio com *clk* ao invés de *clk_hz*). Caso o usuário tente acertar o relógio para um valor inválido, este deverá ser ignorado, como se não houvesse uma tentativa de acerto. Além das entidades *clock* e *clk_div*, você pode criar quantas entidades e/ou pacotes (*packages*) adicionais julgar necessário, e implementá-los em quantos arquivos VHDL achar necessário. Somente arquivos .vhd serão considerados. Não crie ou utilize *libraries* customizadas, mas você pode utilizar as *libraries* disponíveis na ferramenta.

Verifique o funcionamento do seu relógio na placa utilizando o arquivo



clock_board.vhd como top-level e o arquivo de assignments padrão da placa. **Esta configuração será avaliada na demonstração.**

Reúna todos os arquivos VHDL em um único arquivo zipado clock.zip. Os arquivos deverão estar na raiz da estrutura do .zip, e não distribuídos em pastas. Certifique-se de que você adicionou todos os arquivos VHDL para o funcionamento correto do seu projeto e de que a declaração das entidades *clock* e *clk_div* não foram alteradas.

3. Este exercício utiliza os componentes para controle de mouse *mouse_ctrl* e *ps2_iobase* disponíveis na pasta de “Material complementar > Componentes IO DE1-SoC (nova) > PS2 (mouse e teclado)” do curso no Moodle. Antes de fazê-lo, leia o tutorial “Mouse e Teclado.pdf” na pasta “Material complementar > Tutoriais IO DE1 (antiga)”. O tutorial foi escrito para um modelo anterior da placa utilizada, portanto existem algumas pequenas diferenças para o código disponível, que foi adaptado para a placa nova.

Faça o download dos componentes *mouse_ctrl*, *ps2_iobase* e *ps2_mouse_test* da pasta de material complementar. Inclua no mesmo projeto o seu componente *bin2hex* (Laboratório 02) e, utilizando *ps2_mouse_test* como entidade top-level e o arquivo de assignments padrão para a placa, grave o projeto na placa para testar com um mouse externo.

Não é necessário entregar nenhum arquivo, essa configuração será avaliada na demonstração.