

1. A figura 1.1 e a figura 1.2 apresentam implementações do latch SR utilizando portas lógicas Não-OU e Não-E, respectivamente. Quais são suas saídas para $S=R=1$?

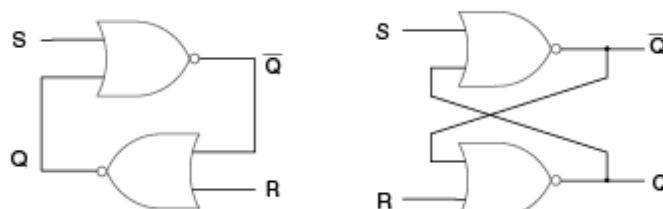


Figura 1.1 – Latch SR por meio de portas Não-OU.

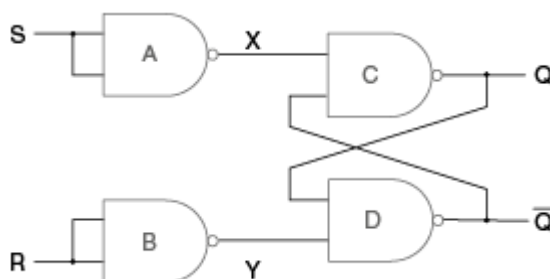


Figura 1.2 – Latch SR por meio de portas Não-E.

2. A Figura 2.1 apresenta um flip-flop SR ativo por rampa de descida. Como seria a sua implementação para rampa de subida?

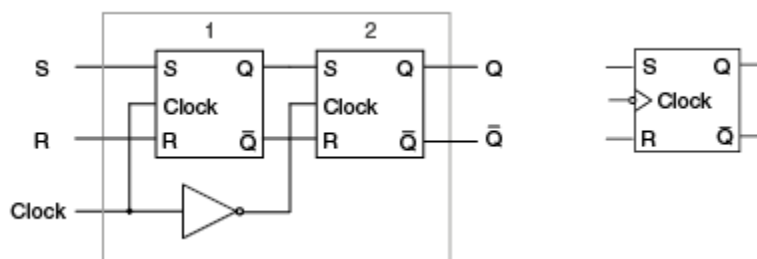


Figura 2.1

3. Após o sinal Init passar de 0 para 1, obtenha as formas de onda para os pontos A, B, C e D no circuito da Figura 3.1 abaixo para 16 pulsos de Clk.

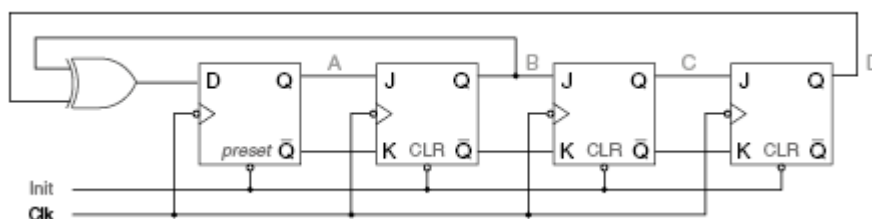


Figura 3.1

4. Considere a condição inicial $Q=0$ para o flip-flop JK da Figura 4.1. Obtenha as formas de sua saída Q para os sinais da Figura 4.2 abaixo:

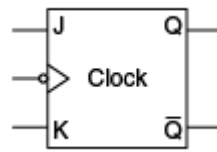


Figura 4.1

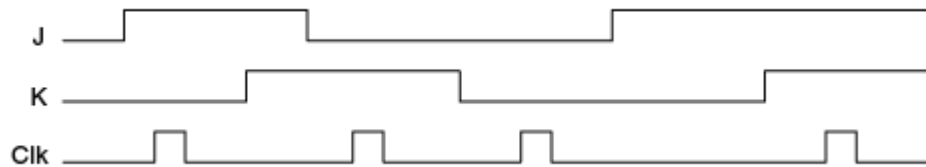


Figura – 4.2

5. Considere a condição inicial $Q=0$ para o flip-flop D da figura 5.1. Obtenha as formas de sua saída Q para os sinais da figura 5.2.

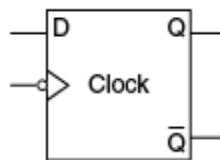


Figura 5.1



Figura 5.2

6. Refaça o exercício anterior para o latch D da Figura 6.1. Compare os resultados com o exercício anterior.

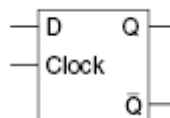


Figura 6.1

7. Dado o registrador de deslocamento para a direita da Figura 7.1, construa um registrador de deslocamento para a esquerda.

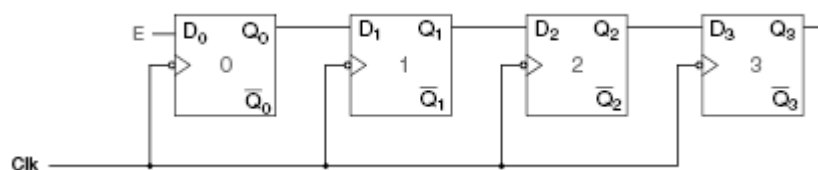


Figura 7.1

8. Para o registrador de deslocamento da Figura 7.1, construa a carta de tempos para que o valor binário 1011 seja armazenado no registrador.
9. O que acontece com um valor binário presente em um registrador de deslocamento quando há um deslocamento à esquerda? E se o deslocamento for à direita?
10. Ainda considerando os registradores de deslocamento, o que causa o deslocamento dos bits?
11. Que tipo de registrador de deslocamento podemos utilizar para realizar operações de multiplicação por potências de 2?
12. Desenhe o esquema lógico de um registrador de 4 bits paralelo.
13. Explícite a diferença entre Latches e Flip-flops.
14. Qual a combinação de entrada que não é desejada em latches e flip-flops tipo SR?
15. Para o circuito da Figura 15.1:

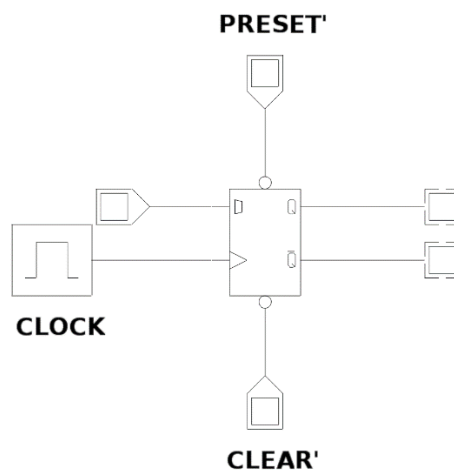




Figura 15.1

- Preencha a tabela verdade.

| INPUT | | | | OUTPUT | |
|-----------------|-----------------|---|---|--------|----------------|
| ASSINCRONAS | | SINCRONAS | | | |
| \overline{PR} | \overline{CL} | CK | D | Q | \overline{Q} |
| 1 | 1 |  | 0 | | |
| 1 | 1 |  | 1 | | |
| 0 | 1 | X | X | | |
| 1 | 0 | X | X | | |
| 0 | 0 | X | X | | |

- O sinal CLEAR está ativo quando o seu valor for 1 ou 0?
- O que a entrada PRESET garante na saída?
- Porque utilizamos na tabela o valor X?
- A última linha da tabela faz sentido?

16. Para o circuito da Figura 16.1:

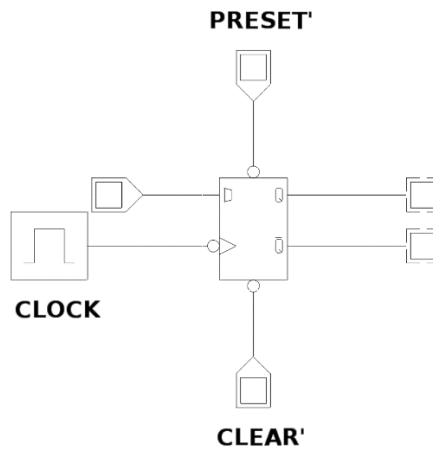




Figura 16.1

- Preencha a tabela verdade.

| INPUT | | | | OUTPUT | |
|-----------------|-----------------|---|---|--------|----------------|
| ASSINCRONAS | | SINCRONAS | | | |
| \overline{PR} | \overline{CL} | CK | D | Q | \overline{Q} |
| 1 | 1 |  | 0 | | |
| 1 | 1 |  | 1 | | |
| 0 | 1 | X | X | | |
| 1 | 0 | X | X | | |
| 0 | 0 | X | X | | |

- O sinal CLEAR está ativo quando o seu valor for 1 ou 0?
- O que a entrada PRESET garante na saída?
- Porque utilizamos na tabela o valor X?
- A última linha da tabela faz sentido?
- Compare os esquemas deste exercício com o exercício anterior.

17. Descreva o que o circuito da figura 17.1 faz.

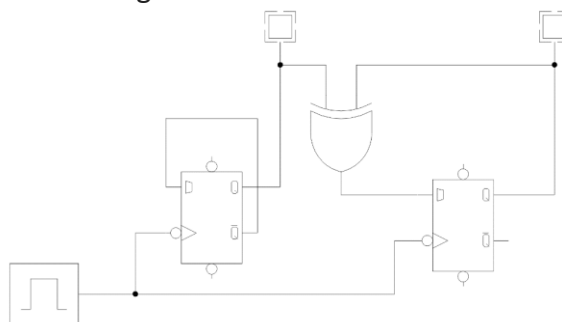


Figura 17.1

18. A tabela abaixo apresenta os sinais de ativação necessários para um display de 7 segmentos realizando a conversão BCD8421 para decimal.

| INPUT | | | | OUTPUT | | | | | | |
|-------|---|---|---|--------|---|---|---|---|---|---|
| A | B | C | D | a | b | c | d | e | f | g |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |

| | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

- Implemente a função fa, para o acionamento do segmento a.
- Implemente a função fb para o acionamento do segmento b.

19. Implemente a função lógica F utilizando um multiplexador 16x1.

$$F = \bar{A}.\bar{C}.D + \bar{A}.\bar{B}.C + A.C.D + B.C.\bar{D}$$

20. Implemente a mesma função F do exercício 19 utilizando um multiplexador 8x1.

21. Implemente a mesma função F do exercício 20 utilizando um multiplexador 4x1.

22. Construa o esquema lógico para cada uma das funções (K,L,M) da tabela dada utilizando um multiplexador 8x1.

| INPUT | | | OUTPUT | | |
|-------|---|---|--------|---|---|
| A | B | C | K | L | M |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |

23. Construa a tabela verdade para o esquema lógico apresentado na figura 24.1. Qual o uso possível deste circuito?

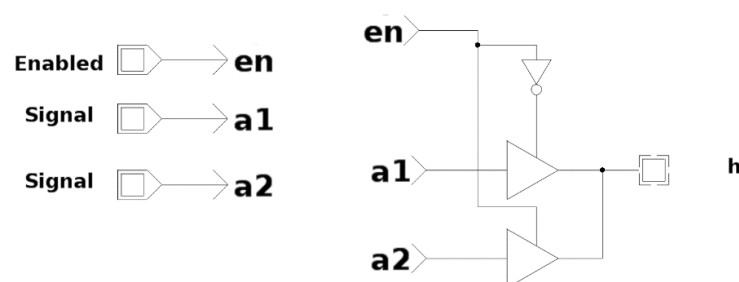
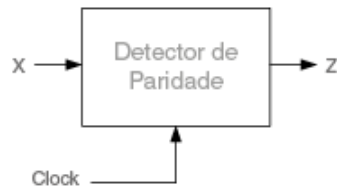
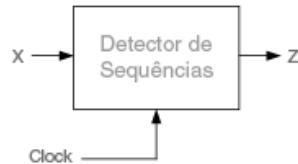


Figura 24.1

24. Construa o diagrama de estados de uma máquina de estados de Moore capaz de detectar a paridade ímpar de um sinal serial



25. Construa o diagrama de estados de uma máquina de estados de Moore capaz de detectar todas as ocorrências da sequência 101 em um sinal serial.



26. Construa o diagrama de estados de uma máquina de estados de Mealy capaz de detectar se o número de 1s é maior do que zero e se é divisível por 3 em um sinal serial.
27. Construa o diagrama de estados de uma máquina de estados de Mealy capaz de detectar se o número de 0's recebidos é par e maior que zero. Se ocorrer mais do que dois 1's consecutivos, a máquina deve ir para um estado de travamento com saída em 0 em um sinal serial.
28. Construa o diagrama de estados de uma máquina de estados de Moore capaz de detectar todas as ocorrências da sequência 0010. Quando ocorrer mais do que dois 0's consecutivos, a máquina deve ser reiniciada após o próximo 1. Considere um sinal serial.
29. Construa o diagrama de estados de uma máquina de estados de Moore capaz de gerar a sequência 0101 110 110 110...
30. Descreva através de um esquema lógico a implementação da memória representada na figura 31.1.

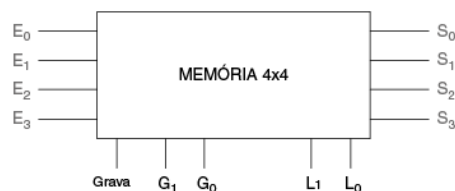


Figura 31.1

31. A figura 32.1 apresenta uma memória pronta para utilização através do uso de um barramento de dados. Descreva sua implementação utilizando a descrição da memória básica representada na figura 31.1

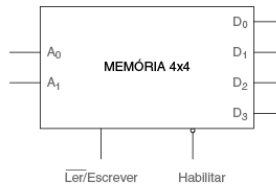


Figura 32.1

32. Construa o diagrama de estado para um detector de sequência '111'. Monte a tabela de estados, identifique os estados utilizando números binários e defina as expressões para os estados futuros utilizando Mapas de Karnaugh. Implemente as expressões obtidas descrevendo-as em um esquema lógico.
 33. Construa o diagrama de estado para um detector de sequência '001'. Monte a tabela de estados, identifique os estados utilizando números binários e defina as expressões para os estados futuros utilizando Mapas de Karnaugh. Implemente as expressões obtidas descrevendo-as em um esquema lógico.
-