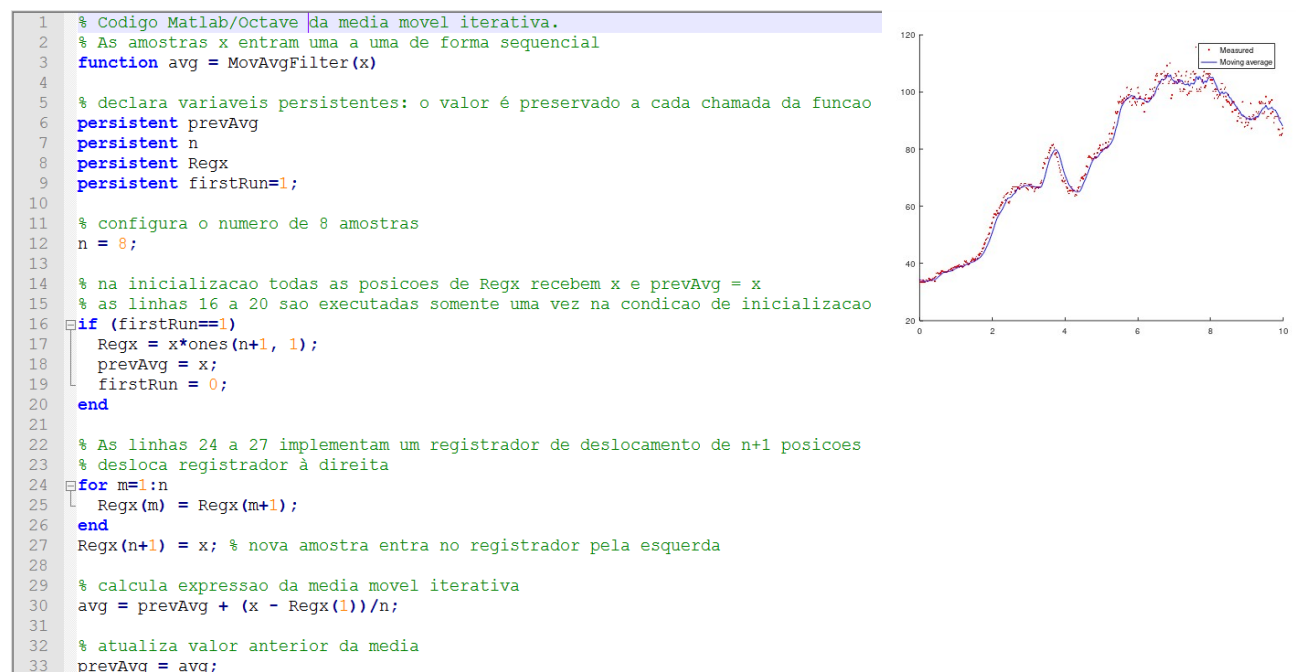


Laboratório 2 – Turma A – Projeto RTL Quarta-feira, 08 a 19 de setembro de 2021

Instruções:

- Preparação:** enviar os seguintes arquivos: diagrama do bloco operacional indicando nomes e tamanhos de cada sinal, figura do diagrama de estados do bloco de controle, figura da conexão do bloco operacional com o bloco de controle, a pasta .srcs do projeto onde se encontram os arquivos VHDL, IP do VIO-core, testbench e XDC. Envie também um print de simulação. Os arquivos devem ser enviados pelo Aprender3 em uma pasta zipada chamada “lab2_nome_sobrenome” até a terça-feira **14 de setembro de 2021 às 23:50**.
Nota 1: os diagramas não são os diagramas esquemáticos produzido pelo Vivado, mas um desenho de como planeja resolver o exercício.
Nota 2: Não enviar o projeto no Vivado, apenas os arquivos solicitados!
- Vistos:** realizar os vídeos relacionados aos vistos de cada exercício. Colocar todos os vídeos em uma pasta organizada com subpastas para cada exercício. Verificar que todos os vídeos solicitados estão sendo anexados. Pode ser realizado um único vídeo por exercício sempre e quando contenha todas as informações solicitadas nos vistos e não ultrapasse 7 min.
Nota 3: Utilize algum software para gravação da tela do PC para realizar os vídeos, por exemplo, o OBS Studio. Verifique que o **áudio** dos vídeos é de **boa qualidade** de forma que seja possível a avaliação dos mesmos.
- Folha de dados:** submeter via Aprender3 o **PDF** da folha de dados com todos os campos de caracterização dos circuitos solicitados, os vídeos dos vistos e a pasta .srcs que contém os arquivos finais. A folha de dados, os vídeos dos vistos e os arquivos finais serão recebidos via Aprender3 até o domingo **19 de setembro de 2021 às 23:50**.
- Relatório:** verifique se precisa realizar relatório deste experimento. Submeter via Aprender3 o **PDF** do relatório técnico até a terça-feira **21 de setembro de 2021 às 23:50**.
Nota 4: não submeta o relatório em formato Word ou ODS, apenas em PDF.

Exercício 1. Usando o procedimento de projeto RTL, implemente um circuito que calcule a média móvel iterativa de 8 valores diferentes. O código abaixo mostra um exemplo em Matlab/Octave de como é realizado o cálculo da média móvel iterativa.



Observe-se que é necessário um registrador de deslocamento de $N+1$ posições, sendo N o número de amostras para o cálculo da média móvel. Cada vez que uma nova amostra está disponível, o registrador é deslocado à esquerda e a nova amostra entra pela direita. Em seguida, calcula-se a expressão da média móvel, subtraindo da nova amostra o valor da amostra mais antiga (valor mais à esquerda do registrador) e o resultado é dividido por N . Dado que $N=8=2^3$, a divisão pode ser substituída por um deslocamento à direita de 3 bits do resultado da subtração. O resultado da divisão é somado ao valor prévio da média, obtendo assim um novo valor da média. Finalmente, o valor prévio da média é atualizado com o novo valor da média. Observe ainda que no estado de inicialização, o registrador de deslocamento recebe em todas as suas posições o valor da primeira amostra. No estado de inicialização, o valor prévio da média também recebe o valor da primeira amostra.

Use uma entrada *start* no bloco de controle para iniciar o cálculo e para indicar que uma nova amostra está disponível. Use uma saída externa *ready* no bloco de controle para indicar que o cálculo da média móvel após 8 amostras foi finalizado. A entrada de dados x é positiva e é representada com oito (8) bits em aritmética de ponto fixo com a notação 4.4 (4 bits de parte inteira e 4 bits de parte fracionária). A saída de dados deve ser representada também com oito (8) bits, ponto fixo, notação (4.4).

Use o VIO-core para virtualizar as entradas x , *start* e *reset*. Use os leds da placa de desenvolvimento para mapear a saída de dados *avg* e a saída *ready*.

Visto 1: realize um vídeo de máximo 2 minutos explicando: a) diagrama do bloco operacional; b) diagrama de estados da FSM do bloco de controle; c) diagrama esquemático RTL obtido pelo Vivado.

Visto 2: realize um vídeo de máximo 2 minutos apresentando uma simulação comportamental que demonstre o correto funcionamento do circuito. Deve-se apresentar: (a) (70%) uma simulação com os oito (8) valores diferentes da entrada x ; (b) (10%) Qual a latência do circuito (em ciclos de relógio) e qual é o throughput do circuito (em megaoperações por segundo (MOPS)); (c) (20%) Calcule o erro médio quadrático entre a saída calculada pelo circuito em ponto fixo e a saída calculada pela calculadora.

Visto 3: inclua os constraints de IO e de timing. Implemente o circuito usando um clock de 100 MHz. Realize um vídeo de máximo 2 minutos apresentando: (a) (10%) layout do circuito; (b) (10%) consumo de recursos do circuito; (c) (10%) consumo de energia; (d) (70%) reporte de timing (análise para *setup* e *hold*) para uma frequência de 100 MHz. Apresente e descreva o caminho crítico do circuito para *setup* e *hold*.

Visto 4: realize um vídeo de máximo 1 minuto que demonstre o funcionamento do circuito no laboratório remoto.

BÔNUS (2.0 PONTOS): Realize um vídeo de máximo 2 minutos apresentando a implementação do circuito com o ILA core para armazenar as saídas *avg* e *ready*. Demonstre o funcionamento no laboratório remoto. Use o VIO-core para virtualizar as entradas x , *start* e *reset*.

Bom trabalho!