

© 1998-2010 - Volnys Bernal 1

Revisão: Arquitetura de Computadores

Volnys Borges Bernal
volnys@lsi.usp.br
<http://www.lsi.usp.br/~volnys>

Laboratório de Sistemas Integráveis
<http://www.lsi.usp.br/>



© 1998-2010 - Volnys Bernal 2

Agenda

- ❑ Arquitetura Geral
- ❑ Memória
- ❑ Interrupção
- ❑ Modo de operação do processador
- ❑ Espaço de Endereçamento
- ❑ Processador e Barramentos

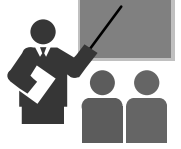
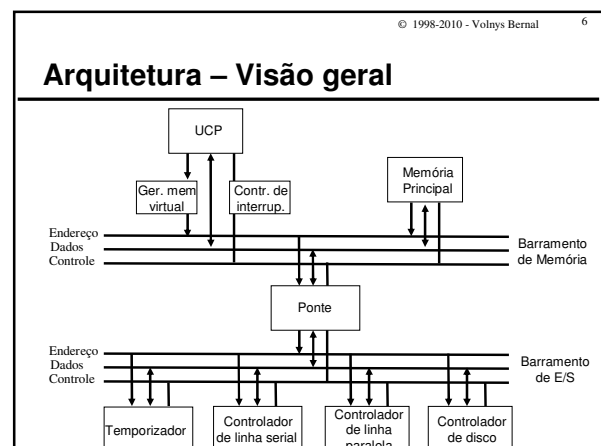
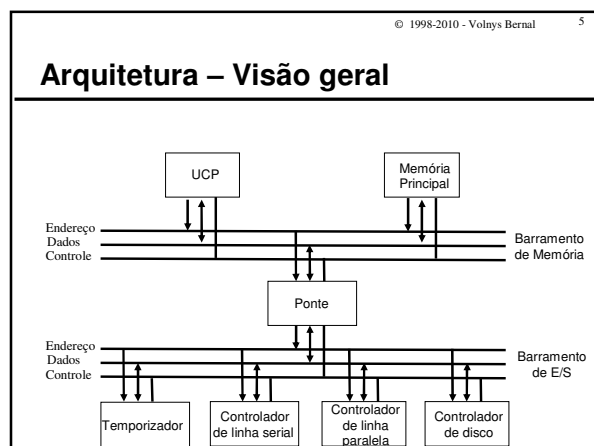
© 1998-2010 - Volnys Bernal 3

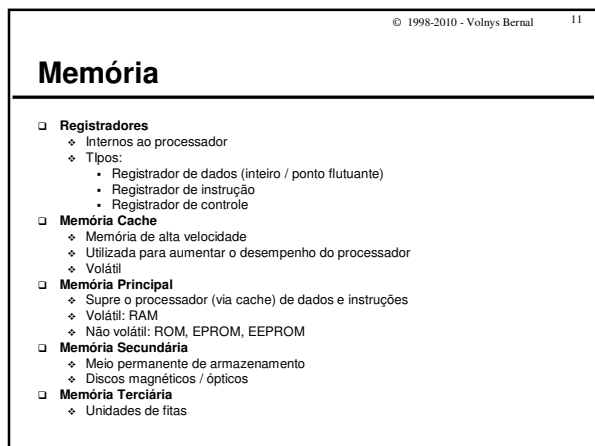
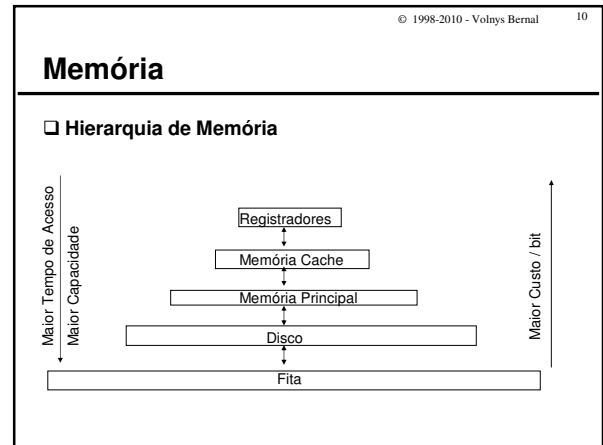
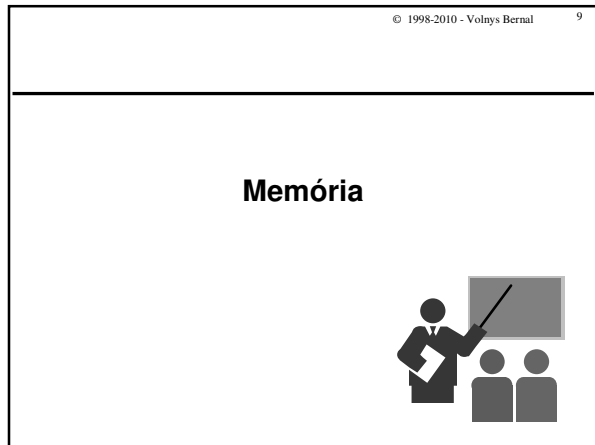
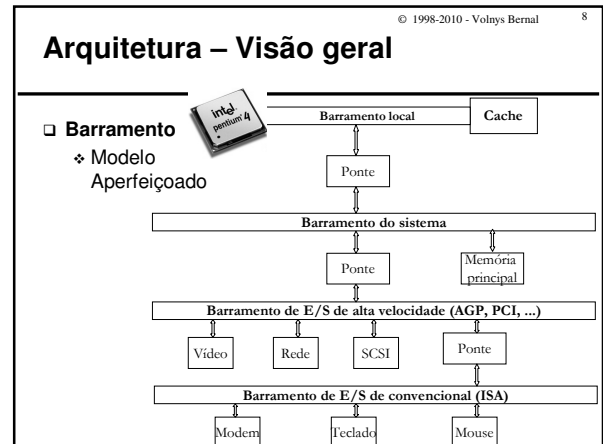
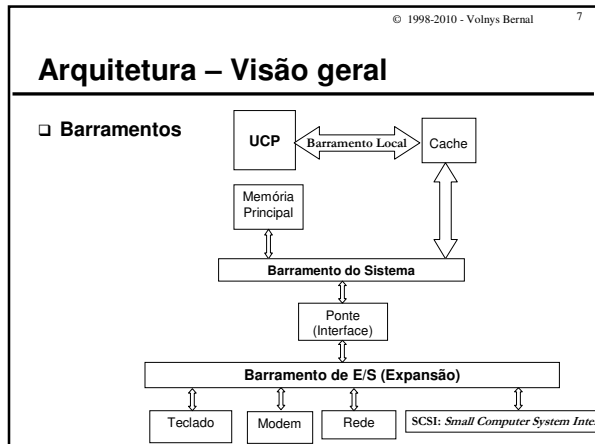
Sobre esta apresentação

- ❑ Esta apresentação ...
 - ❖ Não apresenta todos os detalhes sobre este tópico.
 - ❖ É um resumo para auxiliar a apresentação do tópico em sala de aula.
- ❑ Para estudo, deve ser utilizada uma das seguintes referências:
 - ❖ Capítulos 1 e 2 do livro:
 - ANDREW S. TANENBAUM; Sistemas Operacionais Modernos. Prentice-Hall
 - ❖ Capítulos 1 e 2 do livro:
 - ANDREW S. TANENBAUM; Sistemas Operacionais. Prentice-Hall.

© 1998-2010 - Volnys Bernal 4

Arquitetura – Visão geral

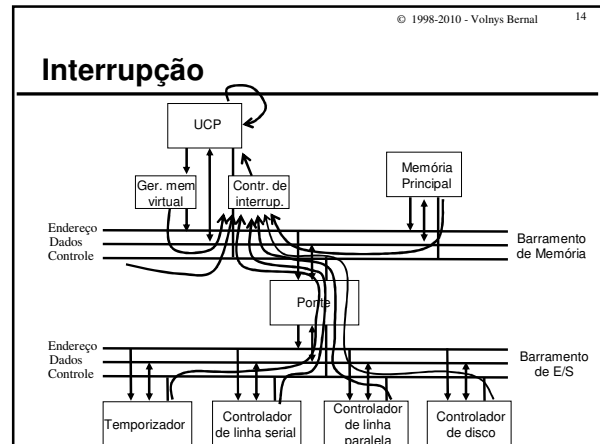


© 1998-2010 - Volnys Bernal 13

Interrupção

❑ O que é?

- ❖ Evento que ocorre no sistema
- ❖ Enviada à UCP através de sinal de hardware
- ❖ Gerada pelos diversos componentes do hardware (inclusive UCP)
- ❖ Fundamental para operação do sistema
- ❖ Em alguns casos a interrupção indica a ocorrência de uma condição de erro



© 1998-2010 - Volnys Bernal 15

Interrupção

❑ Classificação quanto à origem da interrupção

- ❖ Externa
 - Gerado por componentes externos à UCP
- ❖ Interna
 - Gerada pelo próprio processador

© 1998-2010 - Volnys Bernal 16

Interrupção

❑ Interrupção externa

- ❖ Gerado por componentes externos à UCP
- ❖ Evento assíncrono
 - Pode ocorrer a qualquer momento
- ❖ Origem:
 - Controladores de E/S
 - Temporizador,
 - Controlador de linha serial, controlador de linha paralela, controlador de disco,
 - Barramento
 - Bus Error
 - Subsistema de memória
 - Erro de paridade
 - Subsistema de gerenciamento de memória virtual
 - Acesso ilegal

© 1998-2010 - Volnys Bernal 17

Interrupção

❑ Interrupção interna

- ❖ Gerada pelo próprio processador
- ❖ Evento síncrono
 - Pode ocorrer em momentos específicos da execução de uma instrução
- ❖ Tipos:
 - TRAP
 - Também denominada "interrupção de software"
 - Gerada por uma instrução que simula uma interrupção
 - Exemplo Intel x86:
 - Instrução "int 80" – gera a interrupção número 80
 - Exceção
 - Indica a ocorrência de algum erro durante a execução
 - Exemplo:
 - Divisão por zero
 - Instrução ilegal

© 1998-2010 - Volnys Bernal 18

Interrupção

❑ Exemplos:

- ❖ Interrupção de software (*trap*)
 - Chamada ao sistema "open" (abertura de arquivo)
 - Chamada ao sistema "date" (requisição de data/hora do sistema)
- ❖ Exceção
 - Divisão por 0
 - Instrução ilegal
- ❖ Externa
 - Bus error: gerada pelo barramento indicando um erro
 - Interrupção do temporizador informando que já se passou 10 ms
 - Interrupção de linha serial devido ao recebimento de um byte
 - Interrupção de disco devido à finalização de uma operação de leitura de um setor


© 1998-2010 - Volnys Bernal 19

Interrupção

- ❑ **Classificação quanto a possibilidade de desabilitar**
 - Mascaráveis Podem ser desabilitadas
 - Não mascaráveis Não podem ser desabilitadas
- ❑ **Rotina de Tratamento de interrupção**
 - A cada interrupção pode ser associado uma rotina de tratamento, que pode ser ativada a cada ocorrência desta interrupção

© 1998-2010 - Volnys Bernal 20

Modos de Operação do Processador



© 1998-2010 - Volnys Bernal 21

Modos de operação do processador

- ❑ **Objetivo**
 - ❖ Possibilitar a garantia da segurança do ambiente computacional suportado pelo sistema operacional
- ❑ **Processadores suportam ao menos dois modos de operação:**
 - ❖ Modo usuário
 - Modo mais restritivo
 - ❖ Modo supervisor
 - Modo irrestrito
- ❑ **Presença**
 - ❖ Presente nos microprocessadores modernos

© 1998-2010 - Volnys Bernal 22

Modos de operação do processador

- ❑ **Modo usuário**
 - ❖ Todos os processos são executados em modo usuário
 - ❖ Restrições:
 - Execução de determinadas instruções do processador:
 - Exemplo: restrição na execução da instrução halt, reset
 - Acesso a determinados registradores
 - Acessos à determinada posições de memória
- ❑ **Modo supervisor**
 - ❖ O sistema operacional é executado em modo supervisor
 - ❖ Não são impostas restrições na execução em modo supervisor

© 1998-2010 - Volnys Bernal 23

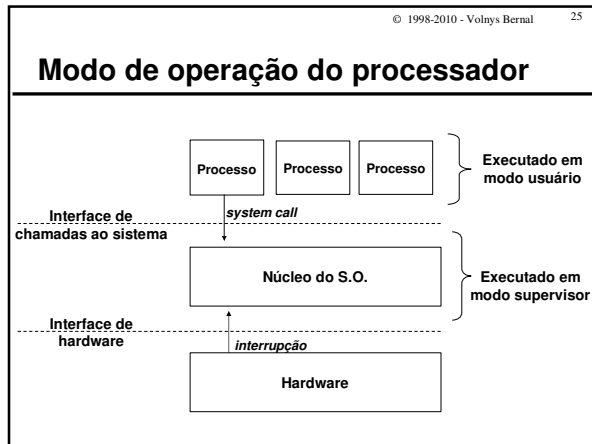
Modo de operação do processador

- ❑ **Configuração do modo de operação**
 - ❖ Geralmente é um bit (ou um conjunto de bits) do registrador de estado
 - ❖ O bit de configuração do modo de operação pode somente ser alterado em modo supervisor
 - ❖ O processador passa para o modo supervisor, automaticamente, quando a rotina de tratamento de interrupção é executada
 - ❖ Sempre que uma interrupção é atendida pela UCP
- ❖ Portanto:
 - O sistema operacional sempre é executado em modo supervisor!!!

© 1998-2010 - Volnys Bernal 24

Modo de operação do processador

- ❑ **Observe que ...**
- ❑ **O sistema operacional é executado sempre decorrente de uma interrupção:**
 - ❖ Interface de chamadas ao sistema
 - Quando é ativada uma chamada ao sistema (interrupção de software)
 - ❖ Interface de hardware
 - Quando ocorre uma exceção
 - Quando chega uma interrupção externa (de outros componentes)
- ❑ **Sempre que ocorre a ativação da rotina de tratamento de interrupção o modo de operação passa para "modo supervisor". Quando termina a rotina de tratamento de interrupção, o processador volta ao modo anterior.**



© 1998-2010 - Volnys Bernal 26

Modo de operação do processador

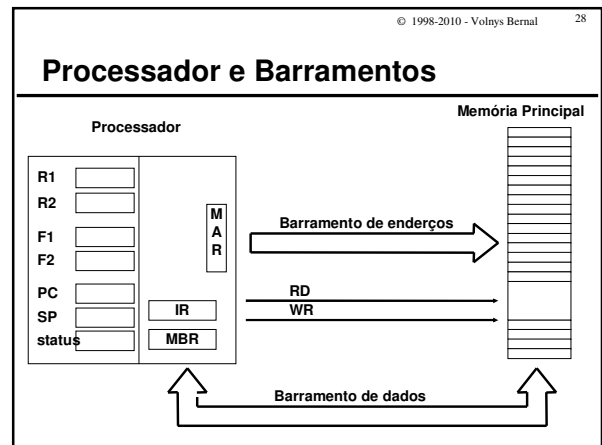
❑ Desta forma

- ❖ O sistema operacional sempre executa no modo supervisor.
- ❖ Os processo usuários sempre executam em modo usuário
- ❖ Um processos que opere em modo usuário não conseguem passar a operar em modo supervisor

© 1998-2010 - Volnys Bernal 27

Processador e Barramentos

Ilustração de um professor em um terno apresentando com um apontador para uma tela, com dois alunos ouvindo.



© 1998-2010 - Volnys Bernal 29

Processador e Barramentos

❑ Um processador é composto por

- ❖ Registradores de inteiros (ex, R1, R2,)
- ❖ Registradores de ponto flutuante (ex, F1, F2, ...)
- ❖ Registradores de controle
 - PC – Program Counter
 - SP – Stack Pointer
 - Status – Registrador de estado
- ❖ Registradores Internos
 - IR – Instrution Registrer
 - MAR – Memory Address Register
 - MBR – Memory Buffer Registre

© 1998-2010 - Volnys Bernal 30

Processador e Barramentos

❑ Registrador MAR

- ❖ Interface do processador com o barramento de endereços
- ❖ O tamanho do MAR limita o espaço físico da memória

Tamanho do MAR (em bits)	Endereçamento físico máximo da memória (em células)
8	256
16	65536
28	268 M
32	4 G
n	2 ⁿ

© 1998-2010 - Volny's Bernal 31

Processadores e Barramentos

Processador	Processador de ...	Registradores		Barramento	
		Dados	Endereço	Dados	Endereço
Zilog Z80	8 bits	8 bits	16 bits	8 bits	16 bits
Intel 8080	8 bits	8	16	8	16
Intel 8088	16 bits	8/16	16	8	20
Intel 8086	16 bits	8/16	16	16	20
Intel 286	32 bits	8/16/32	16/32	16	24
Intel 386 SX	32 bits	8/16/32	16/32	16	24
Intel 386 DX	32 bits	8/16/32	16/32	32	32
Intel Pentium	32 bits	8/16/32	16/32	64	32
Intel Pentium PRO	32 bits	8/16/32	16/32	64	34
Intel Itanium	64 bits				
IA 64 – Itanium 2	64 bits				
AMD Opteron	64 bits				
AMD64 Athlon 64	64 bits				

Espaço de Endereçamento

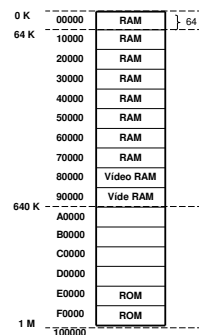


Espaço de endereçamento

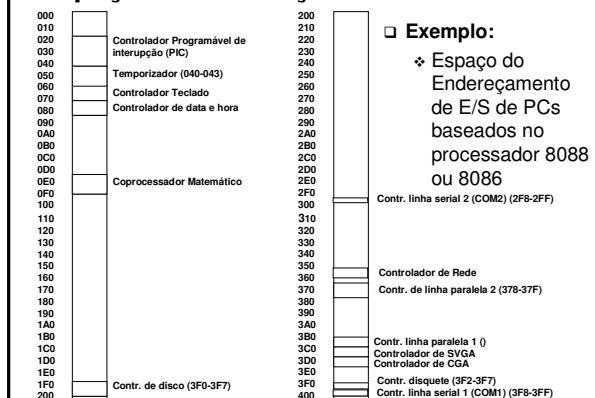
- ❑ **Usualmente, um processador pode possuir dois espaços de endereçamento físicos:**
 - ❖ Espaço de endereçamento de memória
 - Possibilita identificar células de memória
 - ❖ Espaço de endereçamento de E/S
 - Possibilita identificar registradores dos controladores de dispositivos
 - Para realizar acesso a um endereço de E/S é utilizado uma instrução especial

Espaço de Endereçamento

- ❑ **Exemplo:**
 - ❖ Espaço do Endereçamento da Memória do PC baseado em 8088 ou 8086
 - ❖ Registrador MAR=20 bits
 - → máximo de 1 Mbyte de memória física



Espaço de Endereçamento



Referências Bibliográficas



Referências Bibliográficas

- ❑ **ANDREW S. TANENBAUM; Sistemas Operacionais Modernos. Prentice-Hall.**
- ❑ **ANDREW S. TANENBAUM; Sistemas Operacionais. Prentice-Hall.**