

ROTEIRO GERAL PARA A SEQUÊNCIA DE CAPTURA, COMPILAÇÃO E SIMULAÇÃO DE ARQUIVOS VHDL NO MODELSIM

1. Preparação das Pastas e Arquivos para Simulação

- a) Ligue o computador e entre no ambiente **Windows**.
- b) Utilizando o **Windows Explorer** acesse a sua área de trabalho na unidade de rede **X**.
- c) Na sua área de trabalho crie uma pasta **X:\psi3451** e dentro dela pastas onde serão armazenados os resultados das práticas. Uma sugestão é criar uma pasta para cada aula (por exemplo, **aula_i** para esta prática), mas cada aluno deve usar a solução que julgar apropriada.
- d) Copie com o **Windows Explorer** os arquivos VHDL de **Rede=> NEWSERVERLAB => psi3451 => aula_2** para a sua pasta **X:\psi3451\aula_i**.
- e) Como serão realizadas *N* simulações durante esta aula, recomendamos que sejam criadas pastas separadas para cada uma das *N* **simulações** com o objetivo de salvar adequadamente os resultados. Por exemplo, crie as pastas:

X:\psi3451\aula_i\sim_1

X:\psi3451\aula_i\sim_2

X:\psi3451\aula_i\sim_3

.....

- f) Transfira cada um dos arquivos VHDL, copiados do NEWSERVERLAB para as pastas correspondentes.

Disparar o programa ModelSim (modelsim SE 10 ou 10.1d) e acessar o arquivo VHDL

- a) Dispare o programa ModelSim.
- b) Feche a janela de boas vindas e de *release notes* caso esta janela abra automaticamente.
- c) Observe que inicialmente aparecem duas janelas: na parte superior a janela "**Library**" de bibliotecas VHDL (já com várias instaladas) e na parte inferior a janela "**Transcript**" na qual o usuário pode digitar comandos e verificar mensagens informativas e de erros sobre seus procedimentos.
- d) Para acessar os arquivos no diretório desejado, clique no menu **File** e em seguida em **Change Directory**. Selecione o caminho para o diretório correspondente. Por exemplo **X:\psi3451\aula_i\sim_1**. Observe que na janela "**Transcript**" aparece o comando **cd X:\psi3451\aula_i\sim_1**.

Observação: Isto demonstra que é possível executar as mesmas operações teclando comandos em vez de se usar o menu.

- e) O comando **ls** (na janela **Transcript**) seguido de **enter** permite listar os arquivos no diretório.

Criar uma biblioteca

É preciso criar uma biblioteca de trabalho (obrigatória no contexto do Modelsim). Esta será denominada **WORK**.

- a) Selecione a opção **File -> New -> Library**.
- b) Na caixa de diálogo, selecione “**new library and a logical mapping to it**” e digite **work** em **library name** e **work** em **library physical name**. Novamente, observe que na janela “**Transcript**” aparece o comando de linha correspondente.

Observação: Na janela superior deve aparecer a biblioteca **work** listada junto com outras que já existiam (e que devem ser ignoradas no momento). A biblioteca **work** ainda deve estar vazia.

Compilar e importar um arquivo VHDL

Em seguida é necessário compilar e importar arquivos VHDL para a biblioteca **WORK**.

- a) Clique em **Compile -> Compile**.
- b) Selecione o arquivo desejado xxx.vhd e clique em **Compile -> Done**.

Observação: Devem aparecer na janela “**Transcript**” as mensagens a seguir, indicando a correta compilação sem erros:

- a. # -- Compiling entity
- b. # -- Compiling architecture
- c. # Errors: 0, Warnings: 0

Neste momento é possível observar que o arquivo VHDL compilado aparece na biblioteca **work**. Clique no símbolo + que aparece ao lado da biblioteca **work** e em seguida no + que aparece ao lado do módulo de interesse. Aparecerá o nome da arquitetura (*dataflow*) do modelo VHDL importado.

Simular o arquivo VHDL compilado

Para realizar a simulação do modelo VHDL (após sua compilação e captura para a biblioteca **work**).

- a) Selecione a opção **Simulate -> Start Simulation** no menu.
- b) Na caixa de diálogo, escolha a janela “**Design**”, expandindo a biblioteca **work** e selecionando a entidade xxx.vhd (já compilada).
- c) Clique no botão **Optimization Options**. Será aberta uma janela com as opções de otimização onde se pode modificar as opções de visibilidade (acesso) da simulação
- d) Selecione a aba **Visibility -> Apply full visibility to all modules (full debug mode) -> OK**. Carregue a simulação clicando novamente em **OK** na janela Start Simulation.

Observação: O **modelsim** sofrerá uma mudança no layout e onde estava a janela Library, deverão surgir duas abas chamadas “**Sim**” e “**Library**”. A primeira será um ambiente direcionado a este

contexto de simulação. Deve também aparecer a janela **Wave** utilizada para visualizar os sinais de interesse.

- f) Na aba “**Sim**” selecione o módulo de interesse com um clique simples.
- g) Certifique-se de que todos objetos da entidade em questão estejam visíveis habilitando no menu **View** as janelas **Objects**, **Processes** e **Locals**.
- h) Clique em **Add** → **Wave** → **All items in region**. Todos os portos de entrada e saída do modelo VHDL serão transferidos para a janela **Wave** do simulador.
- i) A partir deste momento, o simulador está pronto para receber os comandos referentes aos estímulos de entrada que se deseja observar (comando ***force***) assim como ao avanço no tempo de simulação (comando ***run***).

Por exemplo, o comando **run 100ns** avança o simulador este intervalo de tempo. Mas, observe que todos os sinais estão indeterminados pois não foram ainda especificados valores iniciais.

Por exemplo, os comandos:

```
force a_in 0
force b_in 1
force c_in 0
run 100ns
```

mostrarão o resultado da operação para as entradas a=0; b=1; c=0.

Atenção: os resultados também mostrarão os atrasos incluídos no modelo VHDL sendo simulado, desde que inferiores a 100ns.

Caso se deseje reiniciar a simulação a partir do instante zero usa-se o comando **restart**.

Caso se deseje criar estímulos periódicos (como é o caso de um *clock*, por exemplo, que será usado em diversos módulos sequenciais do projeto).

```
force -freeze a_in 1 0, 0 {10 ns} -r 20
```

Este comando cria um sinal a_in de período 20ns e transição em 10ns (50% de duty cycle).

DICA: PARA FACILITAR AS PRÓXIMAS SIMULAÇÕES

É possível criar um *script* (arquivo de texto *xxx.tcl*) com todos os comandos-linha que se desejam repetir. Por exemplo, podem ser salvos no script todos os comandos apresentados acima relativos à criação da biblioteca seguida da compilação do arquivo VHDL e seguida pelos comandos para a simulação do código ou, alternativamente, podem ser salvos somente os comandos usados durante a simulação do código.

Para verificar todos os comandos que estão ativos na janela *transcript* utilize o comando *history*.

Para criar o arquivo *xxx.tcl*:

- Inicialmente certifique-se que a janela *transcript* contenha apenas a sequência de comandos desejada.
- Uma vez que a sequência de comandos esteja correta, ative a janela *transcript* clicando com o ponteiro do mouse sobre qualquer lugar desta janela.

- Em seguida clique em *File-> Save Transcript As* e na janela que aparece selecione a pasta em que deseja salvar os comandos e na janela apropriada escreva *xxx.tcl* e salve este arquivo.

Para ativar o script *xxx.tcl*:

- Com a janela *Wave* ativada (estando nela carregado os dados do novo circuito a ser simulado) clique em *File -> Load -> Macro File* e selecione *xxx.tcl*. Isto fará com que a sequência de comandos salvos no *script* seja executado, evitando a necessidade de repetir cada comando do simulador na nova simulação.