

GTI HS 20 Serie 7

Michael Baur, Tatjana Meier, Sophie Pfister

Die 7. Serie ist bis Montag, den 16. November 2020 um 12:00 Uhr zu lösen und als PDF-Dokument via ILIAS abzugeben. Für Fragen steht im ILIAS jederzeit ein Forum zur Verfügung. Zu jeder Frage wird, falls nicht anders deklariert, der Lösungsweg erwartet. **Lösungen ohne Lösungsweg werden nicht akzeptiert.** Allfällige unlösbare Probleme sind uns so früh wie möglich mitzuteilen, wir werden gerne helfen. Viel Spass!

1 Addier-/Subtrahierwerk (3 Punkte)

Realisiere ein 3-Bit-Addier-/Subtrahierwerk, bei welchem mittels eines Steuereingangs S zwischen Addition und Subtraktion gewählt werden kann. Bei $S = 0$ soll eine Addition, bei $S = 1$ eine Subtraktion ausgeführt werden.

2 Serienaddierer (4 Punkte)

- (a) (1 Punkt) Beschreibe den Ablauf der Addition $15 + 1$ bei einem 4-Bit-Serienaddierer mittels einer Wertetabelle.
- (b) (1 Punkt) Wie kann man einen n -Bit-Serienaddierer nutzen, um eine $(n-1)$ -stellige Binärzahl mit der Konstanten 3 zu multiplizieren?
- (c) (1 Punkt) Wieviele Taktschritte benötigt ein n -Bit-Serienaddierer zur Addition von zwei Zahlen?
- (d) (1 Punkt) Wie kann man einen n -Bit-Serienaddierer zu einem $(n+1)$ -Bit-Serienaddierer erweitern?

3 von-Neumann-Addierer (3 Punkte)

- (a) (1 Punkt) Wozu dient das mit A gekennzeichnete Gatter? (vgl. Abbildung 1)
- (b) (1 Punkt) Was zeigt das Delay S an? (vgl. Abbildung 1)
- (c) (1 Punkt) Was ist der Vorteil eines von-Neumann-Addierers im Vergleich zu einem herkömmlichen Parallel-Addierwerk?

Freiwillige Aufgaben

Takte eines von-Neumann-Addierwerkes

Wieviele Takte benötigt ein von-Neumann-Addierwerk, das zu der n -stelligen Darstellung von Null ($\underbrace{000\dots000}_{n\text{-mal}}$) genau $(2^n - 1)$ -mal nacheinander eine 1 addiert?

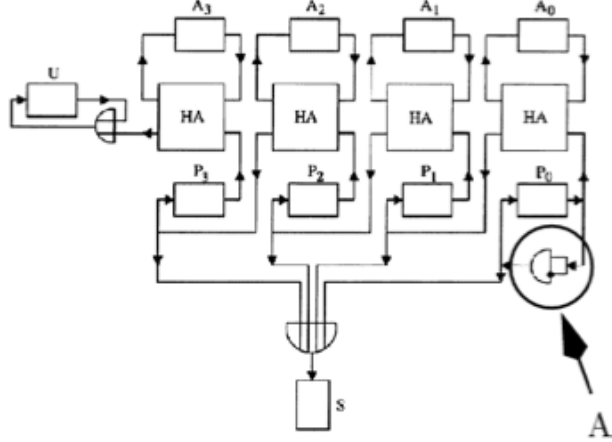


Abbildung 1: von-Neumann-Addierer

1.)

0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

2 a)

0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

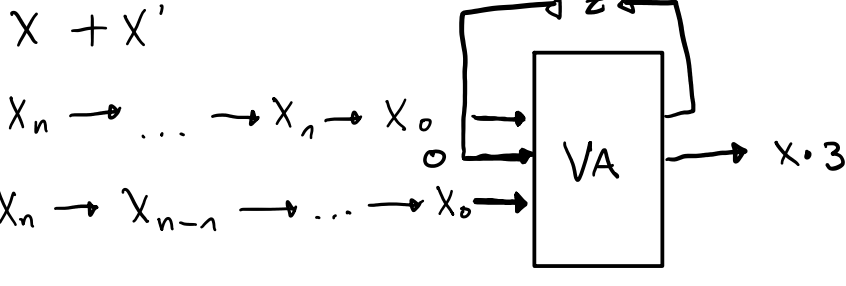
1	1	1	1
+	0	0	0
1	0	0	0

Y3	Y2	Y1	Y0
0	0	0	1
0	0	0	0
0	0	0	0
0	0	0	0
0	0	0	0

X3	X2	X1	X0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
0	0	0	0

Zy	Zx
0	15
1	
1	
1	
1	

b) $n\text{-bit} + n\text{-1 bit}$



c) $n\text{-Takt}$ schritte

d) mit 2 zusätzlichen Delays

3.)

- a) es zeigt P_0 auf 0
- b) es zeigt an ob $SNP = 1$ dann $S = 1 \Rightarrow$ dann wird weiter gerechnet
- c) die Taktzeiten und Signallaufzeiten werden verkürzt