


| | | | | | | | | | |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|------|--------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|--|--|------------------------------|-------------------|
|  <p>UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p><i>ETSIS de Telecomunicación</i></p> | | | | APELLIDOS: | | | | | |
| | | | | NOMBRE: | | | | DNI: | |
| | | | | ASIGNATURA: DISEÑO DIGITAL I | | | | Bloque: II (Práctico) | |
| | | | | TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Telemática | | | | | |
| Fecha | | | Curso | Calificación del ejercicio | | | | | Nota Final |
| 09 | 01 | 2017 | TERCERO | | | | | | |

ADVERTENCIAS PARA LA REALIZACIÓN DE LA SEGUNDA PARTE DEL EXAMEN (Ejercicio 5)

- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **COMPRUEBE** que su ejemplar del examen consta de **1** ejercicio en **5** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **75 minutos**.
- Rellene la siguiente tabla que registra el puesto de laboratorio donde está realizando el examen

| | |
|--------------|----------------|
| Aula: | Puesto: |
|--------------|----------------|

Esta hoja se ha dejado en blanco intencionadamente

| | | | |
|--------------------|----------------------------------------------------------|----------|------------|
| Ejercicio 5 | Diseño, modelado y verificación de subsistemas digitales | | |
| | | 2 puntos | 75 minutos |

Se desea realizar el modelo VHDL sintetizable de un circuito capaz de distinguir entre pulsaciones simples y dobles (dos pulsaciones en menos de 0.5 segundos) realizadas con un pulsador que, mientras permanece pulsado, genera continuamente un nivel lógico alto. El circuito modelado opera con un reloj de 1 MHz.

La señal generada por el pulsador se conecta a la entrada **pulso**. La detección de pulsaciones dobles consiste en un pulso, activo a nivel alto y con una duración de un periodo de reloj, en la salida **pulso doble**, que se activa en el periodo de reloj en que se detecta la segunda pulsación. La detección de pulsaciones simples, consistente también en un pulso activo a nivel alto y con una duración de un periodo de reloj en la salida **pulso simple**, se activa cuando transcurren 0.5 segundos desde el comienzo de la pulsación.

1. El fichero **ctrl_pulsaciones.vhd**, que puede –y debe en este mismo momento- descargar desde **Moodle**, contiene un modelo SINTÁCTICA y FUNCIONALMENTE ERRÓNEO de un sistema digital como el anteriormente descrito.

Cree un proyecto en ModelSim, **proy_examen**, dentro de su cuenta de usuario y añádale el fichero **ctrl_pulsaciones.vhd**.

El código que contiene el fichero arroja errores de compilación. Detéctelos y corrijalos. **(0.25 puntos)**

Nota: No podrá continuar con la realización del examen hasta que no haya corregido todos los errores y obtenido una compilación exitosa del modelo

ATENCIÓN: Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión del fichero con los errores sintácticos corregidos, rellenando con sus datos (**nombre** y **fecha**) la cabecera del fichero.

2. Dentro del modelo VHDL del circuito se han definido varios subsistemas y cada uno de ellos se ha delimitado con una pareja de comentarios. Determine el tipo de subsistema delimitado con los comentarios *Subsistema 1* y *Fin subsistema 1* y *Subsistema 2* y *Fin subsistema 2* explique su funcionamiento (0.25 puntos)

Tipo de subsistema (Subsistema 1):

Funcionamiento:

Tipo de subsistema (Subsistema 2):

Funcionamiento:

3. Al margen de los errores sintácticos que ha corregido en el anterior apartado, el modelo presenta un funcionamiento incorrecto que no se corresponde con el descrito.

Descargue de **Moodle** el fichero **test_ctrl_pulsaciones.vhd** y añádalo al proyecto del examen. Este fichero contiene un código básico que le facilitará la codificación de un test-bench para el modelo VHDL del circuito.

Diseñe un test, codifíquelo dentro de **test_ctrl_pulsaciones.vhd** y empléelo para detectar y corregir, sobre el código del fichero **ctrl_pulsaciones.vhd**, los **4** errores funcionales del modelo que se le ha proporcionado. Indique aquí cuáles son los errores que ha detectado y la solución que ha adoptado para corregirlos. (1.5 puntos)

ATENCIÓN: Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión final de los ficheros **ctrl_pulsaciones.vhd** y **test_ctrl_pulsaciones.vhd**, con los nombres: **test_ctrl_pulsaciones.vhd** y **ctrl_pulsaciones.vhd**. Rellene con sus datos (**nombre** y **fecha**) la cabecera del fichero. (CONTINUA EN LA SIGUIENTE PÁGINA)

Nota: La calificación de este ejercicio dependerá tanto de la correcta detección y solución de los errores funcionales, como de la calidad del test diseñado y de su materialización en el test-bench VHDL

Descripción de los errores y soluciones:

1.-

2.-

3.-

4.-