



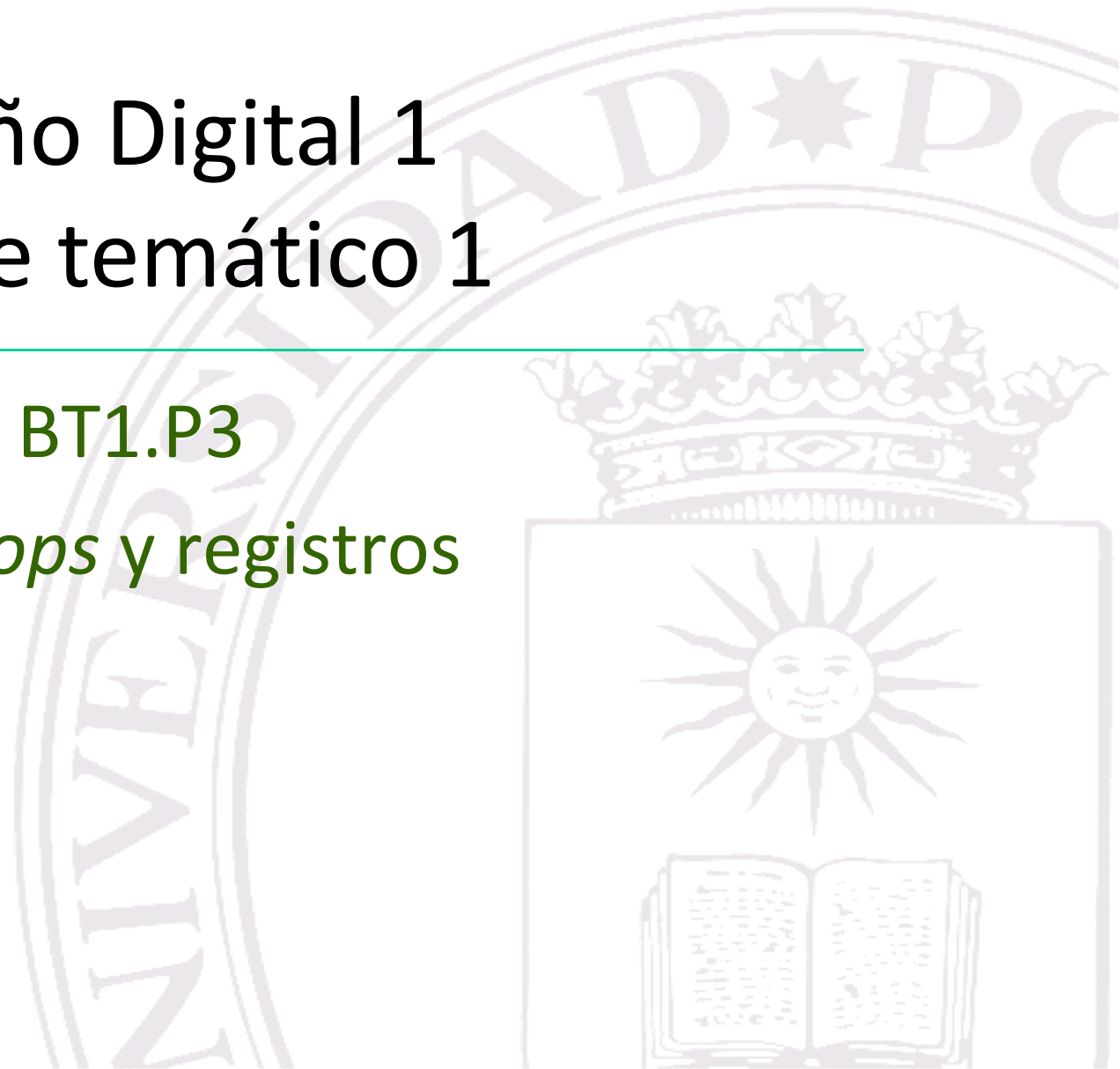
ETSIST-UPM
Dpto. de Ingeniería Telemática y Electrónica

Diseño Digital 1

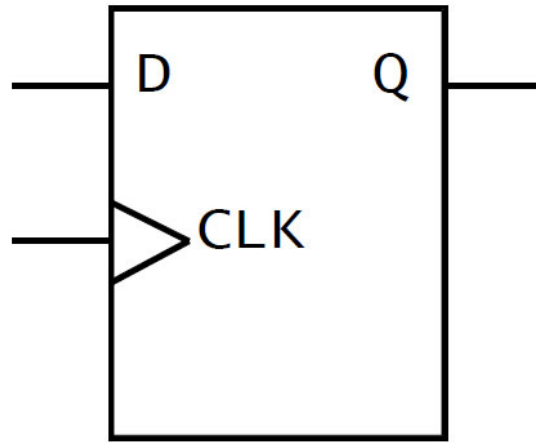
Bloque temático 1

BT1.P3

Flip-flops y registros



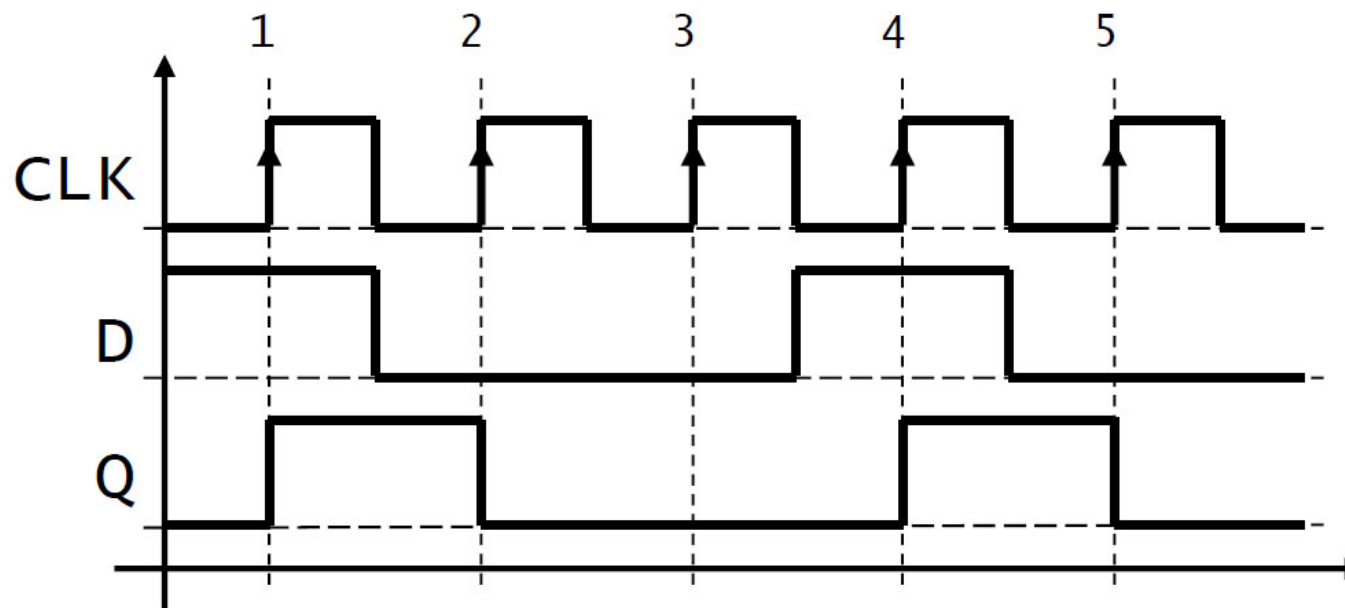
Flip-flops tipo D



Símbolo

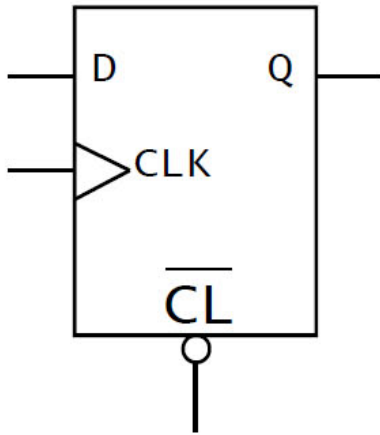
Entradas		Salidas
D	CLK	Q(T)
0	↑	0
1	↑	1

Tabla de transiciones



Cronograma de un flip-flop D

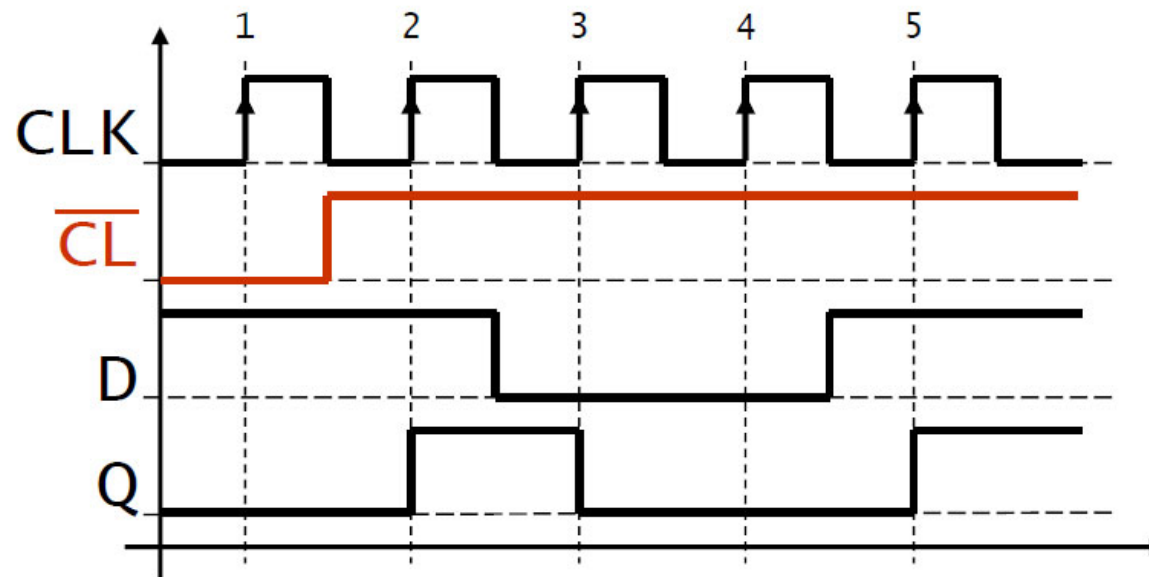
Flip-flops tipo D con entradas asíncronas



Flip-flop D con entrada de *clear* activa a nivel bajo

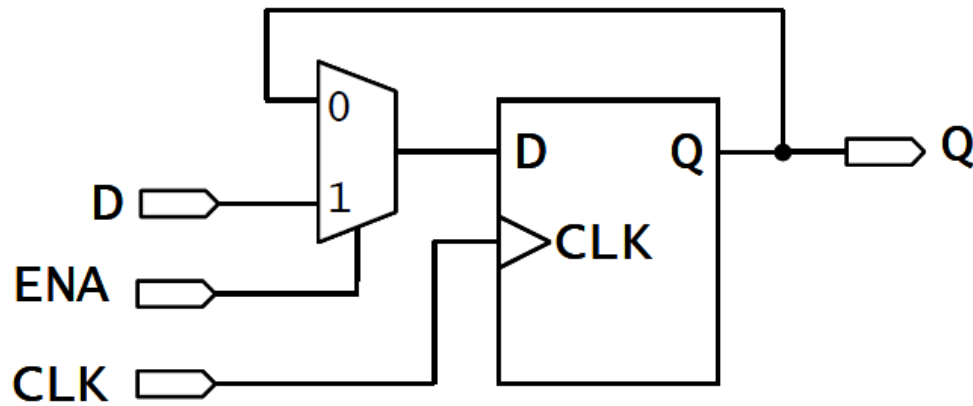
Entradas			Salidas
CL	D	CLK	Q(T)
0	X	X	0
1	0	↑	0
1	1	↑	1

Tabla de transiciones



Cronograma de un flip-flop D con clear

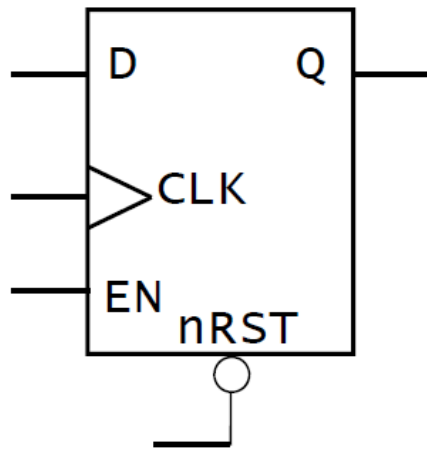
Flip-flops tipo D con entrada de habilitación



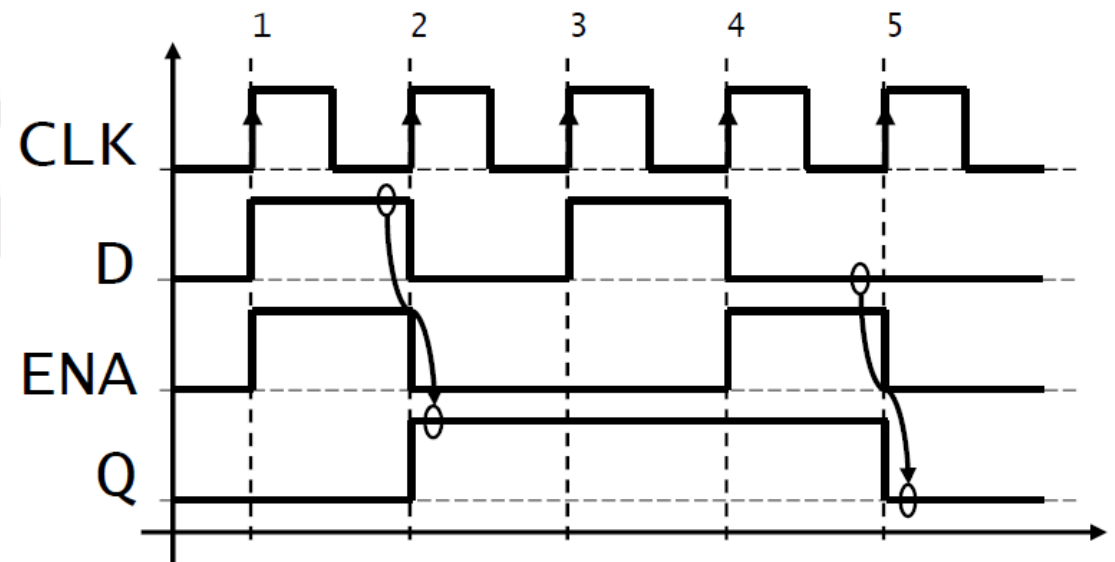
Flip-flop D con entrada de habilitación

Entradas				Salidas
nRST	EN	D	CLK	Q(T)
0	X	X	X	0
1	0	X	↑	Q(T-1)
1	1	0	↑	0
1	1	1	↑	1

Tabla de transiciones

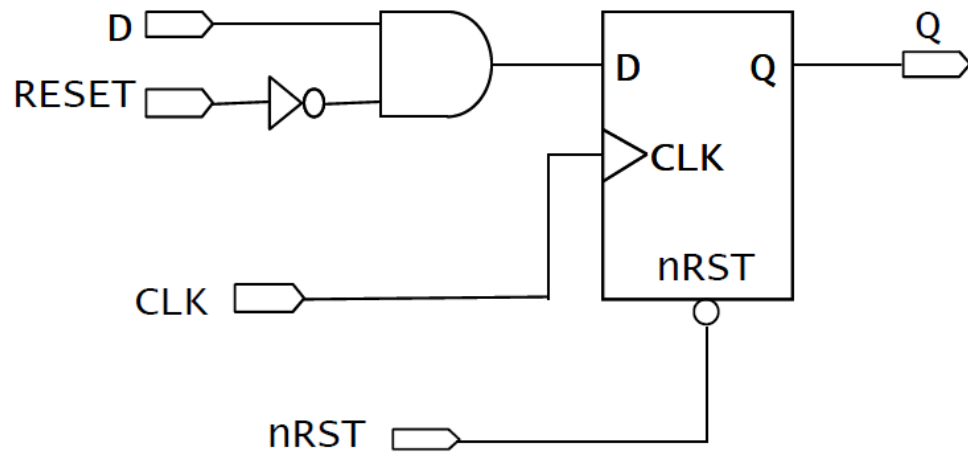


Símbolo de un flip-flop D con entrada de habilitación activa a nivel alto

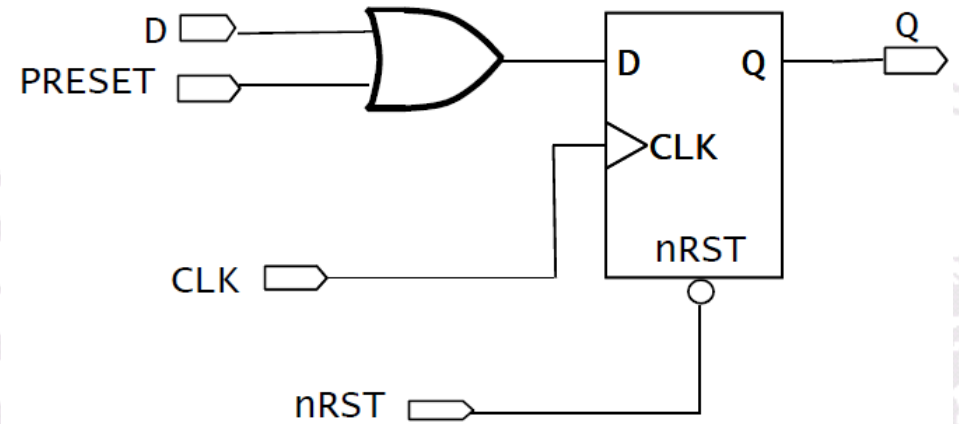


Cronograma

Flip-flops tipo D con preset o reset síncrono

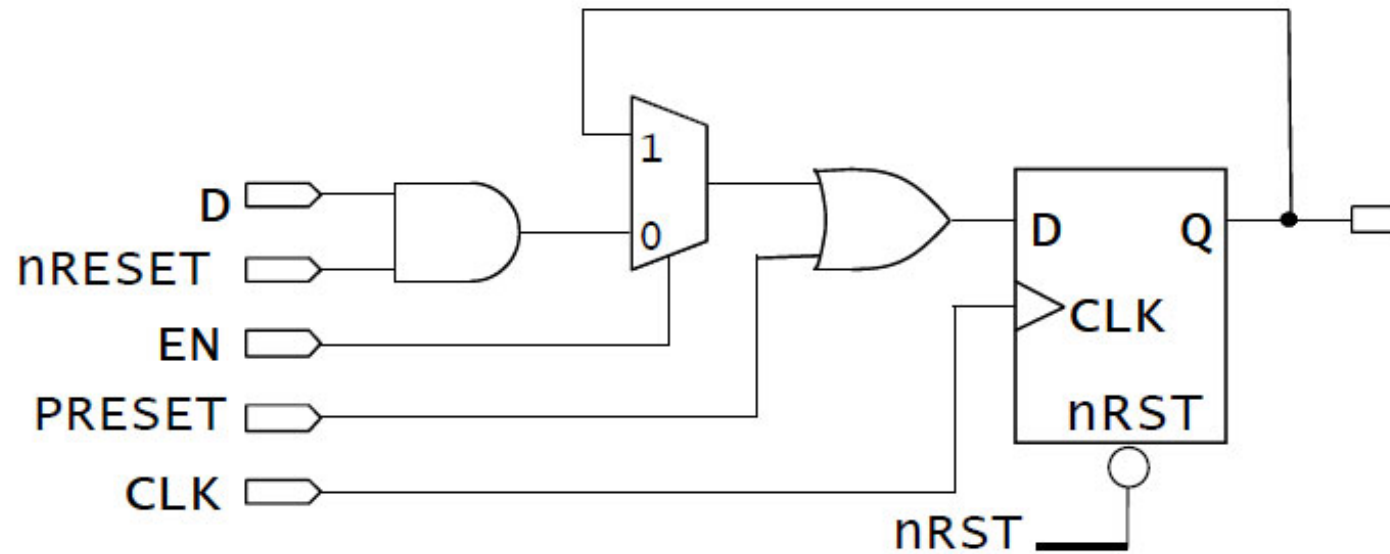


Flip-flop D con reset síncrono active a nivel alto



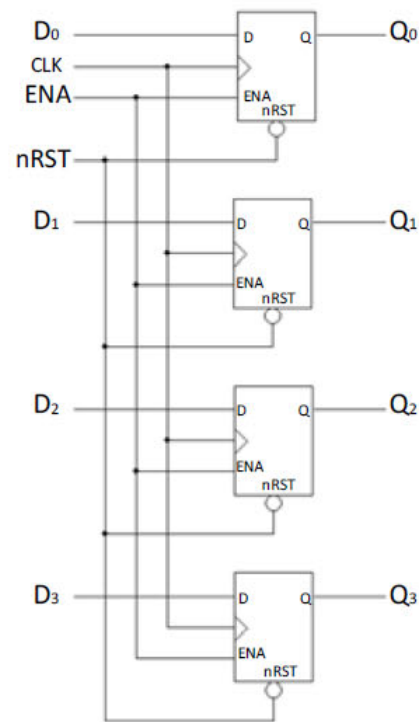
Flip-flop D con preset síncrono activo a nivel alto

Flip-flops tipo D con habilitación, reset y preset síncrono

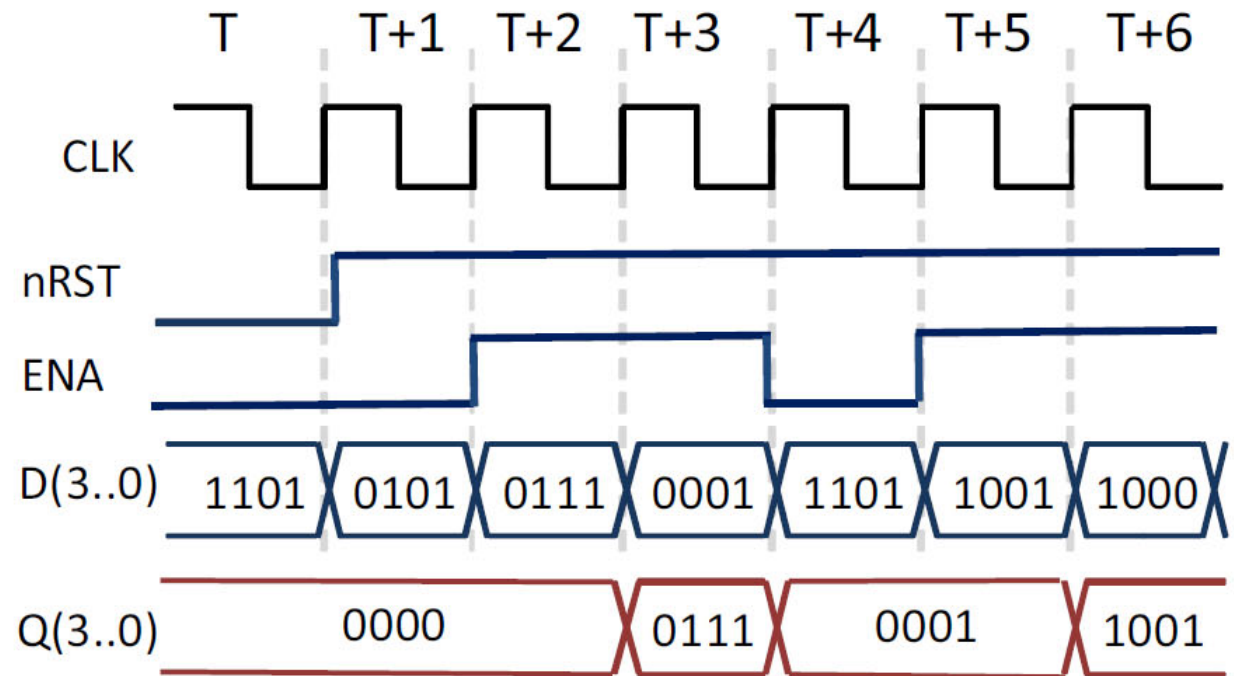


Flip-flop D con entrada de habilitación, *preset* y *reset* síncronos.

Registros con escritura y lectura en paralelo

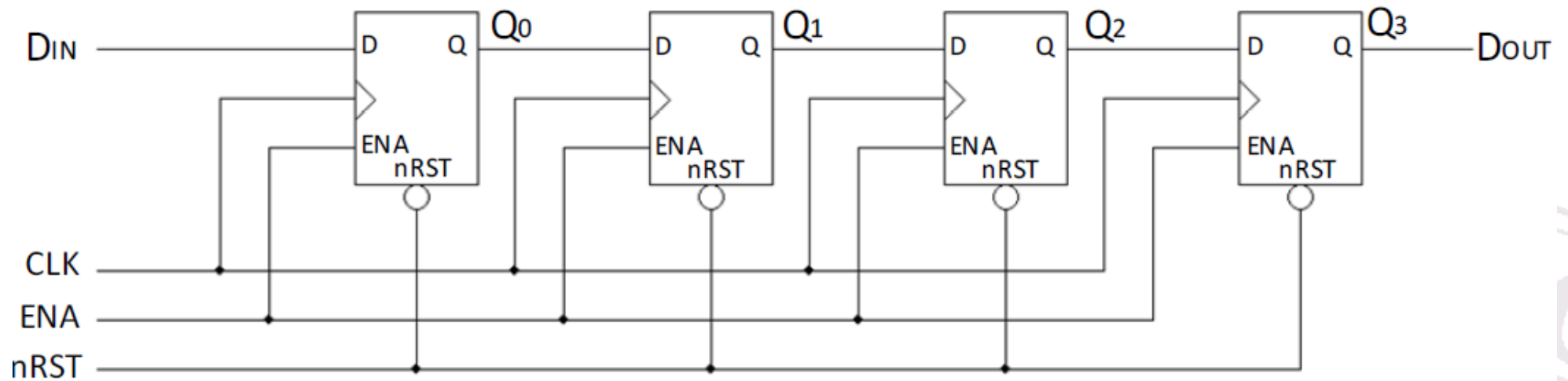


Registro de 4 bits con entrada de habilitación



Cronograma

Registros de desplazamiento



Registro de desplazamiento de 4 bits

Entradas				Nodos internos			Salidas
nRST	ENA	Din	CLK	Q ₀	Q ₁	Q ₂	Dout
0	X	X	X	X	X	X	0
1	0	X	↑	q ₀	q ₁	q ₂	d _{out}
1	1	d _{in}	↑	d _{in}	q ₀	q ₁	q ₂

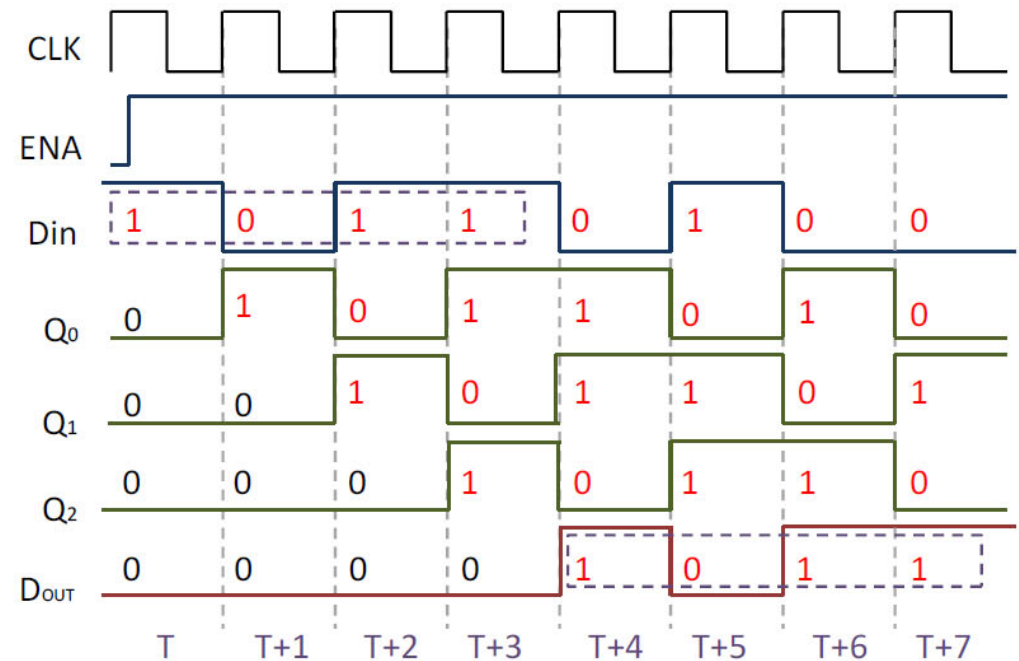
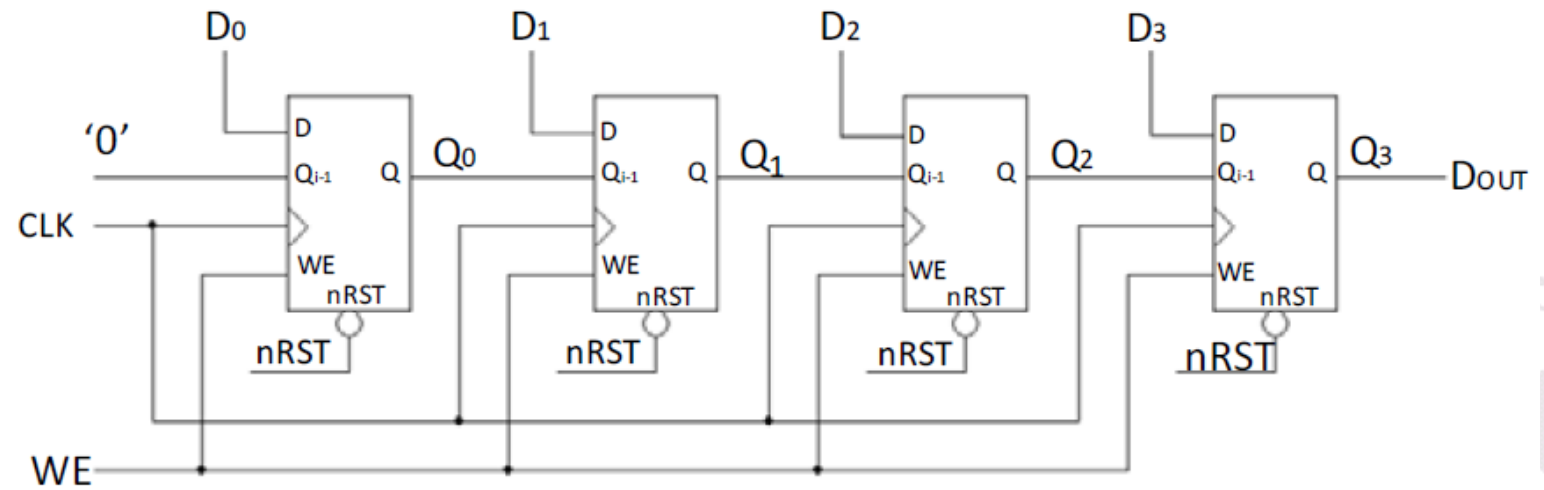
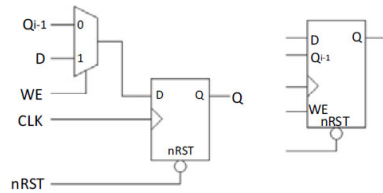


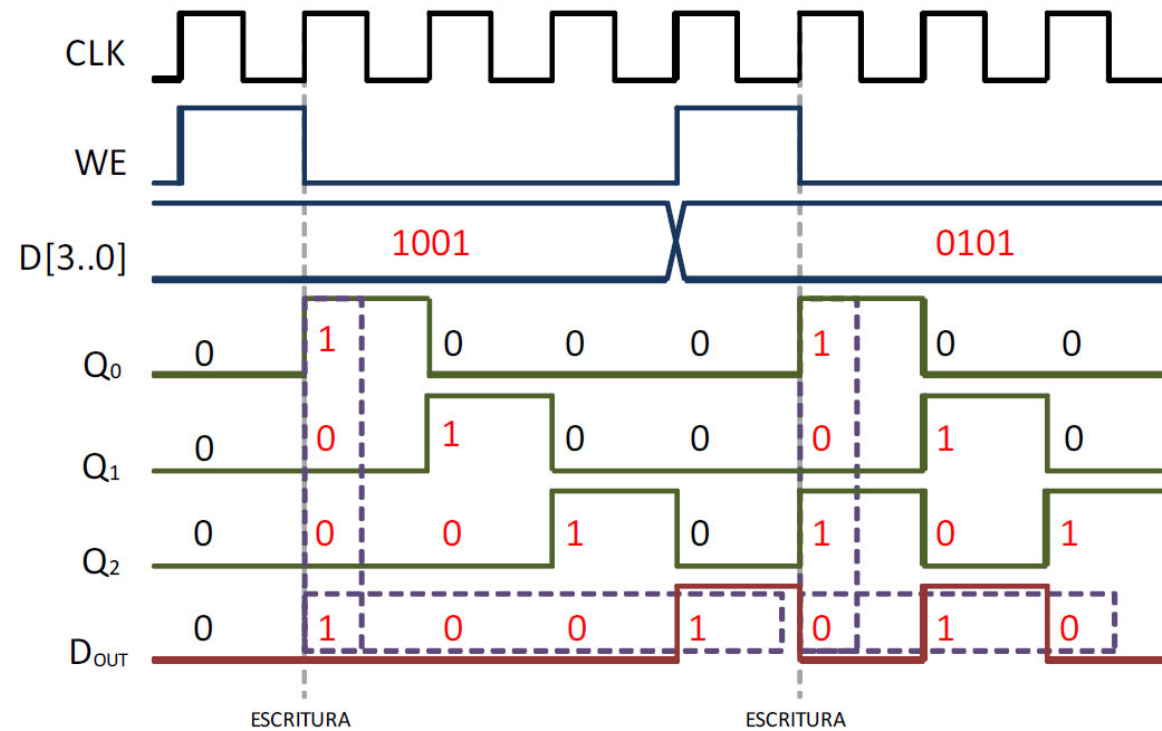
Tabla de funcionamiento

Cronograma del registro de desplazamiento de 4 bits

Registros de desplazamiento con entrada o salida paralelo



Registro de desplazamiento de 4 bits con entrada de datos paralelo



Cronograma del registro de desplazamiento con entrada paralelo