

 <p>UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p><i>ETSIS de Telecomunicación</i></p>				APELLIDOS:					
				NOMBRE:				DNI:	
				ASIGNATURA: DISEÑO DIGITAL I				Bloque: II (Práctico)	
				TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Telemática					
Fecha			Curso	Calificación del ejercicio					Nota Final
28	06	2017	TERCERO						

ADVERTENCIAS PARA LA REALIZACIÓN DE LA SEGUNDA PARTE DEL EXAMEN

- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **COMPRUEBE** que su ejemplar del examen consta de **2** ejercicios en **7** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **120 minutos**.
- Rellene la siguiente tabla que registra el puesto de laboratorio donde está realizando el examen

Aula:	Puesto:
--------------	----------------

Esta hoja se ha dejado en blanco intencionadamente

INSTRUCCIONES DE OBLIGADO CUMPLIMIENTO

Debe descargar de Moodle el fichero *examen_practico.zip*, que contiene una estructura de carpetas (*EJ5*, *EJ6*), que contienen ficheros que necesitará para realizar el examen práctico y donde creará, también, ficheros con la resolución de los ejercicios que se le plantean. Al terminar el examen, deberá comprimir la estructura de carpetas y subirla a Moodle, con su nombre:

EX_PR_APELLIDO1_APELLIDO2_NOMBRE

donde todas las letras serán mayúsculas y se evitarán tildes, la ñ (que se convertirá en N) y espacios. Los apellidos con varias palabras (e.g. Lasso de la Vega, del Val, de la Cruz,...), se escribirán todo junto. En el caso de nombres compuestos se elegirá uno o se escribirán todos juntos sin espacios. Por ejemplo, para la alumna María de las Virtudes Lasso de la Vega Núñez-Sustaeta el nombre de la carpeta será:

EX_PR_LASSODELAVEGA_NUNEZ_SUSTAETA_MARIAVIRTUDES o, si se prefiere, *EX_PR_LASSODELAVEGA_NUNEZ_SUSTAETA_VIRTUDES*.

Si solamente tiene un apellido, separe el apellido del nombre por dos caracteres _ consecutivos, por ejemplo *EX_PR_POTTER__HARRY*.

El no cumplimiento de estas instrucciones puede impedir la corrección de su examen, que en tal caso sería calificado como suspenso.

Ejercicio 5	Diseño, modelado y verificación de subsistemas digitales		
		2.5 puntos	75 minutos

Se desea realizar el modelo VHDL sintetizable de un circuito multiplicador de números de 4 bits en binario natural, por el procedimiento de sumar el multiplicando tantas veces como indique el multiplicador. El circuito posee un banco de 4 registros de 4 bits; los dos primeros (direcciones 0 y 1) permiten almacenar el multiplicando y el multiplicador, mientras que los otros dos (direcciones 2 y 3) guardan el resultado de la operación cuando ésta ha terminado.

El circuito comienza a operar cuando recibe un pulso por su entrada **ini**, momento en el que activa a nivel alto su salida **busy** hasta que termina de hacer la multiplicación. En ese momento desactiva **busy** y el resultado de la operación debe poder leerse de los registros que ocupan las direcciones 2 y 3.

1. El fichero **mult.vhd**, dentro de la carpeta Ej5, contiene un modelo SINTÁCTICA y FUNCIONALMENTE ERRÓNEO de un sistema digital como el anteriormente descrito.

Cree un proyecto en ModelSim, **proy_examen**, dentro de su cuenta de usuario y añádale el fichero **mult.vhd**.

El código que contiene el fichero arroja errores de compilación. Detéctelos y corríjalos. **(0.2 puntos)**

Nota: No podrá continuar con la realización del examen hasta que no haya corregido todos los errores y obtenido una compilación exitosa del modelo

ATENCIÓN: Una vez terminado el ejercicio, **haga una copia en la carpeta Ej5** de la versión del fichero con los errores sintácticos corregidos, con el nombre **mult_sintacticos.vhd** rellenando con sus datos (**nombre** y **fecha**) la cabecera del fichero.

Nota: Debe conservar, así mismo, el fichero **mult.vhd** para seguir trabajando con él en los siguientes apartados.

2. Dentro del modelo VHDL del circuito se han definido varios subsistemas y dos de ellos se ha delimitado con una pareja de comentarios.

El subsistema delimitado con los comentarios *Subsistema 1* y *Fin subsistema 1* es un banco de 4 registros de 4 bits. El dato **din** puede escribirse en el registro direccionado mediante **addw** activando **wr**. Simultáneamente puede leerse el contenido del registro direccionado con **addr**. El banco de registros posee otras características adicionales a las ya mencionadas. Indique cuáles **(0.3 puntos)**

- *Reset síncrono, únicamente para los registros sum_l y sum_h.*
- *Decrementador para el registro mdor*
- *Los registros sum_h y sum_l pueden cargarse con datos internos (además de a través de la interfaz estándar de escritura del banco).*

El subsistema delimitado con los comentarios *Subsistema 2* y *Fin subsistema 2* es un sumador. Indique de cuántos bits. Explique si es un sumador para números con o sin signo (o para ambos) y por qué **(0.3 puntos)**

Es un sumador de 8 bits para números en binario natural. La extensión del número de bits del sumando "mndo" se realiza para números sin signo.

3. Al margen de los errores sintácticos que ha corregido en el anterior apartado, el modelo presenta un funcionamiento incorrecto que no se corresponde con el descrito. Añada el fichero **test_mult.vhd** que encontrará en la carpeta Ej5 al proyecto del examen. Este fichero contiene un código básico que le facilitará la codificación de un test-bench para el modelo VHDL del circuito.

Diseñe un test, codifíquelo dentro de **test_mult.vhd** y empléelo para detectar y corregir, sobre el código del fichero **mult.vhd**, los **3** errores funcionales del modelo que se le ha proporcionado. Indique aquí cuáles son los errores que ha detectado y la solución que ha adoptado para corregirlos. **(0.7 puntos)**

ATENCIÓN: Una vez terminado el ejercicio, **copie en la carpeta Ej5** la versión final de los ficheros **mult.vhd** y **test_mult.vhd**, con los nombres: **test_mult_funcionales.vhd** y **mult_funcionales.vhd**. Rellene con sus datos (**nombre y fecha**) la cabecera del fichero.

Nota: La calificación de este ejercicio dependerá tanto de la correcta detección y solución de los errores funcionales, como de la calidad del test diseñado y de su materialización en el test-bench VHDL.

Nota: Debe conservar los ficheros **mult.vhd** y **test_mult.vhd** para seguir trabajando con ellos.

Descripción de los errores y soluciones:

1. *El reset asíncrono del autómata es activo a nivel alto. Debe cambiarse para que sea activo a nivel bajo, como los demás.*
2. *En el banco de registros se asigna un '1' a ena_w_2 en lugar de comparar esta señal con '1'.*
3. *La generación del reset síncrono, srst, debe depender de not busy, en lugar de busy: start <= ini and not busy;*
4. Modifique el modelo del multiplicador para que, una vez activado **ini**, realice las multiplicaciones en un solo ciclo de reloj cuando el multiplicador sea una potencia de 2 (**1 punto**).

ATENCIÓN: Una vez terminado el ejercicio, **copie en la carpeta Ej5** la versión final del fichero **mult.vhd** el nombre **mult_pot2.vhd**. Rellene con sus datos (**nombre y fecha**) la cabecera del fichero.

NOTA: Puede realizar este ejercicio aunque no haya corregido todos los errores en el apartado anterior.

Ejercicio 6	Diseño, modelado y verificación de subsistemas digitales		
		1.5 puntos	45 minutos

Este ejercicio puede ser realizado de manera independiente al del apartado anterior. Sin embargo, le resultará de utilidad inspirarse en el código de dicho apartado (excluyendo la parte relacionada con el banco de registros, que no resulta de aplicación en este ejercicio).

Se desea diseñar un divisor para números en binario natural de 8 bits basado en el algoritmo de restas sucesivas. A continuación se proporciona un ejemplo en el que se divide 25 entre 6:

- $25-6=19$;
- $19-6=13$;
- $13-6=7$;
- $7-6=1$;
- Como se ha restado 6 a 25 4 veces, el cociente es 4
- El valor que sobra es el resto, en este caso, 1

La interfaz del divisor será (además del reloj y el reset asíncrono):

- start: pulso de entrada, activo a nivel alto, con una duración de un período de reloj, que señala el comienzo de una operación. Esta señal debe tenerse en cuenta solo cuando busy=0.
- dividendo, divisor: entradas de 8 bits. Estas entradas serán válidas en el flanco de reloj en el que start esté a nivel alto.
- cociente, resto: salidas de 8 bits. En estas salidas se almacenará el resultado de cada operación. Serán válidas tras la finalización de cualquier operación.
- busy: salida, inicialmente a '0'. Se activará ('1') tras el start y se desactivará nuevamente al finalizar la operación.

No es necesario que el circuito tenga en cuenta el caso en el que el divisor sea 0.

Descargue de Moodle los ficheros div.vhd y test_div.vhd. El primero contiene la declaración de entidad completa del módulo divisor y el segundo un test que podrá utilizar para depurar su diseño si lo considera conveniente.

ATENCIÓN: Una vez terminado el ejercicio, **copie en la carpeta Ej6** la versión final del fichero **div.vhd**. Rellene con sus datos (**nombre** y **fecha**) la cabecera del fichero.

Recuerde seguir las instrucciones de la página 3 al finalizar este examen.