

DISEÑO DIGITAL 1. BLOQUE TEMÁTICO 2**TÍTULO DE LA ACTIVIDAD:**
Ejercicios de modelado, simulación y síntesis de subsistemas**CÓDIGO:**
BT2.P15**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**

Resolución de problemas.

TIPO:

Síncrona

DURACIÓN:120
minutos**CALENDARIO:**

Sesión síncrona P15

REQUISITOS:**CRITERIO DE ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

No procede

Introducción

En esta actividad realizará ejercicios de modelado, simulación, diseño y síntesis de subsistemas digitales. Después de realizar los ejercicios tendrá que probar el funcionamiento de uno de los subsistemas sobre la tarjeta MAX 1000. Los ejercicios de modelado y simulación propuestos en este documento deberá realizarlos como trabajo previo (sin profesor) en la A18, antes de la sesión P15.

Para ajustar la realización de esta actividad al tiempo disponible, algunas de las tareas más rutinarias se proporcionan ya realizadas. Baje de Moodle el fichero BT2_P15.zip, disponible en el tema 15, y descomprímalo en su carpeta de trabajo.

Ejercicio de modelado

Un *divisor de frecuencia* es un circuito secuencial que, a partir de una señal de entrada, de frecuencia F , obtiene otra de frecuencia F/N , siendo N el factor de división.

Empleando contadores con salida de fin de cuenta pueden realizarse divisores de frecuencia que obtengan señales con una frecuencia que sea un factor de la del reloj del circuito: el factor de división es el módulo del contador. Si el contador dispone de una entrada de habilitación puede construirse un divisor de frecuencia que genere señales con una frecuencia que sea un submúltiplo de la frecuencia de la señal conectada a la entrada de habilitación, siendo el factor de división, también en este caso, el módulo del contador. La figura 1 muestra el diagrama de bloques de un circuito que combina ambos tipos de divisores.

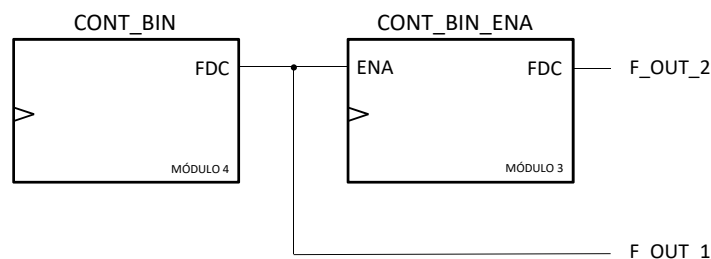


Figura 1

La salida F_OUT_1 es la salida de fin de cuenta de un contador binario ascendente de módulo 4 que, tal y como puede observarse en el cronograma de la figura 2, tiene una frecuencia que es la cuarta parte de la frecuencia de la señal de reloj del contador. Observe que el nivel alto de la señal de salida dura un ciclo de reloj.

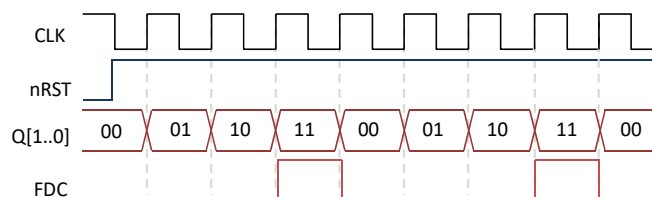


Figura 2

La frecuencia de la salida F_OUT_2, que es directamente la salida de fin de cuenta de un contador binario de módulo 3, será un tercio de la frecuencia de la señal conectada a la entrada de habilitación, F_OUT_1, y, por tanto, la doceava parte de la frecuencia de reloj. La duración del nivel alto de la señal F_OUT_2 depende de si la salida de fin de cuenta del contador sólo se activa cuando está habilitado –en este tipo de contadores la salida de fin de cuenta suele denominarse Cout y la entrada de habilitación Cin–, o si es independiente de la entrada de habilitación; en el primer caso dura un ciclo de reloj, mientras que en el segundo dura un periodo de la señal conectada a la habilitación. En el cronograma de la figura 3 se muestra la forma que tendría F_OUT_2 en ambos casos.

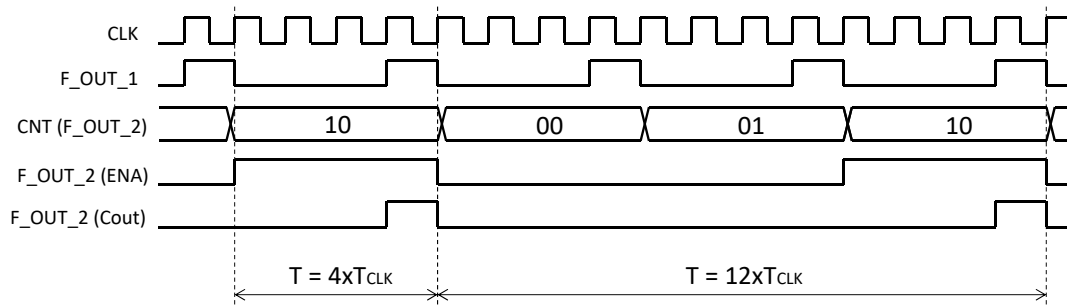


Figura 3

Partiendo del modelo divisor_2.vhd que se suministra, realice un modelo sintetizable VHDL del circuito de la figura 1 suponiendo que en el segundo contador la salida de fin de cuenta es independiente de la entrada de habilitación.

Ejercicio de simulación

Para validar el funcionamiento de los divisores de frecuencia de la figura 1 debe comprobar:

- ✓ Que generan indefinidamente dos señales periódicas con una frecuencia que es un cuarto y una doceava parte de la señal de reloj.

Para materializar esta prueba se puede considerar suficiente la observación del comportamiento de la salida durante 4 o 5 de sus periodos.

Partiendo del test-bench test_divisor_2.vhd que se suministra, realice un test-bench que materialice la prueba anterior. Para la prueba utilice una señal de reloj con una frecuencia de 12 MHz.

Una vez codificado el test-bench, realice una simulación que le permita comprobar el correcto funcionamiento del modelo del circuito.

Ejercicio de diseño

Observe que el circuito de la figura 1 genera las frecuencias de reloj economizando recursos hardware mediante el encadenamiento de contadores. El ahorro se consigue porque los contadores que se emplean tienen un módulo menor, y su realización requiere menos flip-flops, que los que

habría que utilizar si las señales se generarán independientemente (un contador de módulo 4 y otro de módulo 12). Esta solución puede adoptarse cuando los valores por los que se divide la frecuencia tienen factores comunes. Por ejemplo, si se desea obtener tres señales cuya frecuencia es la del reloj dividida por 3, 5, 7, no es posible economizar recursos, pero si los factores de división son 5, 75 y 825, el circuito puede realizarse (figura 4) empleando un divisor que obtenga la frecuencia de reloj dividida por 5, otro que divida esta frecuencia por 15 para obtener la frecuencia de reloj dividida por 75 y un tercer contador que divida esta frecuencia por 11 para obtener el factor de división 825.

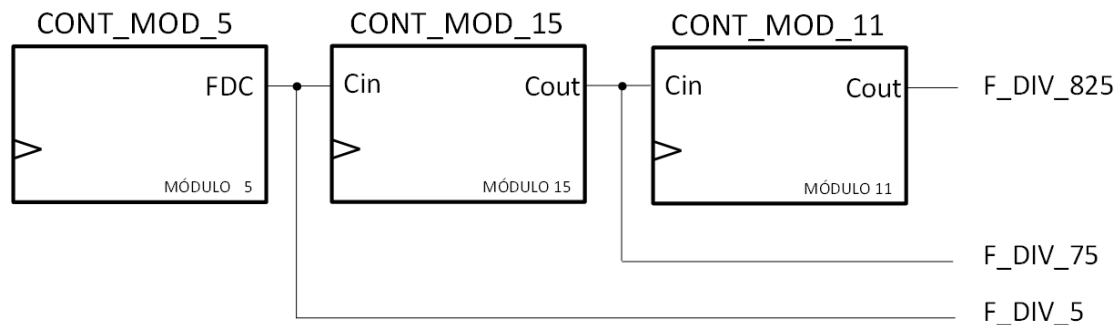


Figura 4

Al encadenar contadores para generar este tipo de divisores de frecuencia es importante advertir que todos los contadores de la cadena, excepto el último, deben generar una señal cuyo nivel alto dure un ciclo de reloj, ya que dicha señal actúa como habilitación del siguiente contador de la cadena. Por ello deben ser contadores con entrada y salida de acarreo (contadores en los que el fin de cuenta se activa sólo cuando la habilitación está activa), como CONT_MOD_15 en la figura 4, o contadores sin habilitación si se trata del primero de la cadena (figura 4); en el último contador de la cadena se puede elegir, según convenga, que la salida de fin de cuenta sea dependiente o independiente de la habilitación.

Realice el diagrama de bloques de un circuito que, a partir de una señal de reloj de 12 MHz, genere tres señales con una frecuencia de 250 KHz, 125 KHz y 50 KHz. En esta ocasión realice el diseño para que las tres salidas generen niveles altos con la duración de un período de reloj. Explique la función y características de cada uno de los módulos del diagrama. No debe emplear más de 5 minutos en resolver este apartado; si esto ocurre recurra a su profesor.

A continuación, partiendo del modelo divisor_3.vhd que se suministra, realice el modelo VHDL del circuito. Realice, por último, partiendo del modelo test_divisor_3.vhd que se suministra, un test-bench que permita verificar el funcionamiento del circuito, ejecute una simulación y compruebe que la respuesta del modelo es correcta.

Ejercicio de síntesis

Realice un diagrama de bloques que represente la estructura del sistema modelado por el código VHDL adjunto. Describa la función y características de cada uno de los bloques del diagrama. Conteste después a las preguntas que se le formulan.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity divisores is
port(clk: in std_logic;
     nRst: in std_logic;
     sel: in std_logic;
     LED: buffer std_logic);
end entity;

architecture rtl of divisores is
    signal cnt_05_seg: std_logic_vector(22 downto 0);
    signal cout_05_seg: std_logic;
    signal cnt_cinco: std_logic_vector(2 downto 0);
    signal cout_cinco: std_logic;
    signal toggle: std_logic;
    constant seis_mill_menos_uno: natural:= 5999999;

begin
    process(clk, nRst)
    begin
        if nRst = '0' then
            cnt_05_seg <= (others => '0');

            elsif clk'event and clk = '1' then
                if cout_05_seg = '1' then
                    cnt_05_seg <= (others => '0');

                    else
                        cnt_05_seg <= cnt_05_seg + 1;
                    end if;
                end if;
            end process;
            cout_05_seg <= '1' when cnt_05_seg = seis_mill_menos_uno
                else '0';

            process(clk, nRst)
            begin
                if nRst = '0' then
                    cnt_cinco <= (others => '0');

                    elsif clk'event and clk = '1' then
                        if cout_05_seg = '1' then
                            if cout_cinco = '1' then
                                cnt_cinco <= (others => '0');

                                else
                                    cnt_cinco <= cnt_cinco + 1;
                                end if;
                            end if;
                        end if;
                    end if;
                end process;
                cout_cinco <= '1' when (cnt_cinco = 4) and (cout_05_seg = '1')
                    else '0';

                toggle <= cout_05_seg when sel = '0' else
                    cout_cinco;
```

```
flip_flop_T:

process(clk, nRst)
begin
    if nRst = '0' then
        LED <= '0';

    elsif clk'event and clk = '1' then
        if toggle = '1' then
            LED <= not LED;

        end if;
    end if;
end process;
end rtl;
```

Preguntas:

- a) Si el reloj del circuito es de 12 MHz, ¿Qué frecuencia tiene la señal cout_05_seg?
- b) ¿Y cout_cinco?
- c) Cual es la relación entre la frecuencia de conmutación de la salida LED y la entrada sel?

Ejercicio de prototipado

Pruebe el funcionamiento del circuito **divisores**, cuyo código se le proporciona en la carpeta BT2_P15/hdl, sobre la tarjeta MAX 1000. Utilice la siguiente asignación de pines:

Señal del diseño	Señal de la tarjeta MAX 1000	Pin	Estándar de alimentación
CLK	CLK_12M	Pin_H6	3.3V Schmitt Trigger
nRST	RESET	Pin_E7	3.3V LVTTTL
sel	SWITCH1	Pin_C2	3.3V LVTTTL
LED	LED1	Pin_A8	3.3V LVTTTL