

DISEÑO DIGITAL 1. BLOQUE TEMÁTICO 2**TÍTULO DE LA ACTIVIDAD:**
Ejercicios de depuración y diseño de subsistemas**CÓDIGO:**
BT2.P16**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:****TIPO:**

Presencial

DURACIÓN:100
minutos**CALENDARIO:**

Sesión síncrona P16

REQUISITOS:**CRITERIO DE ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

No procede

Introducción

En esta actividad realizará ejercicios de diseño y depuración de subsistemas digitales que deberá resolver tal y como se le describió en BT2.A14.

En la actividad no presencial previa, BT2.A19, deberá haber realizado el ejercicio de depuración de errores sintácticos, la planificación de la simulación del ejercicio de depuración de los errores funcionales y la codificación completa de dicho test.

Depuración de errores sintácticos

Se desea realizar el modelo VHDL sintetizable de un monoestable no redispensible capaz de generar pulsos cuya duración debe poder programarse (entre 1 y 999 ciclos de reloj) en código decimal (BCD); el código se ingresa en el circuito por la entrada DURACIÓN.

El circuito debe disponer de dos modos de funcionamiento: un modo de DISPARO SIMPLE, en el que el monoestable generará un pulso cada vez que se active, a nivel alto, la entrada DISPARO, y un modo de DISPARO PERIÓDICO, en el que se genera un nuevo pulso cada mil ciclos de reloj. Para cambiar de un modo de funcionamiento a otro se utiliza la entrada CONTROL; cada vez que se activa, a nivel alto, cambia el modo de funcionamiento (tras la activación de la entrada de inicialización asíncrona del circuito el modo de funcionamiento es DISPARO SIMPLE).

NOTA: Debe suponer que las entradas CONTROL y DISPARO que se aplican al circuito han sido previamente conformadas y que, por ello, sus pulsos activos a nivel alto duran siempre un ciclo de reloj.

El modelo que se suministra en el fichero sistema_monoestable.vhd tiene errores sintácticos.

Cree un proyecto en ModelSim y añádale el fichero sistema_monoestable.vhd que puede descargar de Moodle. Este código tiene errores sintácticos. Detecte y corrija todos los errores de compilación.

Ejercicio de simulación (depuración de errores funcionales)

Al margen de los errores sintácticos que ha corregido en el anterior apartado, el modelo presenta un funcionamiento incorrecto que no se corresponde con el descrito para el monoestable programable.

Partiendo del test-bench test_sistema_monoestable.vhd que se suministra, realice un test-bench que le permita detectar los 4 errores funcionales que tiene el modelo. Indique a continuación cuáles son los errores que ha detectado y cuál es la solución que ha adoptado para corregirlos.

Descripción de los errores y soluciones:

1.-

2.-

3.-

4.-

Primer ejercicio de diseño

Para realizar este ejercicio tomará como punto de partida el modelo con los errores sintácticos y funcionales corregidos, `sistema_monoestable.vhd`, y creará otro modelo, `sistema_monoestable_2.vhd`, que debe comportarse como el anterior, pero con la siguiente funcionalidad adicional:

El nuevo monoestable debe tener un tercer modo de operación, `PULSO_NEGADO`, en el que los pulsos de salida se generen periódicamente, como en el modo de `DISPARO_PERIODICO`, pero siendo activos a nivel bajo. Al nuevo modo de funcionamiento se accede activando la entrada `CONTROL` cuando se está en el modo de `DISPARO_PERIODICO` y se abandona con una activación de la misma entrada, pasándose entonces al modo `DISPARO_SIMPLE`.

Partiendo del modelo que ha obtenido en los apartados anteriores, sistema_monoestable.vhd, realice el modelo VHDL del circuito con los tres modos de operación, sistema_monoestable_2.vhd. Adapte el test test_sistema_monoestable.vhd para que realice la comprobación del circuito con la nueva funcionalidad. Llame test_sistema_monoestable_2.vhd a la nueva versión del test.

Segundo ejercicio de diseño

Este ejercicio es completamente independiente del anterior. Para realizar este ejercicio tomará como punto de partida el modelo con los errores sintácticos y funcionales corregidos, sistema_monoestable.vhd, y creará otro modelo, sistema_monoestable_3.vhd, que debe comportarse como el anterior, pero con la siguiente funcionalidad adicional:

El nuevo monoestable debe tener un tercer modo de operación, BINARIO, en el que los pulsos de salida se generan cuando se activa la entrada DISPARO, como en el modo de DISPARO_SIMPLE, pero ahora la duración de la ventana debe ser igual al número de ciclos de reloj que indique el valor de la entrada DURACION interpretando el código de dicha entrada en binario natural. Al nuevo modo de funcionamiento se accede activando la entrada CONTROL cuando se está en el modo de DISPARO_PERIODICO y se abandona pasando al modo DISPARO_SIMPLE con un pulso en la entrada CONTROL.

Partiendo del modelo sistema_monoestable.vhd, realice el modelo VHDL del circuito con los tres modos de operación, sistema_monoestable_3.vhd. Adapte el test test_sistema_monoestable.vhd para que realice la comprobación del circuito con la nueva funcionalidad. Llame test_sistema_monoestable_3.vhd a la nueva versión del test.