

DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO:

NIVEL ELECTRÓNICO

**Autores**:

Ricardo Javier Cuenca Cuenca,

Lukas Sylvester Gdanietz de Diego,

Hao Feng Chen Fu

**Curso** 2021-2022.

**Control de versiones : V 1.0**

|  |  |  |  |
| --- | --- | --- | --- |
| Versión | Fecha | Autor | Cambios realizados |
| 0.0 | 03/05/2022 | G4 | Inicio, donde se realizo la estructura de la memoria |
| 1.0 | 09/05/2022 | G4 | Se realizo la introducción y el objetivo del proyecto |
| 2.0 | 18/05/2022 | Hao | Modificaciones en el apartado 2, apartado 4 y asignaciones de pines |
| 3.0 | 20/05/2022 | Hao | Introducción inicial de especificaciones del apartado 1, introducción del nivel jerárquico del apartado 2, modificación y finalización del apartado 4, modificación de los apartados 5.2, 5.3 y 5.4 |

Tabla de contenido

[1 Especificación del diseño. 4](#_Toc103599777)

[1.1 Introducción 4](#_Toc103599778)

[1.2 Objeto 4](#_Toc103599779)

[1.1 Interfaces 4](#_Toc103599780)

[1.1.1 Interfaz con el acelerómetro 4](#_Toc103599781)

[1.1.2 Interfaz con la barra de displays de 7 segmentos 5](#_Toc103599782)

[1.1.3 Interfaz con la barra de LEDs 5](#_Toc103599783)

[1.2 Especificaciones 6](#_Toc103599784)

[2 Diseño jerárquico 7](#_Toc103599785)

[2.1 Bloque (completar) 7](#_Toc103599786)

[2.2 Bloque … 8](#_Toc103599787)

[3 Diseño detallado 9](#_Toc103599788)

[4 Pruebas de verificación funcional de NIVEL 4](#_Toc103599789)

[4.1 Test nº 1 4](#_Toc103599790)

[4.2 Test nº 2… 4](#_Toc103599791)

[5 Diseño físico 5](#_Toc103599792)

[5.1 Asignación de pines 5](#_Toc103599793)

[5.2 Restricciones de la síntesis 6](#_Toc103599794)

[5.3 Recursos utilizados 6](#_Toc103599795)

[5.4 Frecuencia máxima de reloj 6](#_Toc103599796)

[6 Bibliografía 7](#_Toc103599797)

# Especificación del diseño.

## Introducción

El Grupo G4 de Diseño Digital II con la guía del profesorado de la Asignatura, y con el conocimiento adquirido, se ha realizado el diseño en VHDL de un acelerómetro que medirá el movimiento de un sensor, en el eje X e Y, este movimiento será mostrado en una barra de leds para el eje **X** y en una barra de Displays que se encuentran en la **XDECA** proporcionada en el laboratorio, las características de esta tarjeta como las del sensor serán dadas con mas detalle en los puntos siguientes.

El sensor **LIS2DH12** que esta integrado en la Tarjeta **XDECA** llamándose en esta tarjeta como **Gsensor,** será un acelerómetro lineal para tres ejes (XYZ) controlable mediante una interfaz SPI/I2C, este sensor tiene una amplia variedad de funcionalidades que pueden ser usadas, sin embargo, en este diseño se utilizaran solo algunas de las posibilidades que nos da este sensor y su control será hecho mediante **interfaz SPI**.

## Interfaces

El Sistema se interconectará al acelerómetro, consiguiendo realizar medidas de la posición del sensor en los ejes X e Y, mostrándolo en una barra de leds para el eje X y en una barra de displays de 7 segmentos para el eje Y.

El diagrama de bloques general del diseño se muestra en la siguiente figura.

Imagen que contiene Interfaz de usuario gráfica

Descripción generada automáticamente

*Fig. 1. Interconexión del NIVEL al acelerómetro y a los LEDs y displays de 7 segmentos.*

### Interfaz con el acelerómetro

El sistema se comunica con el acelerómetro (**LIS2DH12**) que actuara como esclavo del sistema, con una interfaz SPI. Las señales de esta interfaz son las siguientes:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| CS | Salida | Selección de chip, activa a nivel alto |
| SPC - SCK | Salida | Reloj en serie |
| SDI – MISO | Entrada | Entrada de datos en serie |
| SDO-MOSI | Salida | Salida de datos en serie |

### Interfaz con la barra de displays de 7 segmentos

El sistema realiza la visualización de la inclinación en uno de los ejes utilizando una barra de displays de 7 segmentos del tipo cátodo común. La interfaz es la siguiente:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| seg[7..0] | salida | seg[0] : segmento g  seg [1] : segmento f  seg [2] : segmento e  seg [3] : segmento d  seg [4] : segmento c  seg [5] : segmento b  seg [6] : segmento a  seg [7] : segmento punto |
| mux\_disp[7:0] | salida | mux\_disp [0] : cátodo del display 0 (LSD)  mux\_disp [1] : cátodo del display 1  mux\_disp [2] : cátodo del display 2  mux\_disp [3] : cátodo del display 3  mux\_disp [4] : cátodo del display 4  mux\_disp [5] : cátodo del display 5  mux\_disp [6] : cátodo del display 6  mux\_disp [7] : cátodo del display 7 |

La interfaz permite iluminar solo un display a la vez. El display se selecciona activando (a nivel bajo) el cátodo correspondiente. El display activo se ilumina de acuerdo al código de 7 segmentos y punto decimal introducido (nivel alto).

### Interfaz con la barra de LEDs

El sistema realiza la visualización de la inclinación en el otro eje utilizando una barra de displays de 7 segmentos:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| led\_disp[7..0] | Salida | Se activará en nivel alto, uno por uno los leds dependiendo del grado de inclinación |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

## Especificaciones

Las especificaciones funcionales y no funcionales del NIVEL se detallan en el documento [1].

1. Especificaciones funcionales

|  |  |
| --- | --- |
| Ref | Especificación |
| ESP00 | El sistema realiza detecciones de movimiento |
| ESP01 | Iluminación inicial de todos los leds y displays de 7 segmentos que aseguran que se toma un punto de referencia. |
| ESP02 | Iluminación o apagado de los leds o displays de 7 segmentos en función del movimiento respecto al eje X o al eje Y. |
| ESP03 | Iluminación correcta de los leds |

1. Especificaciones no funcionales

|  |  |
| --- | --- |
| Ref | Especificación |
| ESP04 | El sistema se diseñará utilizando VHDL. |
| ESP05 | Se utilizará *ModelSim* como herramienta de simulación y *Quartus Prime* como herramienta para la realización del diseño físico, |
| ESP06 | El sistema se prototipará utilizando una tarjeta DECA-MAX10 del fabricante Arrow [2] |
| ESP07 | Se utilizará como fuente de reloj uno de los osciladores de 50MHz que posee la tarjeta DECA-MAX10. |
| ESP08 | Para prototipar el sistema se conectará a la tarjeta DECA-MAX10 una tarjeta de expansión [3] con 8 displays |

# Diseño jerárquico

El diagrama de la Fig. 2 representa la jerarquía del diseño:

Diagrama, Esquemático

Descripción generada automáticamente

*Fig. 2. Diagrama de bloques de la jerarquía de NIVEL.*

En los siguientes subapartados se describe la interfaz y la función de cada uno de estos bloques.

* 1. ***Bloque Máster SPI***

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| CS | salida | Señal del Chip select |
| SCK | salida | Señal de reloj del interfaz SPI |
| MOSI | salida | Buffer de salida del Máster SPI |
| MISO | entrada | Buffer de entrada del Máster SPI |
| ini | entrada | Señalización del inicio de una transacción |
| dir | entrada | Señal que habilita la lectura o escritura de los datos |
| set\_dato | entrada | Señalización de la escritura del buffer de salida |
| dato\_wr | entrada | Dato que se introduce al periférico SPI |
| dato\_rd | entrada | Dato que se lee del periférico SPI |
| ena\_rd | entrada | Señal de habilitación para lectura |

El bloque funciona de la siguiente manera:

El circuito está dividido en los siguientes circuitos:

* gen\_SCK: Realiza la generación de señales del reloj serie para la interfaz SPI
* reg\_miso: Registro de salida de desplazamiento de 8 bits
* reg\_mosi: Registro de entrada de 8 bits por el cual se introducen las direcciones y los datos de escritura.

## Bloque controlador del acelerómetro

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| dato\_rd | salida | Dato que se lee del periférico SPI |
| ena\_rd | salida | Señal de habilitación para lectura |
| CS | salida | Señal del Chip select |
| SCK | salida | Señal de reloj del interfaz SPI |
| MOSI | salida | Buffer de salida del Máster SPI |
| MISO | entrada | Buffer de entrada del Máster SPI |

El circuito tiene el siguiente funcionamiento:

* Inicialmente espera 5 ms para luego modificar la configuración de los registros de control CRTL\_REG4 y CTRL\_REG1
* Genera las señales de control que permiten el funcionamiento correcto del Master SPI

## Bloque Calibrador

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| CS | salida | Señal del Chip select |
| SCK | salida | Señal de reloj del interfaz SPI |
| MOSI | salida | Buffer de salida del Máster SPI |
| MISO | entrada | Buffer de entrada del Máster SPI |
| X\_media | salida | Señal de salida que indica el valor medio del eje X |
| Y\_media | salida | Señal de salida que indica el valor medio del eje Y |
| Muestra\_bias\_rdy | salida | Señal de salida que indica si la muestra está lista para ser utilizada |

El circuito tiene el siguiente funcionamiento:

* Se encarga de tomar muestras cada 160 ms y cada 320 ms

## Bloque PROCESADOR DE NIVEL

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| CS | salida | Señal del Chip select |
| SCK | salida | Señal de reloj del interfaz SPI |
| MOSI | salida | Buffer de salida del Máster SPI |
| MISO | entrada | Buffer de entrada del Máster SPI |
| X\_disp | salida | Señal que enciende y apaga los displays de 7 segmentos |
| Y\_disp | salida | Señal que enciende y apaga los leds de la tarjeta DECA |
| Y\_disp\_sel | salida | Señal de selección |

# Diseño detallado

El proyecto está almacenado en la carpeta NIVEL, la cual a su vez contiene las carpetas hdl, modelsim y quartus. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño. La carpeta *modelsim* contiene el proyecto de simulación (NIVEL.mpf), y los ficheros donde se definen los diferentes test‑benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste.

# Pruebas de verificación funcional de NIVEL

El plan de pruebas de NIVEL consiste en un conjunto de tests dirigidos que verifican el funcionamiento correcto de los bloques de los que se compone NIVEL y un test final para el diseño completo de NIVEL.

## Test del Máster SPI

Es un test específico para el bloque Máster SPI. Consiste en un conjunto de prueba que evalua el funcionamiento correcto de dicho bloque.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/modelsim/TEST | |
| Simulación escalada | No | |
| Ficheros | Master\_SPI\_Test.vhd | Testbench |
| Descripción del test | Verifica el funcionamiento de las transacciones de escritura y lectura del Master SPI | |

## Test del controlador

Es un test específico para el bloque Controlador. Consiste en un conjunto de prueba que evalúa el funcionamiento correcto del controlador en conjunto al bloque Máster SPI.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/modelsim/TEST | |
| Simulación escalada | Si | |
| Ficheros | Test\_controlador\_spi.vhd | Testbench |
| Descripción del test | Verifica que se lleva a cabo la configuración inicial de los registros y el funcionamiento de las transacciones de escritura y lectura del Master SPI. | |

## Test del diseño completo

Es un test específico para el diseño final. Consiste en un conjunto de prueba final que verifica el funcionamiento completo de todo el diseño.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/modelsim/TEST | |
| Simulación escalada |  | |
| Ficheros | Screen\_monitor.vhd | Código de verificación automática para el encendido y apagado de los leds |
| Orquestador\_sim.vhd | Estímulos del testbench |
| Controlador\_monitor.vhd | Código de verificación automática para el controlador |
| Spi\_monitor.vhd | Código de verificación automática para el Máster SPI |
| Spi\_slave\_sim.vhd | Estímulos del testbench |
| nRstClk\_sim.vhd | Estímulos del testbench |
| Nivel\_electronico\_test.vhd | Testbench |
| Descripción del test | Verifica el funcionamiento correcto de todo el diseño mediante los monitores que revisar el Master SPI, el controlador y la representación de los leds y displays de 7 segmentos. | |

# Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

## Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de NIVEL a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde y el estándar de entrada/salida que utiliza.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Pin de la interfaz del diseño | Dirección | Pin FPGA | I/O bank | I/O standard |
| clk | Input | M8 | 2 | 2.5-V |
| rst\_n | Input | H21 | 6 | 1.5-V Schmitt Trigger |
| MISO | Input | D5 | 8 | 1.2-V |
| MOSI | Output | C6 | 8 | 1.2-V |
| CS | Output | E9 | 8 | 1.2-V |
| SCK | Output | B5 | 8 | 1.2-V |
| X\_disp [0] | Output | Y5 | 3 | 3.3-V LVTTL |
| X\_disp [1] | Output | W6 | 3 | 3.3-V LVTTL |
| X\_disp [2] | Output | W8 | 3 | 3.3-V LVTTL |
| X\_disp [3] | Output | AB8 | 3 | 3.3-V LVTTL |
| X\_disp [4] | Output | R11 | 3 | 3.3-V LVTTL |
| X\_disp [5] | Output | AB6 | 3 | 3.3-V LVTTL |
| X\_disp [6] | Output | AA6 | 3 | 3.3-V LVTTL |
| X\_disp [7] | Output | V10 | 3 | 3.3-V LVTTL |
| Y\_disp [0] | Output | C7 | 8 | 1.2-V |
| Y\_disp [1] | Output | C8 | 8 | 1.2-V |
| Y\_disp [2] | Output | A6 | 8 | 1.2-V |
| Y\_disp [3] | Output | B7 | 8 | 1.2-V |
| Y\_disp [4] | Output | C4 | 8 | 1.2-V |
| Y\_disp [5] | Output | A5 | 8 | 1.2-V |
| Y\_disp [6] | Output | B4 | 8 | 1.2-V |
| Y\_disp [7] | Output | C5 | 8 | 1.2-V |
| mux\_disp[0] | Output | Y5 | 3 | 3.3-V LVTTL |
| mux\_disp[1] | Output | W6 | 3 | 3.3-V LVTTL |
| mux\_disp[2] | Output | W8 | 3 | 3.3-V LVTTL |
| mux\_disp[3] | Output | AB8 | 3 | 3.3-V LVTTL |
| mux\_disp[4] | Output | R11 | 3 | 3.3-V LVTTL |
| mux\_disp[5] | Output | AB6 | 3 | 3.3-V LVTTL |
| mux\_disp[6] | Output | AA6 | 3 | 3.3-V LVTTL |
| mux\_disp[7] | Output | V10 | 3 | 3.3-V LVTTL |

## Restricciones de la síntesis

No hay restricciones de síntesis.

## Recursos utilizados

A continuación se muestra la pantalla que genera el compilador (opción *Flow Summary* del *Compilation Report*) :

|  |  |
| --- | --- |
| Quartus Prime | Versión 16.0.0 |
| Arquitectura | MAX 10 |
| Dispositivo | 10M50DAF484C6GES |
| Número total de elementos lógicos | 404 / 49,760 ( <1% ) |
| Número total de registros usados | 191 |
| Número total de pines usados | 30 / 360 ( 8 % ) |
| Número total de pines virtuales | 0 |
| Número total de bits en la memoria | 660 / 1,677,312 ( < 1 % ) |
| Número total de PLLs | 0 / 4 ( 25 % ) |
| Bloques UFM | 0 / 1 ( 0 % ) |
| Bloques ADC | 0 / 2 ( 0 % ) |

## Frecuencia máxima de reloj

A continuación se muestra la pantalla que genera el compilador (*Fmax Summary*) : 134.25 MHz

# Bibliografía

[1] Especificación del diseño : nivel electrónico (NIVEL) [moodle DD2]

[2] Tarjeta DECA-MAX10 (página web del fabricante). [online] https://www.arrow.com/en/products/deca/arrow-development-tools

[3] Tarjeta XDECA. Manual de usuario. [moodle DD2-documentacion técnica]