



Tecnológico de Costa Rica
Área académica de Ingeniería En Computadores

Proyecto 4

Osciloscopio y Filtrado Digital

Curso

CE4202 — Taller de Diseño Analógico

Realizado por

Fabrizio Elizondo Fernández - 2016136042

Joseph González Pastora - 2017216987

Luis López Salas - 2015088115

Profesor

Luis Alberto Chavarría Zamora

Diciembre 2020

Requerimientos

#	Requerimiento
1	El sistema debe ser capaz de unificar dos señales senoidales. Una de 100 mVpp, 20 Hz y Offset de 1 V. La otra señal es de 1Vp, 2 kHz y Offset de -2V.
2	El sistema debe acondicionar las dos señales para que aprovechen el espectro (50% usado por una y 50% usado por otra).
3	Las dos señales sumadas y acondicionadas deben llegar a un canal que interfase el simulador analógico con una interfaz digital.
4	El valor de fondo de escala del canal es de 5V.
5	El valor de cero del canal es de 0V.
6	La etapa de sumado y acondicionamiento de las señales debe ser realizada en un simulador analógico.
7	Las señales analógicas deben ser extraídas en un .txt del simulador analógico.
8	Mediante un script en Octave, se debe transformar el espectro para cuantizar los valores en un formato de 23 bits.
9	Los 23 bits obtenidos deben colocarse en la parte LSB de una palabra de 32 bits para ser aceptado en formato Q15.16.
10	El sistema debe muestrear la señal a 40 kHz.
11	La parte de filtrado digital debe ser realizada en Quartus y ModelSim, de manera que el diseño sea simulado y sintetizable.
12	Implementar dos filtros IIR de orden 1, un filtro paso bajo y un filtro paso alto.
13	Obtener los coeficientes b_0, b_1 y a_1 para cada uno de los filtros, mediante un script de filtrado en Octave.
14	Los valores de salida de la FPGA deben ser leídos mediante un testbench, que guarda el resultado en un .txt.
15	Para las sumas y multiplicaciones que se realizan en los filtros, se utiliza la estructura Q15.16.
16	La etapa de filtrado debe considerar la posibilidad de que se presente un overflow en las operaciones realizadas.
17	Para el caso de la multiplicación se toma la parte entera y decimal siempre como positivo.
18	Finalmente, la salida del sistema se visualiza mediante un PWM, mostrando ambos filtros en Multisim usando una fuente PWL para cargar la salida del sistema seguido por un filtro pasabajas analógico.

Propuestas de Solución

Para diseñar el sistema completo, se plantearon dos posibles propuestas de solución las cuales se explican a continuación. Cabe destacar que las dos propuestas generadas presentan muchas similitudes en los bloques que las constituyen, por lo cual en el caso de la segunda propuesta solo se analizarán aquellos factores que la diferencian de la primera propuesta. El sistema en sí cuenta con partes tanto analógicas como digitales, y por supuesto, es necesario introducir pasos intermedios que actúen como interfaz entre ambas etapas. Al inicio se cuentan con dos señales senoidales, de diferente amplitud, frecuencia y offset, donde lo que se busca en los primeros bloques, es realizar un tratamiento de ambas señales para poder unificarlas y acondicionarlas de manera adecuada. Para ello se implementaron dos bloques encargados de eliminar el offset para cada una de las señales (se tuvieron que implementar dos bloques distintos debido a que ambas señales presentaban un offset diferente).

Luego de eliminar los offsets correspondientes, las señales son sumadas y amplificadas para obtener el valor deseado, en un solo canal analógico. Dicha señal se ingresa como entrada a un osciloscopio de manera que se pueda apreciar el comportamiento final, el cual es una especie de seno sobre otro seno, debido a que se están sumando dos señales que poseen diferente frecuencia. Los datos obtenidos por el osciloscopio son desplegados en un archivo .txt, de acuerdo con el muestreo que realiza el software de simulación analógica utilizado (en nuestro caso Multisim). Esos valores analógicos son leídos por un Script de alto nivel que se encargará de realizar un muestreo de la señal a 40 kHz, y de paso realizará el proceso de un ADC, con el objetivo de cuantizar los valores analógicos en una representación de 32 bits (aunque cada valor analógico se mapea a una representación de 23 bits, donde 23's unos representa el valor máximo y 23's ceros el valor mínimo de cero).

Rellenar con ceros para completar los 32 bits se hace con el objetivo de poder usar el formato Q15.16 para manejar una buena precisión en las operaciones digitales con punto fijo. Los datos cuantizados se cargarán a la FPGA, la cual incluirá el diseño de los filtros digitales de orden 1, tanto paso bajas como pasa altas, y se generará un nuevo archivo .txt, que será procesado por un software de alto nivel. El objetivo de este nuevo script es funcionar como una especie de DAC, de manera que se puedan graficar las señales analógicas obtenidas al procesarlas con los filtros digitales. La etapa final del sistema es pasar esos valores de la señal filtrada a un PWM y su respectiva visualización en un osciloscopio. La figura 1 resume el proceso explicado.

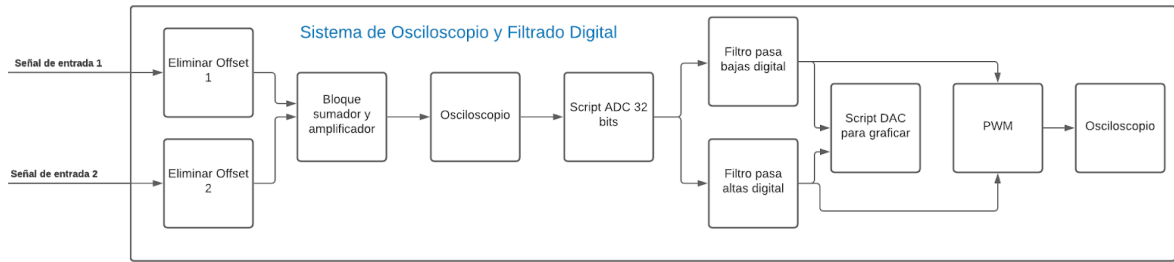


Figura 1. Primera propuesta de solución para el sistema completo.

La segunda propuesta presenta un bloque adicional, que modifica la etapa analógica del sistema. En este caso se utiliza un rectificador de precisión entre el bloque sumador y la visualización de las señales, tal y como se muestra en la Figura 2.

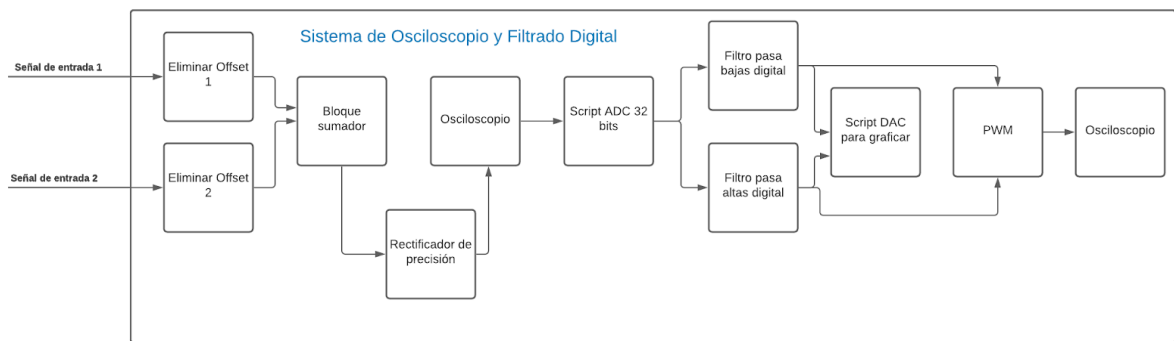


Figura 2. Segunda propuesta de solución para el sistema completo..

Comparación de las propuestas

Ambas propuestas cumplen a cabalidad con los requerimientos del proyecto, pasando por la etapa analógica de las señales, bloques intermedios que funcionan como interfaz entre el mundo analógico y digital, y la etapa de filtrado digital, que es de los puntos claves del trabajo. Sin embargo, en la propuesta 1 las señales de entrada son acondicionadas para eliminarles el offset, y luego son sumadas y amplificadas para obtener un solo resultado. Lo mismo se realiza en la propuesta 2, con la importante diferencia de que la señal condicionada se ingresa a un rectificador de precisión, antes de ser mostrada por el osciloscopio para su respectivo muestreo. El rectificador de precisión permite muestrear la señal en sus puntos máximos, de una manera más fiable. No obstante, a él solo le interesa la magnitud a la hora de efectuar el muestreo de la señal, sin preocuparse por la frecuencia. Esto provoca que el muestreo realizado en la segunda propuesta sea más estático por así decirlo, que lo que se realiza en la primera propuesta.

Selección de propuesta

Luego de un análisis crítico, donde se contrastan las ventajas y desventajas de ambas propuestas, se optó por seleccionar la primera propuesta que se muestra en la figura 1 del presente documento de diseño. A pesar de que las similitudes, se encuentran en mayor cantidad que las diferencias entre ambas propuestas, la diferencia principal entre las dos nos llevó a tomar la decisión de inclinarnos por la opción 1. Esto se debe a que el muestreo realizado en la propuesta 2 es de cierta forma estático, ya que el rectificador de precisión que se utiliza, provoca que la información obtenida se concentre en la magnitud de la señal, sin tomar en cuenta la frecuencia.

Evidentemente, esto provoca una pérdida de información considerable a la hora de convertir la señal en su equivalente digital, lo cual no es lo más adecuado en procesos de ingeniería. En última instancia, las señales eléctricas, así como cualquier otra señal mecánica que se encuentra en la naturaleza, nos proveen información, dependiendo de su origen, comportamiento y de los casos donde se vaya a utilizar, la cual es sumamente valiosa para los propósitos finales que deben cumplir los sistemas diseñados. En ocasiones, la pérdida de información es inevitable, sin embargo, lo que se busca siempre es mantener la mayor cantidad posible, de forma que conserven la esencia o naturaleza de la misma. Por lo que la propuesta 1, nos permite cumplir con los requerimientos planteados al inicio del proyecto, con mayor fidelidad en los resultados obtenidos al final del mismo.