

计算机结构实验 lab01

张露伊

2022 年 3 月 15 日

摘要

本实验主要实现了 LED 灯的流水点亮。通过时钟周期改变 cnt_reg 的值来控制不同 LED 等的明灭从而实现流水线点亮。同时本实验还进行了工程实现的一部分，尝试了添加管脚约束等。

目录

1 实验概述	2
1.1 实验名称	2
1.2 实验目的	2
2 原理分析	2
3 功能实现	2
4 结果验证	3
4.1 两盏 led 灯亮	3
5 实验心得	4


```

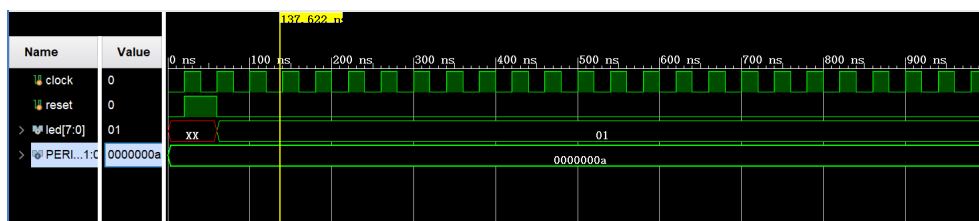
18         end
19     end
20     assign led = light_reg;

```

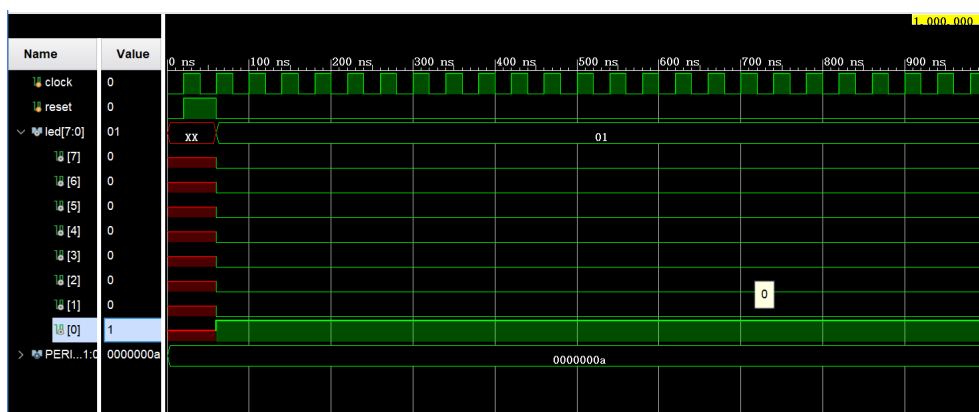
4 结果验证

我们采用软件仿真的方式进行验证，用 Verilog 语言编写测试激励文件，进行仿真，观察各信号的波形，比较是否符合预期。

基于指导书给出的模块代码和激励测试文件运行仿真后得到的波形如下：



在时钟上沿时且 reset 置 1 时，led[0]=1，第一个灯亮，如下图所示：



通过观察仿真波形图可以知道实验结果符合预期。

4.1 两盏 led 灯亮

通过添加计数器 cnt_reg 信号，观察仿真波形可以知道：

1. 当 $reset = 1$ 时，计数器 cnt_reg 被初始化为 0，输出信号 led[0] 被初始化为 00000001；
2. 当 $reset = 0$ 时，计数器在每个时钟信号上升沿时加 1 计数，直至加到 24 位值全为 1 时，输出信号左移 1 位；
3. 我们可以通过改变计数器的位数或者改变计数器计数值等参数，以便较快速达到左移条件；

详细代码参见仿真文件 light_flowin_tb.v

两盏 led 灯亮时的仿真截图如下：

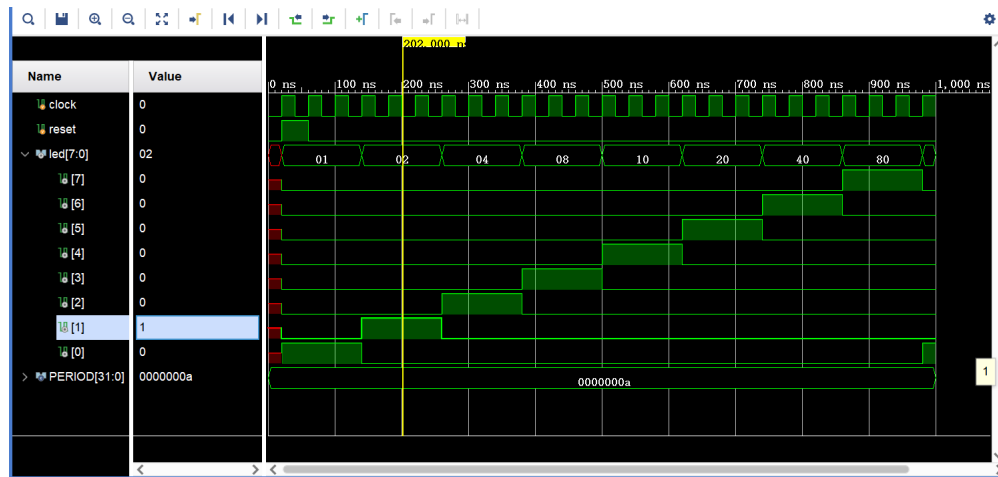


图 1:

通过观察仿真波形图可以知道实验结果符合预期。

5 实验心得

通过本次实验，大概了解了 Vivado 的使用技巧以及怎样使用 Verilog HDL 进行简单的逻辑设计。对于软件的熟悉是快速的，但是对于模块代码的使用和编写自己只是一知半解，大部分是机械地抄写实验书上给出的代码，对于代码对应背后的逻辑还是不甚了解。刚开始没有仔细看添加管脚约束文件的两种方法，直接手动输入约束命令，花费了很多时间。我觉得利用 Vivado 的 IO planning 功能来添加约束文件显然要快很多。

通过本次实验的代码我学到了一些 Verilog 的基础命令以及语法，为之后更加复杂的设计打下了基础，但是感觉对于这么语言的了解还仅仅只是冰山一角，希望可以通过后续的实验学习更多。