

# Practica 2: Comunicación serie con un PC. Diseño del transmisor

## 1. Objetivos

El objetivo de esta práctica es el diseño de un circuito de transmisión serie RS-232 para enviar datos desde la tarjeta de FPGA hacia un PC. Los datos se introducirán en binario usando los interruptores SW7–SW0 y se realizará una transmisión cada vez que se active el pulsador KEY3.

## 2. Tiempo de laboratorio

1,5 sesiones

## 3. Trabajo previo

Ha de realizarse toda la fase de diseño del sistema.

## 4. Memoria

Se entregarán los esquemas y el código VHDL de todos los componentes del diseño.

## 5. Introducción

Al igual que en la práctica anterior, el formato de los datos a enviar es de 1 bit de arranque, 8 bits de datos, un bit de paridad (paridad impar) y un bit de *stop*. La velocidad de transmisión será de 19200 baudios.

Cuando se active el pulsador se almacenará el byte a enviar en el registro de desplazamiento para realizar la conversión paralelo serie. A continuación se enviará el bit de arranque, los 8 bits de datos, el bit de paridad y por último el bit de *stop*. Hasta que no se haya terminado completamente la transmisión no ha de iniciarse otra nueva bajo ningún concepto.

## 6. Diseño del circuito

Se recomienda dividir el circuito en cuatro bloques:

1. Una máquina de estados para controlar la transmisión. Esta máquina de estados ha de generar el bit de arranque, activar el registro de desplazamiento para enviar los 8 bits de datos y por último ha de enviar el bit de paridad y esperar un bit de *stop* antes de volver a esperar una nueva orden de transmisión.
2. Un circuito para calcular la paridad.
3. Un registro de desplazamiento para el envío de los datos.
4. Un multiplexor para seleccionar qué se envía en cada momento a la salida serie (bit de *start*, datos, paridad o bit de *stop*).

Cada uno de los bloques de la ruta de datos (excepto el multiplexor) es conveniente diseñarlo y simularlo por separado para verificar su funcionamiento correcto antes de integrarlos en un solo circuito para la realización del transmisor.

## 6.1. Diseño del circuito de control de transmisión

El circuito de control ha de estar esperando a que se active el pulsador de transmisión. Cuando se detecte la transición de 1 a 0 del pulsador se pondrá la salida serie a cero durante el periodo correspondiente a 1 bit y se realizará la carga del registro de desplazamiento desde los interruptores *SW7–SW0*. A continuación se generarán los 8 pulsos (separados por el periodo de 1 bit) que activarán el registro de desplazamiento para ir enviando cada uno de los 8 bits del dato. Estos pulsos también se enviarán al circuito de cálculo del bit de paridad. Una vez finalizada la transmisión del dato se enviará por la salida serie el resultado del cálculo del bit de paridad y por último se enviará el bit de *stop* (1) para a continuación volver al estado inicial para esperar una nueva transición del pulsador *KEY3* que inicie la siguiente transmisión.

## 6.2. Circuito de cálculo del bit de paridad

Diseñar un circuito **secuencial** para calcular el bit de paridad. Conviene recordar que para paridad impar la suma de todos los bits, incluido el de paridad, ha de ser impar. Si se diseñó adecuadamente el circuito detector de errores de paridad en la práctica 3 puede ser reutilizado aquí sin cambios.

## 6.3. Diseño del registro de desplazamiento

Para terminar es necesario realizar un registro de desplazamiento de 8 bits para almacenar el byte que se ha de enviar y desplazarlo cada vez que se active una señal de *enable* (el primer bit en salir ha de ser el menos significativo). Ha de tenerse en cuenta que dicho registro ha de ser síncrono, es decir, su reloj ha de ser el mismo que el de los demás componentes de la FPGA (50 MHz). Este circuito será muy parecido al registro de la práctica anterior, aunque no igual.

## 6.4. Diseño del emisor

Una vez realizados los tres bloques anteriores y después de verificar mediante simulación que funcionan correctamente, se diseñará el emisor. Las entradas al circuito serán los 8 interruptores *SW7–SW0* y el pulsador *KEY3*. La salida será la línea serie de comunicación con el PC, cuyo terminal de transmisión se denomina *UART.TXD* (patilla *PIN\_G12*).

## 7. Prueba del circuito

Una vez verificado mediante simulación que el circuito se comporta correctamente, se conectará el puerto serie del PC con el puerto serie montado en la tarjeta de la FPGA y se arrancará el programa de comunicaciones. A continuación se codificará un carácter mediante los micro interruptores (por ejemplo el carácter '7' se codifica en ASCII como 0x37) y se enviará al PC.

## 8. Opcional

Si le sobra tiempo (o le apetece jugar un poco) puede integrar la práctica anterior con esta de forma que funcionen las dos en paralelo: lo que transmita el PC se visualizará en los LED y cuando se pulse *KEY3* se enviará el dato presente en los interruptores *SW7–SW0*.

Si quiere rizar el rizo puede hacer que los datos recibidos desde el PC se envíen automáticamente de nuevo al PC para hacer eco.