

通信原理实验报告



姓名： 罗 啸

学号： 2420173095

实验地点： 电气楼 412

指导老师： 康裕荣

实验二 CPLD 可编程数字信号发生器实验

实 验 内 容

1. 熟悉 CPLD 可编程信号发生器各测量点波形。
2. 测量并分析各测量点波形及数据。
3. 学习 CPLD 可编程器件的编程操作。

一、实验目的

1. 熟悉各种时钟信号的特点及波形
2. 熟悉各种数字信号的特点及波形

二、实验电路的工作原理

(一)、CPLD 可编程模块二电路的功能及电路组成

图 2-1 是 CPLD 可编程模块的电路图。

20 世纪 70 年代,最早的可编程逻辑器件 PLD 诞生。其输出结构是可编程的逻辑宏单元,因为它的硬件结构设计可由软件完成,因而它的设计比纯硬件的数字电路具有很强的灵活性,但其过于简单的结构也使它们只能实现规模较小的电路。为弥补 PLD 只能设计小规模电路这一缺陷,20 世纪 80 年代中期,推出了复杂可编程逻辑器件 CPLD。它具有编程灵活、集成度高、设计开发周期短、适用范围宽、开发工具先进、设计制造成本低、对设计者的硬件经验要求低、标准产品无需测试、保密性强、价格大众化等特点,可实现较大规模的电路设计,因此被广泛应用于产品的原型设计和产品生产(一般在 10,000 件以下)之中。CPLD 器件已成为电子产品不可缺少的组成部分,它的设计和应用成为电子工程师必备的一种技能。本实验系统中,CPLD 可编程模块用来产生实验系统所需要的各种时钟信号和各种数字信号。它由 CPLD 可编程器件 ALTERA 公司的 EPM7128、下载接口电路和一块晶振组成。晶振 JZ101 用来产生系统内的 4.096MHz 主时钟。本实验要求参加实验者了解这些信号的产生方法、工作原理以及测量方法,才可通过 CPLD 可编程器件的二次开发生成这些信号,理论联系实验,提高实际操作能力。

(二)、各种信号的功用及波形

1. 83 脚输入 4.096MHz 时钟,方波。由 JZ101 产生的 4.096MHz 时钟,经 R118,

从 83 脚送入 U101 进行整形，然后进行分频输出。

2. 58 脚，输出 2.048MHz 时钟，方波。
3. 56 脚，输出 1.024MHz 时钟，方波。
4. 28 脚，输出 64KHz 时钟，方波。
5. 29 脚，输出 32KHz 时钟，方波。
6. 15 脚，输出 16KHz 时钟，方波。
7. 31 脚，输出 2KHz 时钟，方波。
8. 16 脚，输出 1KHz 时钟，方波。
9. 57 脚，输出 8 KHz 的窄脉冲同步信号（ZM80），供 PCM 用。
10. 36 脚，输出第一时序 8 KHz 的窄脉冲同步信号（ZM81），供观察时隙用。
11. 35 脚，输出第二时序 8 KHz 的窄脉冲同步信号（ZM82），供观察时隙用。
12. 34 脚，输出第三时序 8 KHz 的窄脉冲同步信号（ZM83），供观察时隙用。
13. 33 脚，输出第四时序 8 KHz 的窄脉冲同步信号（ZM84），供观察时隙用。

ZM81、ZM82、ZM83、ZM84 的时间间隔为 $125\mu s$ ，可通过编程来改变它们的时序及时时间间隔，它们同时接到 J102，通过跳接器选择，供 PCM 使用（见图 2—1）。

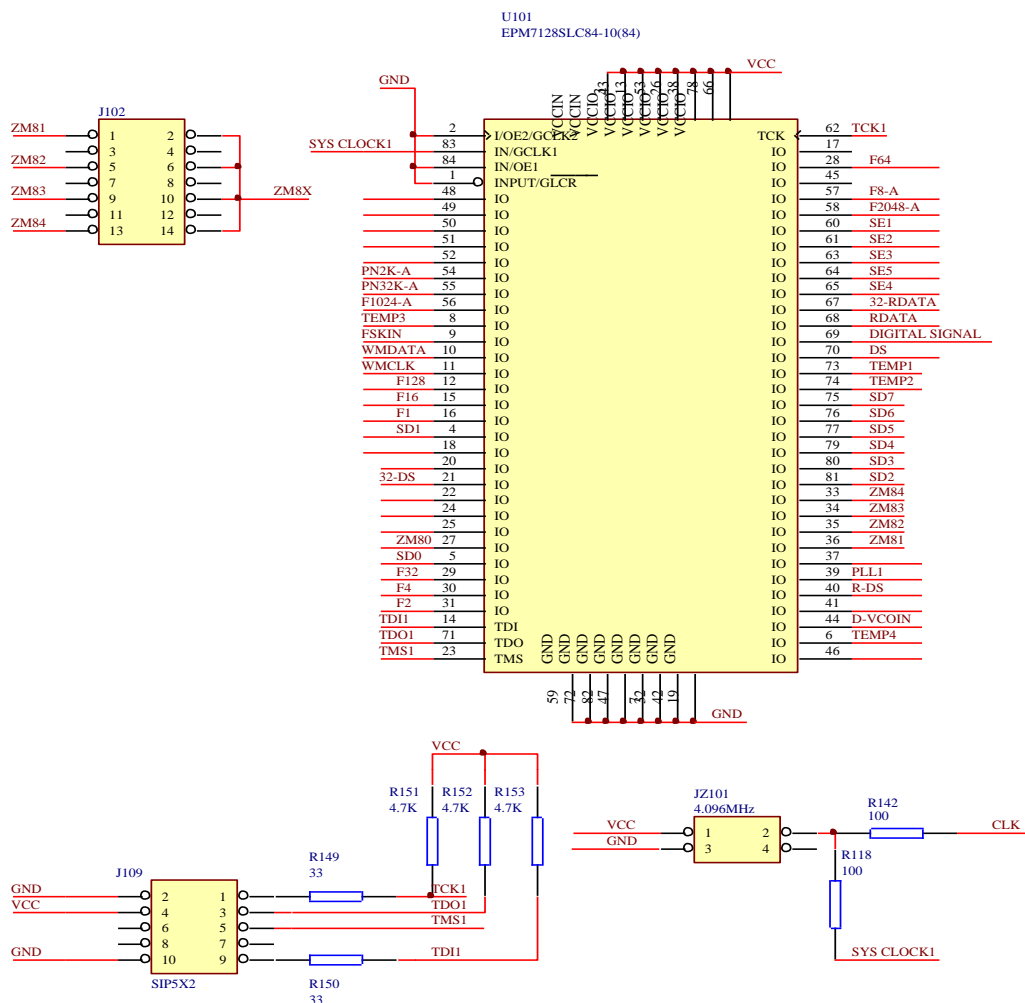


图 2-1 CPLD 可编程模块电路图

三、实验内容

1. 熟悉通信原理实验系统电路组成。
2. 熟悉信号发生器各测量点信号波形。
3. 测量并分析各测量点波形及数据。

四、实验步骤

1. 打开电源开关 K01、K02，使系统工作。
2. 用示波器测出各测量点波形，并对每一测量点的波形加以分析。GND 为接地点，测量各点波形时示波器探头的地线应接地良好。

各测量点波形如图 2-2 所示，具体说明如下：

TP101：2048KHz 的时钟信号，用于 PCM 编译码时钟。

TP102：128KHz 的时钟信号（方波）。

TP103：8KHz 的方波信号。

TP104：伪随机序列码，码元速率为 2KHz，码型为 000011101100101。

TP105：伪随机序列码，码元速率为 32KHz，码型为 000011101100101。

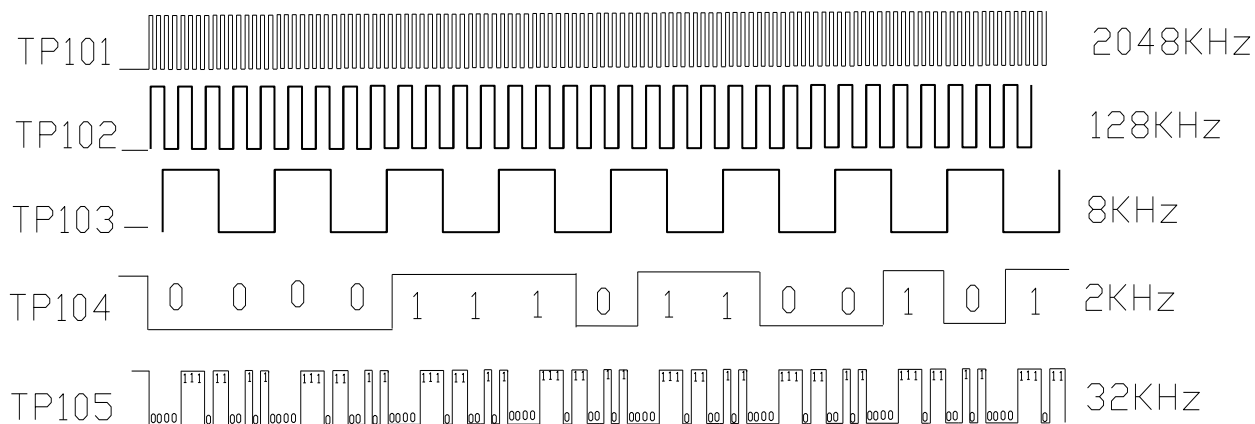


图 2-2 CPLD 产生主要测量点波形

实验结果见下图

TP 101 测量结果



TP102 测量结果



TP103 测量结果



TP104 测量结果



TP105 测量结果

