

二进制运算器及其数码管扫描显示电路

(终结报告)

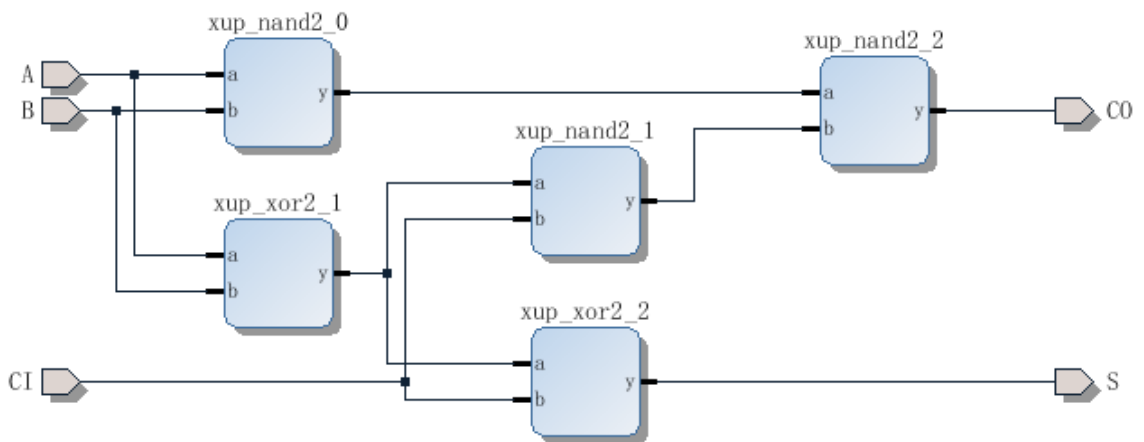
【实验目的】

- 1、学习面向 FPGA 的简单数字系统的设计流程
- 2、掌握 EDA 软件 Vivado 的原理图输入方式
- 3、学习编写测试文件对电路进行仿真验证
- 4、熟悉实验装置——实验板，掌握板上外设的工作原理

【模块设计】

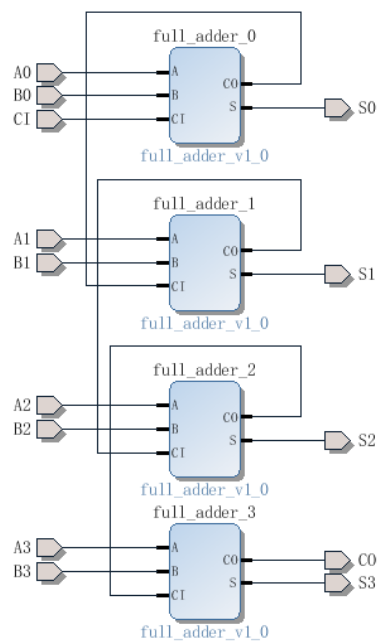
一、1 位二进制全加器 (full_adder)

- 1、功能：实现对 1 位二进制数的全加运算
- 2、原理图



二、4 位二进制全加器 (full_adder_4)

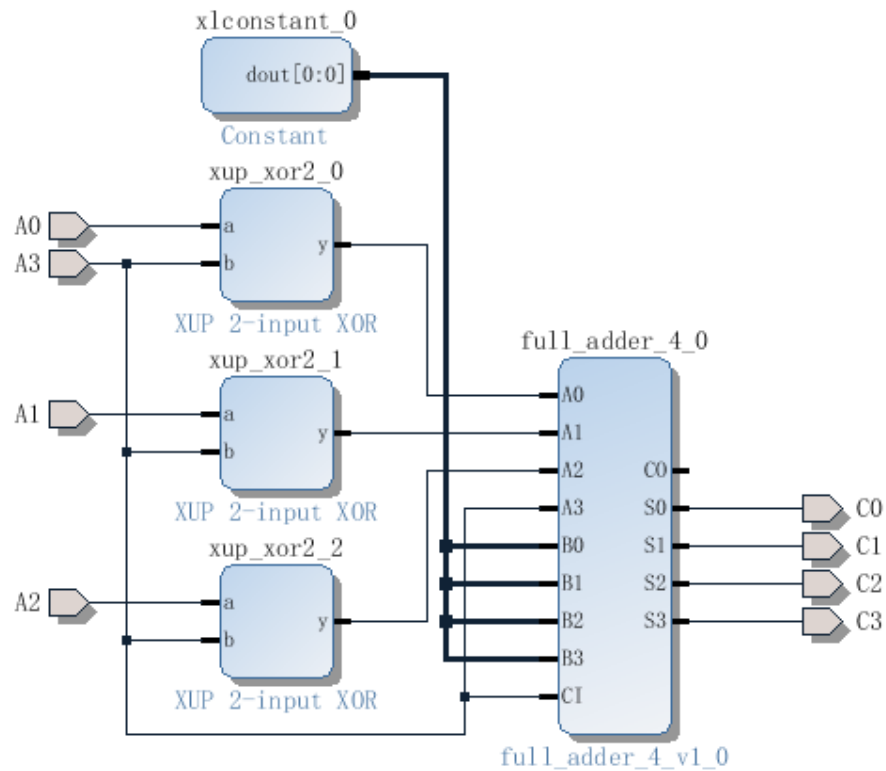
- 1、功能：实现对 4 位二进制数的全加运算
- 2、原理图



三、原码-补码运算器 (T2C)

1、功能：实现将 4 位原码转换为补码

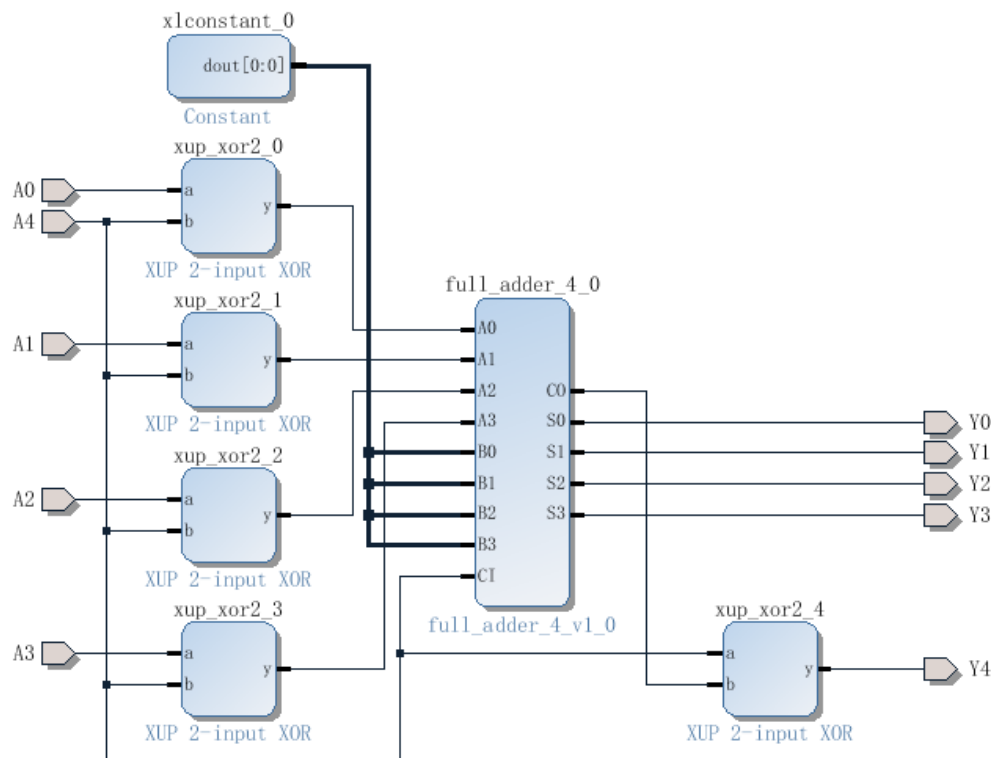
2、原理图



四、补码-原码运算器 (C2T)

1、功能：实现将 5 位补码转换为原码

2、原理图



五、分频器

1、功能：将给定频率的时钟信号调整为更低频率的时钟信号输出

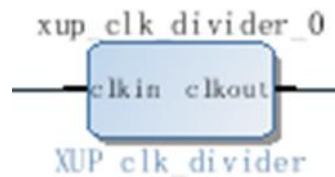
2、代码

```
module FD(clk, clk250);
    input clk;
    output reg clk250;
    integer k=0;

    initial
        clk250=1'b0;

    always @(posedge clk)
        if(k==200000)
            begin
                k<=0;
                clk250<=~clk250;
            end
        else
            k<=k+1;
    endmodule
```

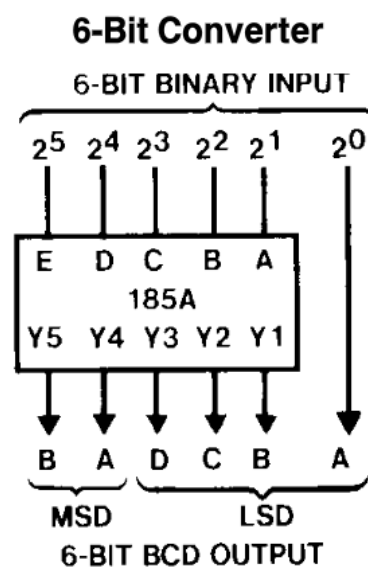
3、在搭建电路时可以修改参数使用元件库中的 xup_clk_divider，如下图所设



六、74LS185

1、功能：实现二进制到 BCD 十进制数的转换

2、接线方法：



来源：DM74185A datasheet

七、数据选择器 (mux16_4)

- 1、功能：实现从四组 4 位数据中选择一组输出
- 2、实现方法：利用四个四选一数据选择器得到十六选四数据选择器

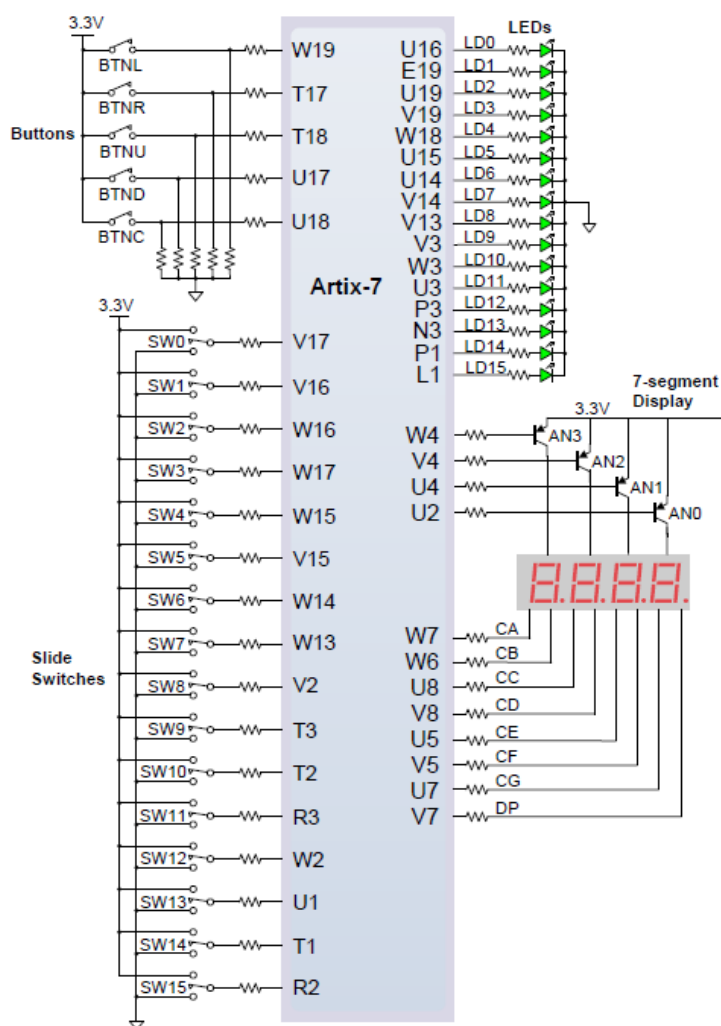
八、74LS138

- 1、功能：3-8 译码器，用于输出数码管选通信号

九、74LS48

- 1、功能：将 BCD 码转换到数码管输出

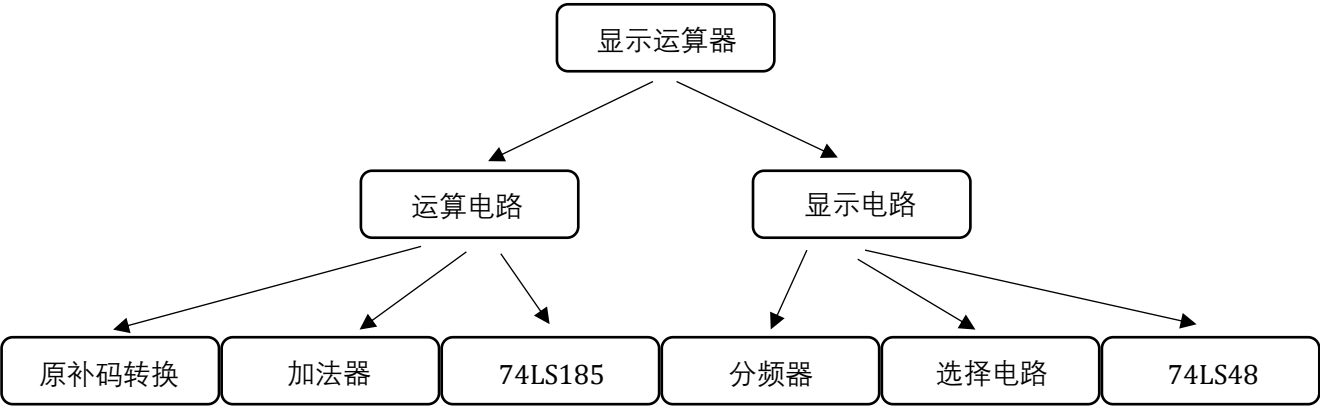
【实验板外设】



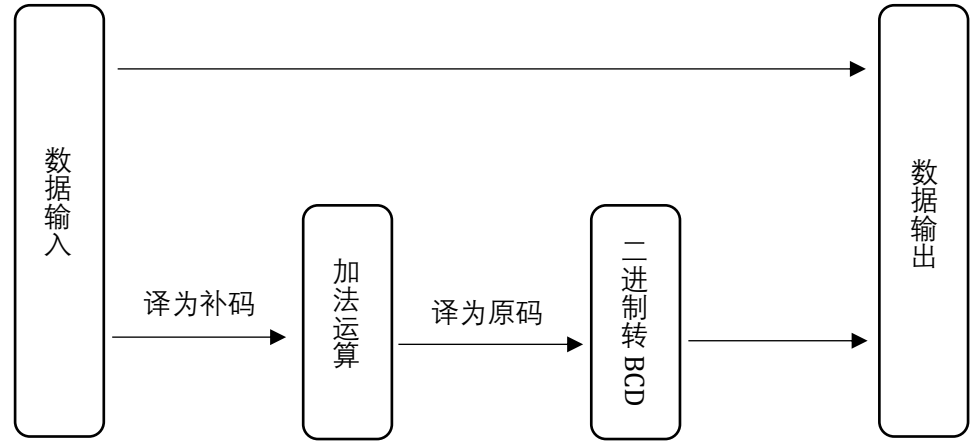
如果要多个数码管同时显示不同的数字，可以采用动态扫描的方法：在数码管的位选信号 AN0 ~ AN3 上循环输入低电平，CA ~ CG 和 DP 输入选中数码管要显示的数字。在这种方式中，虽然每一时刻只选通一位数码管，但由于人眼具有“视觉残留”效应，只要循环显示的频率足够高，使得同一个数码管两次点亮的间隔小于 0.1s，便会感觉到多位数码管“同时”被点亮了。

【设计思路】

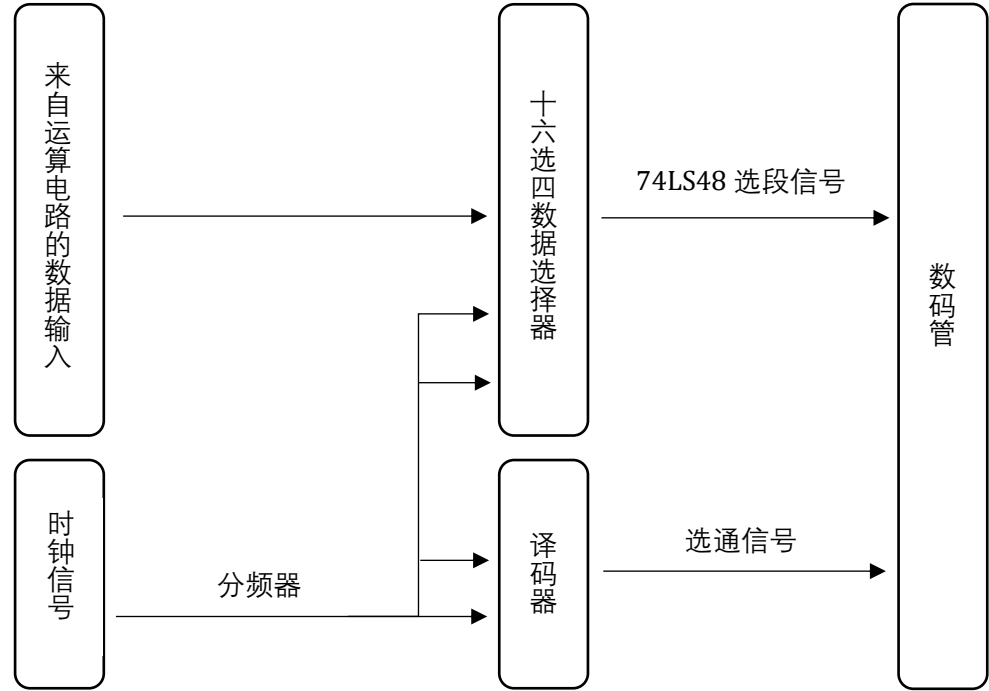
一、设计层次



二、运算电路内部设计



三、显示电路内部设计

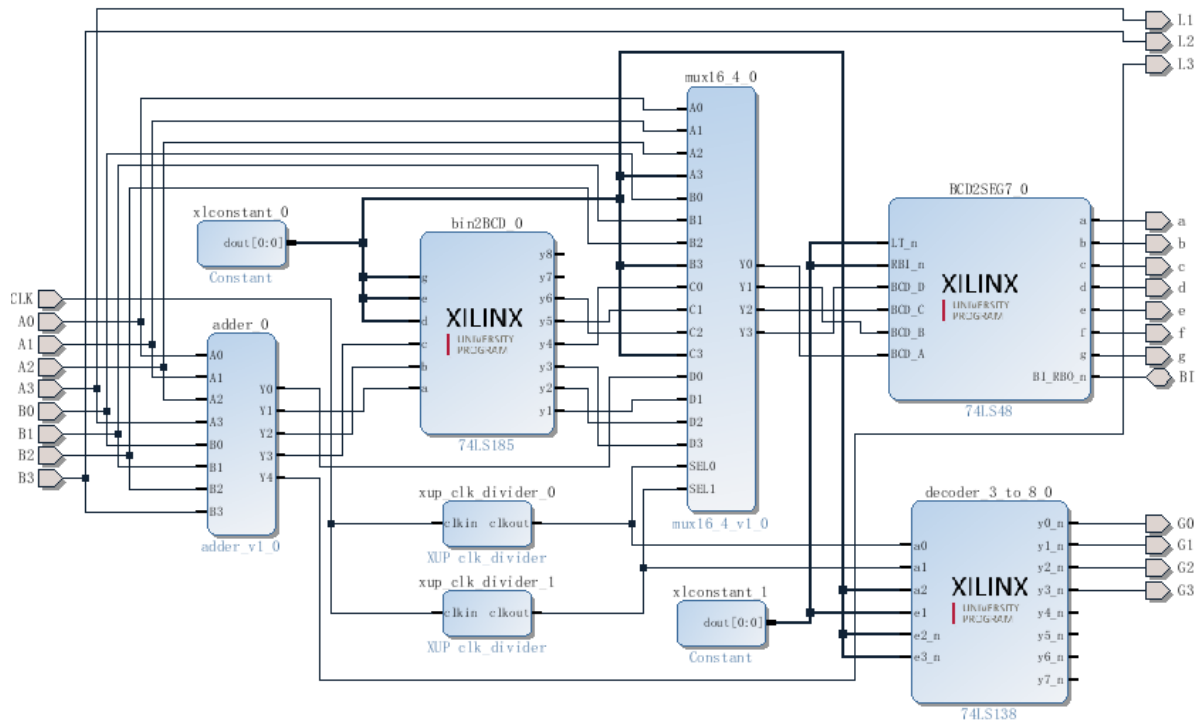


四、整体设计思路

- 1、自上而下设计电路逻辑过程，得到功能层次图
- 2、自下而上构建和封装电路模块
- 3、对顶层模块的功能缺陷加以完善，增添必要的其他模块

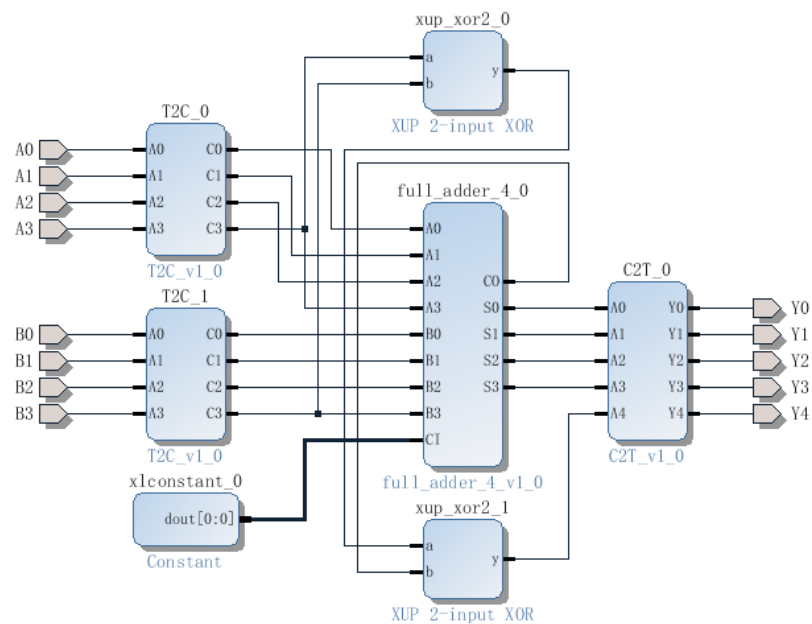
【顶层电路图】

一、电路图



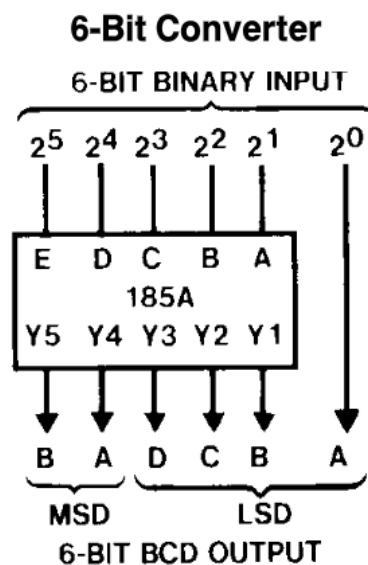
二、adder（运算器）模块

- 1、功能：以原码形式输出运算结果，Y4 为符号位，Y3~Y0 为数值位
- 2、内部结构：



三、74LS185

- 1、功能：实现将 4 位二进制无符号数转换为 2 位 BCD 码表示的十进制数
- 2、接线方式：



来源：DM74185A datasheet

四、clk_divider

- 1、功能：实现将给定频率的时钟信号转换为两个频率更低的时钟信号。且这两个时钟信号频率为 2 倍关系，使得将它们置于数据选择器和译码器上时，可以得到连续周期性变化的 4 种 2 位二进制输入
- 2、参数设置：进过实际的写入，两个输出时钟信号的频率为 500Hz 和 1000Hz 时的数码管显示较好（按照指示书所列 250Hz 可能会出现闪烁）。因此设定分频倍数为 100000 和 200000

五、mux16_4

- 1、功能：从输入的四组 4 位信号中选择一组输出
- 2、组成：由 4 个四选一数据选择器共选通端得到

六、74LS138

- 1、功能：通过输入两个时钟信号给出的 4 种 2 位连续周期性变化信号，输出周期性变化的选通信号
- 2、这里的 74LS138 与《数字电子技术基础（第六版）》中所示的控制端有所不同。

七、74LS48

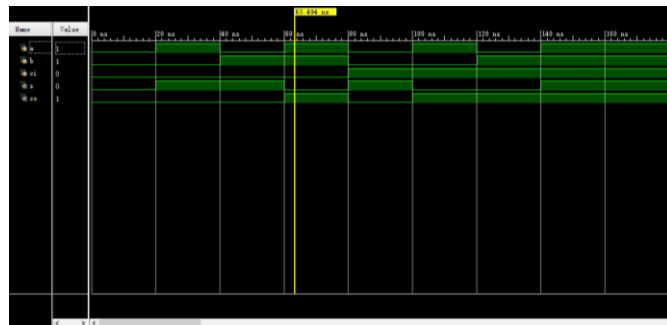
- 1、功能：实现 BCD 码到数码管显示的译码，但是此处的芯片输出为低电平有效
- 2、BI/BRO 端：这是一个 inout 端口，需要与实验板外设连接手动置高电平

八、L1~L3

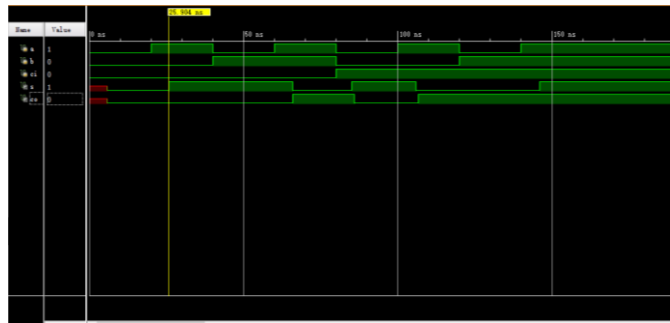
功能：与运算器输入输出的符号位相连接，将信号输出至外设的 LED 以表明数值符号

【仿真波形】

一、全加器



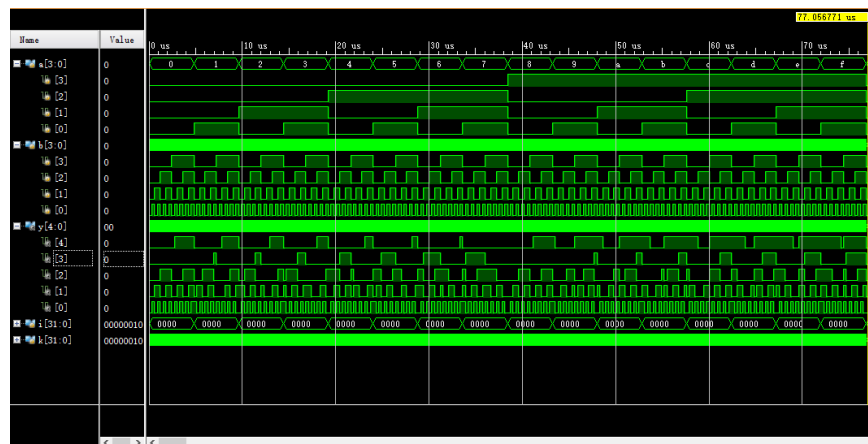
功能仿真



时序仿真

从波形图容易看出该全加器可以正常实现一位全加功能。从时序仿真的结果还可以得出，在此时间尺度下，全加器的 $t_{cd} = t_{pd} = 5.9\text{ns}$ 。

二、运算器

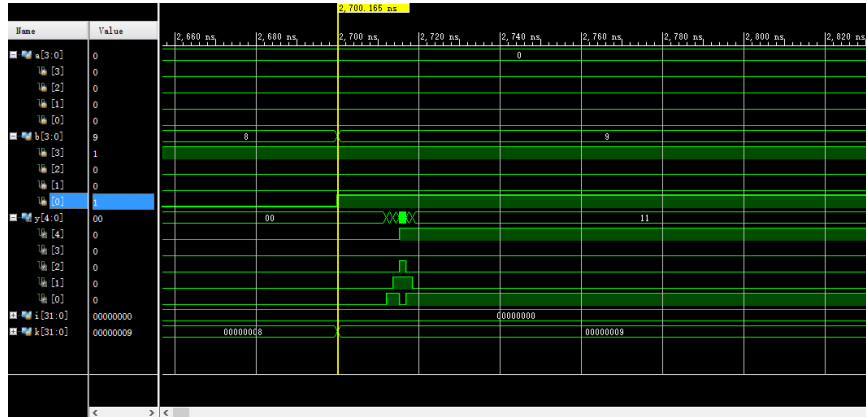


功能仿真

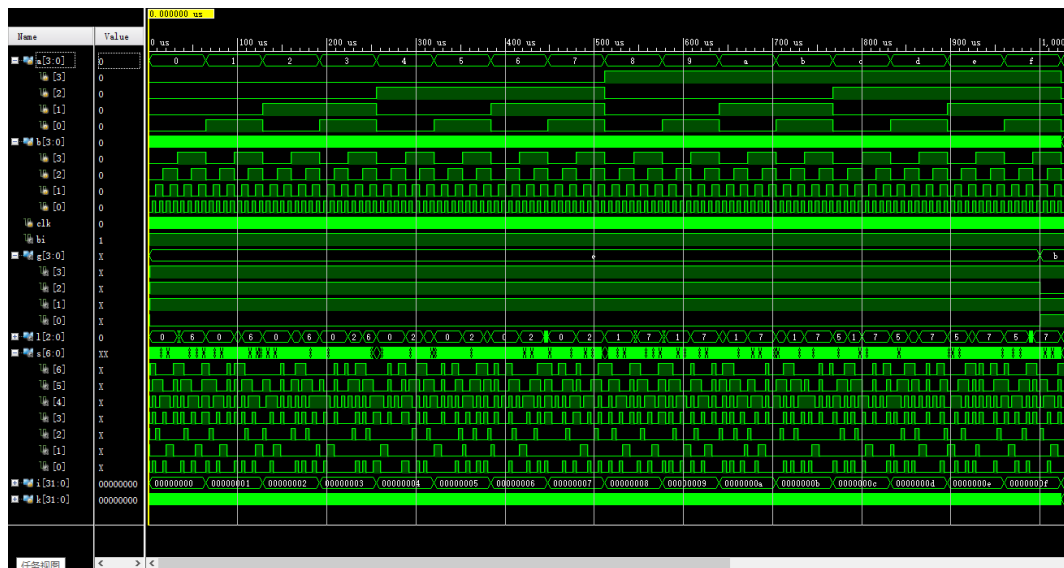


时序仿真

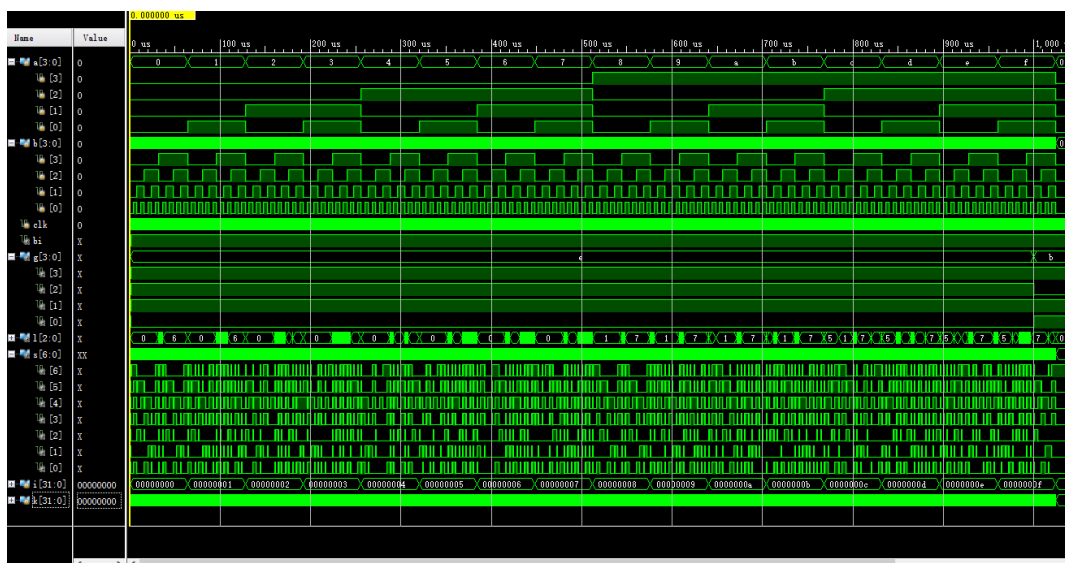
从功能仿真的结果来看，输入遍历所有取值可能时，输出均可以得到正确的值。与功能仿真相比，时序仿真的结果不仅体现出了传输延迟时间，而且显示出了竞争冒险现象。以下图为例，当输入变量 B 由 0000 变为 0001，而 A 保持不变时，在输出的第二三位出现了竞争冒险。



三、顶层电路

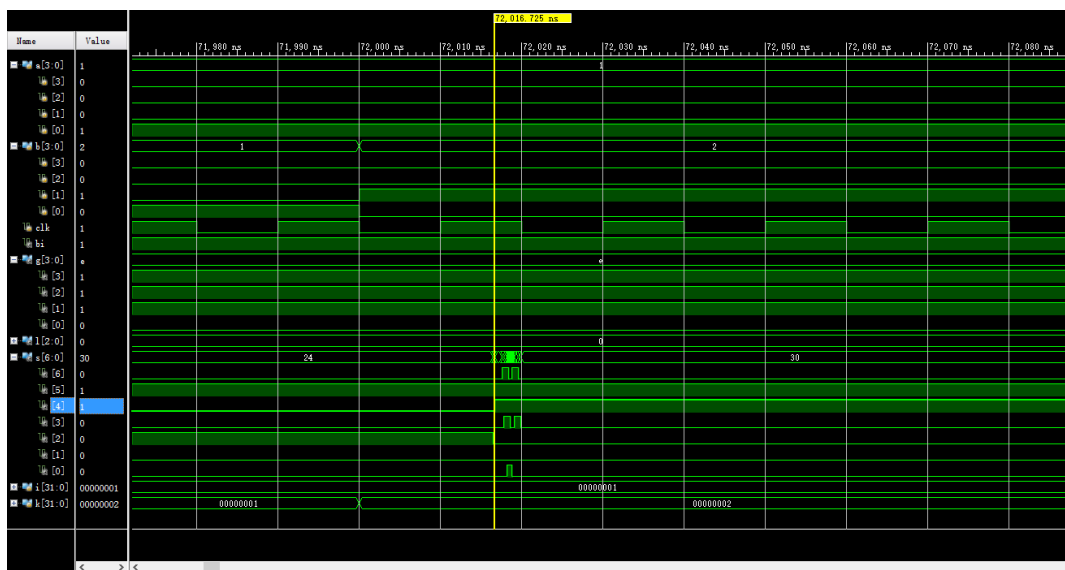


功能仿真



时序仿真

由于篇幅有限，这里只截取了仿真的一部分，即输出个位的显示。很明显的，对比时序和功能仿真，竞争冒险和传输延迟现象显著。以下图为例，当输入 A 不变，B 由 0001 跳变为 0010 时，输出的传输延迟时间约为 16ns，且竞争冒险的尖峰显著。与之前相比，传输延迟时间增加较多。虽然输出存在竞争冒险，但由于其尖峰持续时间很短，因此对输出的显示几乎不会产生影响。



【问题与收获】

一、实验中遇到的问题与解决

1、在搭建运算器模块的时候使用四位全加器，开始时功能出现异常。

解决方案：采用两种方法解决。第一种是更换四位全加器为五位；第二种是通过门电路调整全加器的输出。在最终的电路中采用了后者，事实上采用前一方案电路更为简洁，不过由于四位全加器在取补电路中有所使用，因此沿用了下来。

2、芯片 74LS138 的选通端引脚接错

解决方案：一开始出现的现象是位选信号没有输出，因此判断是译码器出现错误。核验教材后发现是将选通端对应错误，导致了异常的输出。更改接线后问题解决。

3、芯片 74LS48 异常

解决方案：这个芯片的问题主要有两个，第一个在于其输出的有效电平为低电平，这一点上应该是 74LS47 的特性，因此将其直接接入数码管，不需要反向器；第二个在于 BI/BRO 端，一开始并不知道这是一个 inout 类型的端口，导致仿真出错，在咨询老师之后才意识到需要将其与特定的 port 连接，并且接入外设开关的高电平。这一类型的端口在仿真赋值时也应该用 assign 语句，并且只能定义为 wire 类型，采用赋值算符会出错。

二、实验收获

Vivado 软件对初学者来说有一定难度，但是这个过程也锻炼了使用者的耐心和毅力，并且在这个问题的解决过程中，也确实能让人产生成就感。