

一. 画波形

1. 给出了 SR 锁存器、主从 JK、带异步置 0、置 1 端的边沿 D 触发器的 CLK 等，画 Q (Q') 波形。
2. p484 图 10.4.12 (a) 环形振荡器，要求画出 G3 左右电压的变化波形，并且标出重要的时间及电压参数。(这个题王红课上曾经提过问题，但是没有讲答案，她有一个癖好，就是特别喜欢考上课提到但是没讲过的题!!! 一定要注意听讲，勤答疑啊!!!)

二、判断题 (忽略顺序，想出来一道打一道)

1. 虽然触发器是用来存 0 存 1 的，但是实际应用的时候不用它进行长期的储存。
2. 触发器是利用正反馈实现记忆功能的。
3. 计数器记的是输入信号，而时钟脉冲起到同步作用。
4. 和逐次渐近型 AD 转换器相比，直接型速度快，精度高，而且 (注意这个而且!) 电路规模小。
5. FPGA 和 PAL 都是可编程逻辑器件，而且 (!!!) ……这个而且后面具体是什么忘了……不过可以确定是一句比较明显的错误。
6. 环形振荡器是利用延迟负反馈产生振荡的。
7. 好像是说 RAM 和 ROM 的结构差不多，所以功能也差不多，可以互换使用。
8. 对于门电路有 tpd 和 tcd，而触发器所对应的时间参数是 t(setup) 和 t(hold) (扯淡!)
9. 书上讲的由门电路构成的积分型和微分型单稳触发器都不可重复触发 (这道题也是上课问过的)

……别的记不得了 %>_<%

三、填空题 (忽略顺序)

1. 经典密码锁题! 用 10 进制输入 2009 开锁，问最少有几个输入变量、几个输出变量、用几个触发器 (我觉得是必考题! 去年就是 2008，估计明年就 2010 了，不过不会有本质性差别)。
2. 和 p484 图 10.4.12 (b) 差不多的一个图，只是把 C 的反馈引回到 G1 的左边，问这是个什么东西 (环形振荡器)，求它的振荡周期。
3. p504 题 10.23 问这个是单稳还是多谐振荡 (不要看到有 Vi 输入就写单稳啊!)，还有高电平保持时间 Tw (做了这个题就可以写出来的)
4. 一堆 ROM 的存储容量的题，记得公式就好，位线 (又名数据线!) = 2^n (地址线)，存储容量 = 位线 × 字线
5. 做一个 14 分频的分频器，至少要用多少个 JK 边沿触发器
6. 两个 16 位反馈比较型 AD 转换器，一个是计数型，一个是逐次渐近型，问完成一次转换分别最多需要多少个 CLK 周期 (看书 p533 和 535 的公式即可，很简单的)
7. 还有一个和 AD 转换器有关的不会做的题……貌似是给一个 20kHz 的 CLK 信号，问完成一次转换的时间小于多少……

别的记不得了……

8. 选出可以直接构成环型寄存器的触发器，备选答案大概有 SR 锁存器、电平 D 触发等共 5 个，2 分题

四、大题

1. 这个题! 据说去年也考过! 给了一个电路图，不好描述，待会画一下。大概就是两个边沿 JK，和一些与非、异或门
 - (1) 写出该电路的驱动方程、状态方程、输出方程。
 - (2) 该电路是穆尔型还是米利型，能否自启动。
 - (3) 给出了门电路的 tpd、tcd，触发器的 tpd、tcd、tsetup、thold，求 IN 输入信号对触发

器作用的 t_{setup} 、 t_{hold} ，还有该电路的最小时钟信号周期 T_{min}
一定要把时间参数弄清楚啊!!!

2. 和最后一次作业很像的一道题，见 p551 题 11.10 及其习题解答，也是分为 4 个模块，让你写出每个模块的名字或用途，写出 EPROM 向双极 DA 转换器转换时的 V 和 $d_{15}d_{14}...d_2d_1d_0$ 之间的关系，问了几个模块功能的问题，大致包括改变输出电压幅值应该调整哪个模块，改变时钟频率该调整哪个模块，把三角形状的波（图示）变成正弦波的形状该调整哪个模块等等，分别说说为什么。

3. 设计一个可控制的多进制计数器，有一个控制端 F ，输入 $2\sim 15$ ，如相应的当 $F=3$ 时，功能为三进制计数器， $F=12$ 时，功能为十二进制计数器，etc。给了一块 74LS161，要求：

- (1) 还可以使用学过的中规模器件以及门电路
- (2) 设计力求简单
- (3) 标出 F 控制输入、CLK 计数输入和进位输出。