

期末（期中想不起来了，BBS 上也没有…反正不难但是都不会考得很好…）

Most important:函数信号发生器年年考！

记住红姐姐的 $T_{cd}T_{pd}T_{hold}T_{setup}$ 等等！

一、画波形图（12 分）

四个小题，分别是 SR 锁存器，主从 JK，边沿 D（带 S 和 R 的），双 D（前一个的 Q 作为后一个的 D）

二、判断（12 个）

FPGA、时序、触发器，涵盖面很广，一定要看章节后面的小结

三、填空

1. 密码锁输入 1001110 时开锁，问需要几个输入变量，几个触发器。（实验指导书上有这个实验）
3. 能够直接构成环形寄存器的触发器有：SR 锁存器、边沿 D、电平 D、主从 JK（第二个忘记了）
- 4 和 5 题都是关于 ROM 的存储容量的，死磕公式。
6. 两个 8 位 A/D 转换器，计数比较型和逐次比较型，问各自完成一次转换最多需要多少个 CLK 周期。
7. ROM 字位线对应关系，看图写数据表。图示与教材 P381 图 7.5.2 非常相像。

四、按要求设计计数器电路，要求为：

- (1) 自选一片教材中出现过的中规模器件
- (2) 可变进制，M=1 时为 14 进制，M=0 时为 8 进制
- (3) 每次计数要求从 0 开始
- (4) 进位信号宽度至少为 1 个 CLK 周期
- (5) 用尽量少的门电路配合，电路尽量简洁

要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

- (1) 写三个方程：驱动方程、状态方程、输出方程
- (2) 判断电路是穆尔型还是米利型，能否自启动
- (3) （填空）给出异或门的 T_{pd} 、 T_{cd} ，触发器的 T_{pd} 、 T_{cd} 、 T_{setup} 、 T_{hold} ，求 A_{setup} 、 A_{hold} 、CLK 的最小周期 T_{min}

六、环形振荡器电路分析

图示为教材 P484 图 10.4.12(a)原封不动，反相器为 P84 图 3.3.16(a)，电压传输特性为 P81 图 3.3.12

- (1) 如图所示为_____（我填的“环形振荡器”）

(2) 画出各个波形

(3) 估算 V_o 的振荡周期，并说明其与门电路延迟时间 T_{pd} 以及 RC 参数的关系

（这个问题老师上课时提到过，不过没有详细讲，要求同学自己分析的，搞不明白一定要去答疑）

七、大杂烩（22 分）

电路是分成 4 个模块的，并未画出各部分的详细内部情况，功能和教材课后题 11.10 相同。把 11.10 那种类型的题搞明白就行了，各个细节都要明白，比如每个模块的具体作用，想要调整电路功能时（比如将输出的三角波变成正弦波）需要相应地调整哪个模块。