

# 2013 年数电回忆题 B 卷

Automation

January 6, 2014

## 1 判断题

1. 基本 SR 锁存器通过正反馈来实现对 0 和 1 的存储
2. 可擦写 ROM 和 RAM 功能相同，所以可以相互替换
3. 脉冲触发和边沿触发的 JK 触发器的输出都是在时钟的边沿到达时改变的
4. ROM 和 RAM 可以来实现任何数字逻辑电路
5. 记不得了

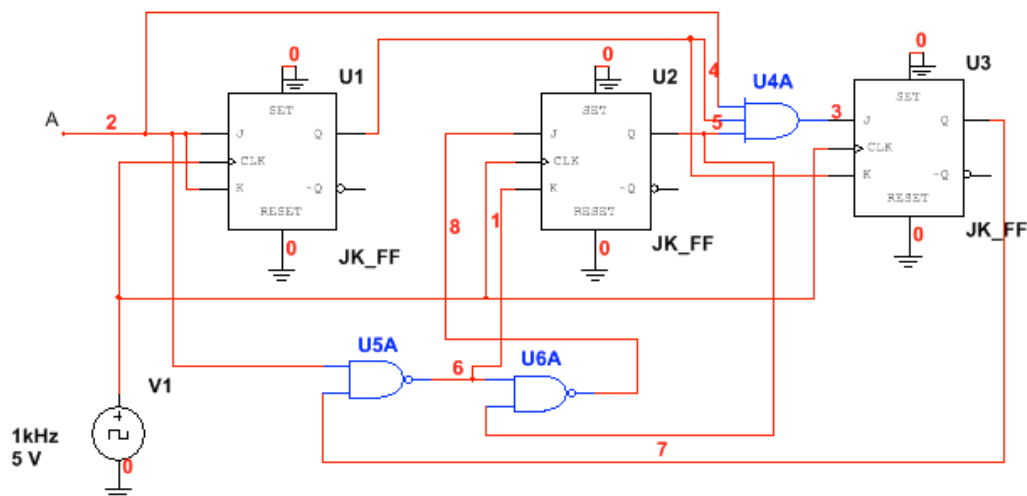
## 2 填空题

1. 同样是反馈 ADC，对于 8 位的数据，计数型最多需要多少个周期，逐次逼近型需要多少个周期。
2. 书上的题目 10.23 压控多谐振荡器的图。问你是什么。低电平宽度多少（A 卷问高电平宽度多少）。
3. 字线为 10，位线为 8 的 RAM，可以存储多少位的数据，拓展成  $2048 \times 16\text{bit}$  需要多少块这样的芯片。拓展成 32 位则容量为多少。
4. 状态机  $M_1$ ，有 7 个状态，状态机  $M_2$  有 4 个状态，如果把  $M_1$  的输出作为  $M_2$  的输入，则组成了一个新的状态机，状态机，则有多少个状态，需要多少个触发器。

## 3 函数波形发生器

ABCD 模块，和往年几乎一样，略。

## 4 触发器动态特性



给触发器的

$$T_{pd} = 12ns, T_{setup} = 5ns, T_{hold} = 3ns$$

门电路的参数:

$$T_{pd} = 3ns, T_{cd} = 2ns$$

1. 求触发器的驱动方程, 状态方程, 输出方程。要求用最简与或形式。
2. 求电路的最小时钟周期  $T_{clk(min)}$ , 求 A 信号的  $T_{setup}, T_{hold}$ 。
3. 电路是 Mealy 型还是 Moore 型, 能否自启动。

### 5 设计一个可变进制计数器

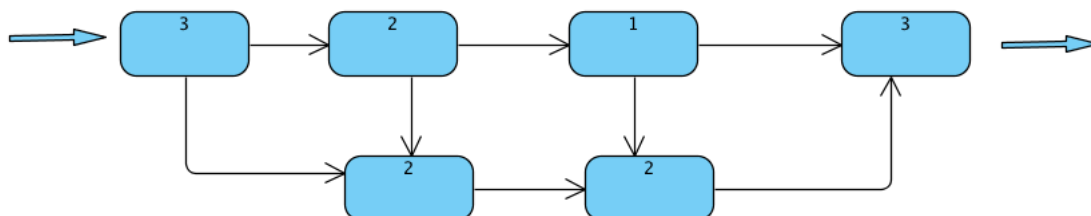
设计一个可变进制计数器，当 M 为 1 时为 9 进制，当 M 为 0 时为 11 进制。

要求:

1. 选用现有的中规模器件
2. 标出进位信号和输入时钟
3. 进位信号宽度至少为 1 个时钟周期
4. 计数需要从 0 开始，可以附加门电路，电路尽量简洁。

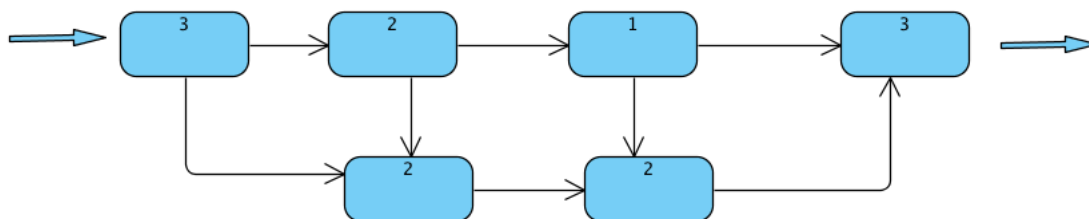
## 6 流水线设计

如图所示。



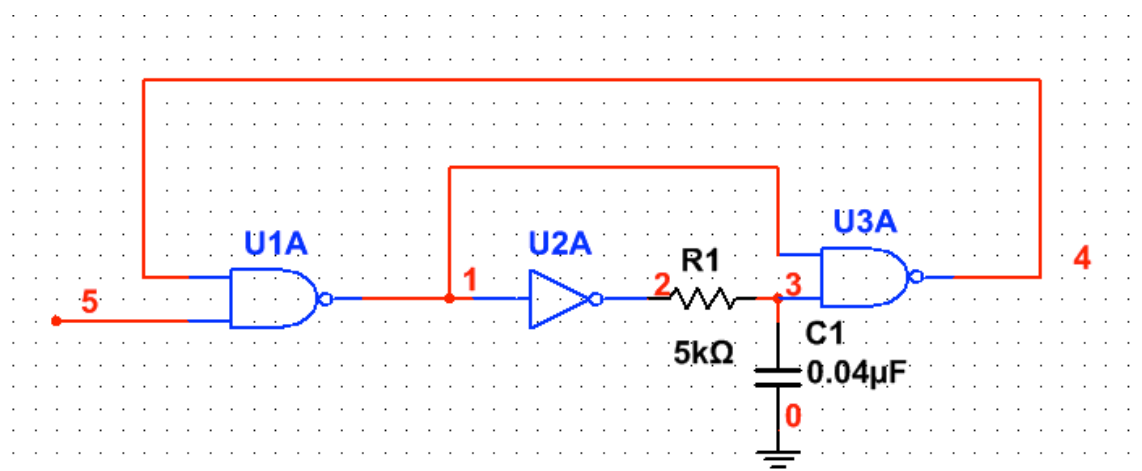
图中标出了每个模块的 tpd

1. 计算 throughput 和 latency。
2. 添加 pipeline, 最大的 throughput 为多少, 此时的 latency 为多少, 需要多少个触发器
3. 将原来的图复制一遍



重新添加 pipeline, 要求此时的 throughput 至少为  $1/5$ , 但是要用最少的触发器, 问最少需要多少个触发器, 计算此时的 latency.

## 7 单稳态触发器的计算



1. 根据这个电路画出几个关键点的电压波形（1，3，4）。
2. 计算一次窄脉冲触发之后的脉冲宽度。

## 8 设计大题

设计一个状态机，能够实时地判断当前输入的数是否能被 3 整除。这个状态机有的输入为 0 或 1，有 1 个输出，当能被 3 整除时输出 1，否则输出 0。串行数据高位先入。

说明设计的思路并且画出状态转换图。不要求画出电路。

## 9 免责声明

1. 对于上述回忆并不能保证百分之百的正确性，请谅解。
2. 请勿用作商业用途。
3. 请勿传播。