

数电期末考试要求范围及相关

整理 by_张灵

一、考试要求

- 1. 不自带草稿；
- 2. 平时见过的题目达到 80%~90%；
- 3. 难度不超过作业的难度；
- 4. 两小时，提前 5 分钟进场；
- 5. 自带计算器，不能互相借；
- 6. 考试以闭卷的方式进行；

二、各章考点

(一) 章

- 1. 公式化简，最简与或式等等；
- 2. 卡诺图来化简逻辑电路

- 1) 与或；
- 2) 与或非；
- 3) 或与。

- 3. 卡诺图求复合函数，相乘等；
- 4. 阻塞项函数化简

自己：

- 1. 反演定理，对偶定理？
- 2. 阻塞项中的多输出函数的化简？
- 3. 卡诺图中的变量会达到 5 个吗？
- 4.

(二) 章

- 1. 反相器带负载能力计算，带负载，高（低）电平输出电流；
- 2. TTL 电路结构，原理和电气特性
 - 1) 开关门电阻；
 - 2) 扇入扇出系数；
 - 3) I_{IH} 、 I_{IL}

3. 题型

- 1) 给定电路，判断输出电平（状态）
若已给定值，须回答数值，还有就是 A 是逻辑变量，A 有接东西或写出输出关系式；
- 2) 测电阻上的电平值，给定大小、须用具体值
- 3) 画输出波形；
- 4) 电阻阻值范围---- R_d （TTL）
- 5) **OC 门上拉电阻**
- 4. CMOS 相关（对比于 TTL）都要掌握

自己：

- 1. 是否会让你判断放大状态及深饱和状态？
- 2. TTL 电路是否要记？

- 3. 肖特基电路会否考察？
- 4. 三态输出门电路要求吗（TTL）？
- 5. CMOS 传输门和模拟开关？
- 6. CMOS 三态门？
- 7. 其他门电路，例如 HTL？

(三) 章

- 1. 电路逻辑功能分析
要求回答要有规范性
- 2. 电路设计：包括逻辑电路，集成电路；
- 3. 集成电路：应用

- 1) 译码器；
- 2) 运算器，数据选择器，加法器，但对编码器不要求；
- 4. 名称给出，加逻辑符号，功能表不给出；（都是平时做过的芯片）
- 5. 竞争——冒险；险象的判定，消除方法（不考电容法消除）

自己：

- 1. 各种译码器集成电路是否要记？
- 2. 译码器的扩展？
- 3. 显示译码器？
- 4. 数据选择器的应用，1 为扩展，2 为实现组合逻辑函数？
- 5. 加法器应用，1 为 4 位二进制加法器构成 8 位二进制加法器，

(四) 章

- 1. 功能描述，不同方法：5 种带用触发器
- 2. 常见结构触发器，画波形（不考工作原理）
 - 1) 单个触发器（带异步 $\overline{S_d}$ ， $\overline{R_d}$ ）
 - 2) 适当加几个逻辑门，但也只有 1 个触发器；
- 3. 触发器之间的变换，基本设计法

自己：

- 1. 各种触发器的原理要掌握到什么程度？
- 2. 几种 JK 触发器的对比，是否有一次变化的问题？
- 3. 常用集成触发器芯片介绍中是否要记？

(五) 章

- 1. 电路功能分析，触发器为主体（适当加逻辑门），同步和异步；
- 2. 计数器，电路结构特点；
- 3. 集成电路要求：160/161，190/191 一定要熟练掌握。
- 4. 灵活修改计数长度（按照题意）
- 5. 计数器的具体应用，按给定的器件进行设计
- 6. 计数器电路设计
 - 1) 同步；
 - 2) 异步：（时钟信号不能合，但反相不算合成范围）

自己：

- 1. 各种的具体寄存器是否要记？
- 2. 寄存器的应用举例？
- 3. 移位寄存器型计数器要记到什么程度？

- 4. 循环码计数要记到什么程度？
- 5. 顺序脉冲发生器的应用？特别是脉冲分配电路？
- 6. 设计法中是否只要求到基本设计法，对修改法等其他方法呢？

(六) 章

- 1. 9 种电路参数，原理，波形，都要滚瓜烂熟；
- 2. 要画点划线；
- 3. 处理好尾巴部分（波形）；
- 4. 555 定时器应用
 - 1) 本身逻辑符号出现在卷面上；
 - 2) 芯片给你，3 种电路，CV 端接电容与接参考电压的不同之处；

自己：

- 1. 是否考试只会涉及到 9 种要求的电路？
- 2. 这 9 种电路要否记电路是怎么样的？以及波形要背？记 T 的公式？

(七) 章

- 1. D/A 三个：全电阻、T 型、双极性（加偏移）
注：7520 芯片可能出现，要记一下；
- 2. A/D 直接式，计数式，逐次渐近式，两种积分；

我也发现做错了一道题.

数电期末考试试题(b 卷)

- 1)将下列逻辑函数化为最小项之和的形式.
 - 2)化简下列逻辑函数(不论方法)
 - 3) 用四选一数据选择器设计一个奇偶校验器。
 - 4) 时序逻辑电路的分析。
 - 5) 用两片 74LS161 设计一个可变进制计数器。
 - 6) 脉冲电路的分析。
 - 7) 分析一下电路能否正常工作。
 - 8) 分析一下电路的输出电压波形及周期。
- 电路为用石英晶体接成的多谐振荡器，在接移位寄存器 74LS194A,再接 ROM,和 CB7520.

数字电路技术基础 王红 2005 年春

A 卷 开卷

时间 2h + 15min

一、画触发器的波形 12 分

1、基本 RS 触发器

2、同步 RS 触发器

3、主从 JK 触发器

4、边沿 D 触发器（有异步置零、置 1 端的影响）

二、判断正误 9 分
9 个

很琐碎的东西，涉及 FPGA、触发器、施密特触发器等

三、ROM 存储容量的计算和扩展 4 分

四、用 2 个 74LS161 组成可控进制的计数器

30 进制和 31 进制

注意 74LS161 是同步置数

五、用 555 接成的一个单稳态触发器和多谐振荡器串接

画波形，算周期、占空比。

六、环形振荡器原理性电路波形分析和周期估算（书上没有）

画波形，算周期、谈关系

七、CB7520+ROM+移位寄存器+多谐振荡器的题

课本和帮你学上有很多类似的

八、时序逻辑电路分析，写方程、画状态转换图

有输入变量，算动态参数（这部分全部来自课件）

九、根据波形变化判断方框里是什么电路，开放性题目

2005 学年秋季学期电子技术基础期末考试卷-王红-A 卷
时间 2h+15min

一.触发器的波形.给定初始 Q=0.根据输入画输出波形.

1.同步 RS 触发器.画出 Q 和 Q 反 CP 信号与书上一般的题目不同.

2.主从 JK 触发器.画出 Q.

二.判断题

涵盖各个章节.第二章有 OC 门和三态门.第三章有组合和时序电路的特点.第六章有施密特触发器.第七章有 ROM.第八章有 FPGA.第九章有直接 A/D 转换器.其他不记得了...

三.RAM.给定 RAM 单元(字数和位数)

1.写出存储量.

2.进行字/位扩展.

3.用一个 74LS136 3-8 译码器能实现多少存储量.给定位数.

四.给出 5 个触发器.判断哪些能直接串连构成移位寄存器.包括主从 JK.DT.同步 RS.基本 RS.

五."Smile"器件(红姐姐给的名字).双输入 A/B.单输出 C.

A/B 一个或都小于 1V.则 C 至少为 2.5V

A/B 均大于 2V.C 小于 0.5V

1.判断 C 与 A/B 关系

2.求 V(OLmax)V(OLmin)V(OHmin)V(Hmin)

六.连一个计数器.M=0 时.五进制.M=1 时.七进制.原料是 74LS160.

1.画出电路

2.标出输入信号和进位输出信号

3.要求进位输出信号宽度不小于一个 CLK 周期.

七.给定多谐振荡器.要求画出波形.并计算周期几占空比.

八.给定单输入 X 和输出 Y 的时序电路(有两个 D 触发器和一个与非.具体电路无法描述..)

1.写出驱动方程/状态方程/输出方程

2.画出电路状态转换图

3.给出所有的 T(p.d).T(cd).D 触发器的 T(setup).T(hold).求

(1)X 需要的 T(setup).T(hold) (2)CLK 的最小周期

九.有多谐振荡器提供 74LS194 的 CLK 信号.74LS194 输出接入 ROM 的 4 个输入.ROM 的 4 个

输出接入 CB7520.74LS194 的初始状态给定.

1.判断 74LS194 的工作状态

2.画出 74LS194 的状态转换图.

3.写出 ROM 完整的数据表

4.计算电路频率

5.画最终 CB7520 的输出波形.

十.开放性题 给定 5 个模块,给出每个模块的输出波形.
1.判断每个模块可能为什么电路或起什么功能.
2.从 5 个中选取两个画电路原理图.

- 一、范围为第一章
- 1) 用 **ABCD** 表示的函数，化简为最简的与或式，似乎还要化成或与式；
 - 2) 用 **ABCD** 表示的函数，带无关项，化简为最简的与或式或或与式；
 - 3) （附加分题）用阻塞项的方法，化简为只有原变量表示的最简与非—与非式（比较简单）；

- 二、范围为第二章
- 1) 考察门电路的输入特性，分别给了四个图，主要是输入端为 **A** 和 **B** 接不同的电阻或者电源和接地、悬空。
- 前两题先是让你从 **TTL** 门角度计算，第 3 小题是从 **COMS** 门角度来计算。
- 四个图记得是如下：
- 与非门情况：或非门情况（特别强调：两个输入端的电平没有关联）；或门：还有一个似乎是异或门（如果不是，肯定比异或门简单），总体说来，比较简单，不用像平时学的时候那么担心。

- 三、范围为第三章
- 1) 组合逻辑电路，给了一个输出函数，用最简的与非门实现；
 - 2) 分析险象出现的时刻；
 - 3) 用冗余项法消除险象；

- 四、范围为第四章
- 考前一直准备 **TTL** 主从 **JK-FF** 的波形，这个是唯一需要注意一次变化的，结果没考，白浪费了。
- 考了三个图，都是输入端用一个简单的组合逻辑。分别为利用门传输时间的 **JK-FF**（下降沿），**DFF**（上升沿），**CMOS** 门 **JK-FF**（上升沿），画波形，难度不大。

- 五、范围为第五章
- 1) 第一小问是让你求一个 **74LS161** 的计数长度 **M** 的情况，最后再把状态转换图画出来；
 - 2) 第二小问让你用一个 **74LS161** 和一个 **74LS138** 组成顺序脉冲发生器，比较简单，之前就把红宝书中的一个类似题做了一下，就搞掂了；
 - 3) 第三小问先让你把真值表写出来，再来设计一个同步时序脉冲电路，是自启动的情况，用 **JKFF** 来实现；

- 六、范围为第六章
- 给了一个 **555** 定时器接成了单稳态电路，先让你定性地画出波形（也就是把书上的图再画一遍），再计算有关参数；
- 555** 和一个 **74LS161** 接起来了，还是计算有关的参数，难度不大。。。。

- 七、范围为第七章
- 就是平时的一道作业题，是 **T** 型 **D/A** 转换加一个偏移的电压分量 **Voff**，电路为 **D/A** 转换器和一个计数器，要求的是波形，记得是一个 **6** 个脉冲为一个周期。不难，就是作业题改了数字而已。

一、画波形图（12分）
四个小题，分别是SR锁存器，主从JK，边沿D（带S和R的），双D（前一个的Q作为后一个的D）

二、判断（12个）

FPGA、时序、触发器，涵盖面很广，一定要看章节后面的小结

三、填空

1. 密码锁输入1001110时开锁，问需要几个输入变量，几个触发器。（实验指导书上有这个实验）

3. 能够直接构成环形寄存器的触发器有：SR锁存器、边沿D、电平D、主从JK（第二个忘记了）

4和5题都是关于ROM的存储容量的，死磕公式。

6. 两个8位A/D转换器，计数比较型和逐次比较型，问各自完成一次转换最多需要多少个CLK周期。

7. ROM字节线对应关系，看图写数据表。图示与教材P381图7.5.2非常相像。

四、按要求设计计数器电路，要求为：

(1) 自选一片教材中出现过的中规模器件

(2) 可变进制，M=1时为14进制，M=0时为8进制

(3) 每次计数要求从0开始

(4) 进位信号宽度至少为1个CLK周期

(5) 用尽量少的门电路配合，电路尽量简洁
要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

(1) 写三个方程：驱动方程、状态方程、输出方程

(2) 判断电路是穆尔型还是米利型，能否自启动

(3) (填空)给出异或门的的 $T(pd)$ 、 $T(cd)$ ，触发器的 $T(pd)$ 、 $T(cd)$ 、 $T(setup)$ 、 $T(hold)$ 、 $A(hold)$ 、 CLK 的最小周期 $T(min)$

六、环形振荡器电路分析

图示为教材P484图10.4.12(a)原封不动，反相器为P84图3.3.16(a)，电压传输特性为P81图3.3.12

(1) 如图所示为_____（我填的“环形振荡器”）

(2) 画出各个波形

(3) 估算 V_o 的振荡周期，并说明其与门电路延迟时间 $T(pd)$ 以及RC参数的关系

（这个问题老师上课时提到过，不过没有详细讲，要求同学自己分析的，搞不明白一定要去答疑）

七、大杂烩（22分）

电路是分成4个模块的，并未画出各部分的详细内部情况，功能和教材课后题11.10相同。把11.10那种类型的题搞明白就行了，各个细节都要明白，比如每个模块的具体作用，想要调整电路功能时（比如将输出的三角波变成正弦波）需要相应地调整哪个模块。

第一题是画触发器波形，基本SR、主从JK，沿触发的D加上异步置位，异步清零端。第二题判断，不说了吧。

第三题填空。能记起的不多：

密码锁：输入2008开锁，问需要几个输入变量几个输出变量几个触发器。

万年题： Tpd 、 Tcd 、 $Tsetup$ 、 $Thold$ 关系的，貌似基本和去年题一样。同时也要列出状态方程等，判断自启动之类。

环形振荡器：去年也考过的，估算周期和 Tpd 关系。感觉这道题也要成万年题了。

要20分频至少需要多少JK触发器

给ROM规格，问多少数据线多少地址线

（我看看还能不能回忆出来更多题目，再说吧）

设计电路：给一个74161，要求根据输入的F值（2—16），计数器变成相应进制。

最后一题是给了一个系统：A模块输出一定频率的时钟信号，B模块由时钟信号产生8位地址信号，C模块将8位地址信号转换成对应的16位波形数据，D模块将波形数据转换成电压输出。

然后就是一堆问，能记起来的：

写出BCD模块用什么实现

C模块需要多大的存储

要改输出电压幅度应该改变哪个模块

要改时钟改哪个模块

要改输出波形改哪个模块

最后是设计A模块：可根据输入的F1、F2两位输出相应频率的波形，分别是8MHz、4MHz、2MHz、1MHz

一、画波形

1. 给出了 SR 锁存器、主从 JK、带异步置 0、置 1 端的边沿 D 触发器的 CLK 等，画 Q (Q') 波形。
2. p484 图 10.4.12 (a) 环形振荡器，要求画出 G3 左右电压的变化波形，并且标出重要的时间及电压参数。(这个题王红课上曾经提过问题，但是没有讲答案，她有一个癖好，就是特别喜欢考上课提到但是没讲过的题!!! 一定要注意听讲，勤答疑啊!!!)

二、判断题 (忽略顺序，想出来一道打一道)

1. 虽然触发器是用来存 0 存 1 的，但是实际应用的时候不用它进行长期的储存。
2. 触发器是利用正反馈实现记忆功能的。
3. 计数器记的是输入信号，而时钟脉冲起到同步作用。
4. 和逐次渐近型 AD 转换器相比，直接型速度快、精度高，而且 (注意这个而且!) 电路规模小。
5. FPGA 和 PAL 都是可编程逻辑器件，而且 (!!!)这个而且后面具体是什么忘了不过可以确定是一句比较明显的错误。
6. 环形振荡器是利用延迟负反馈产生振荡的。
7. 好像是说 RAM 和 ROM 的结构差不多，所以功能也差不多，可以互换使用。
8. 对于门电路有 tpd 和 tcd，而触发器所对应的时间参数是 tsetup 和 t(hold) (扯淡!)
9. 书上讲的由门电路构成的积分型和微分型单稳触发器都不可重复触发 (这道题也是上课问过的)
.....别的记不得了 %>_<%

三、填空题 (忽略顺序)

1. 经典密码锁题! 用 10 进制输入 2009 开锁，问最少有几个输入变量、几个输出变量、用几个触发器 (我觉得是必考题! 去年就是 2008，估计明年就 2010 了，不过不会有本质性差别)。
2. 和 p484 图 10.4.12 (b) 差不多的一个图，只是把 C 的反馈引回到 G1 的左边，问这是个什么东西 (环形振荡器)，求它的振荡周期。
3. p504 题 10.23 问这个是单稳还是多谐振荡 (不要看到有 V1 输入就写单稳啊!)，还有高电平保持时间 Tw (做了这个题就可以写出来的)
4. 一堆 ROM 的存储容量的题，记得公式就好，位线 (又名数据线!) = 2^n (地址线)，存储容量 = 位线 × 字线
5. 做一个 14 分频的分频器，至少要用多少个 JK 边沿触发器
6. 两个 16 位反馈比较型 AD 转换器，一个是计数型，一个是逐次渐近型，问完成一次转换分别最多需要多少个 CLK 周期 (看书 p533 和 535 的公式即可，很简单的)
7. 还有一个和 AD 转换器有关的不会做的题.....貌似是给一个 20kHz 的 CLK 信号，问完成一次转换的时间小于多少.....
别的就不记得了.....
8. 选出可以直接构成环型寄存器的触发器，备选答案大概有 SR 锁存器、电平 D 触发等共 5 个，2 分题

四、大题

1. 这个题! 据说去年也考过! 给了一个电路图，不好描述，待会画一下。大概就是两个边沿 JK，和一些与非、异或门
- (1) 写出该电路的驱动方程、状态方程、输出方程。
- (2) 该电路是穆尔型还是米利型，能否自启动。
- (3) 给出了门电路的 tpd、tcd，触发器的 tpd、tcd、tsetup、thold，求 IN 输入信号对触发

器作用的 tsetup、thold，还有该电路的最小时钟信号周期 Tmin
一定要把时间参数弄清楚啊!!!

2. 和最后一次作业很像的一道题，见 p551 题 11.10 及其习题解答，也是分为 4 个模块，让你写出每个模块的名字或用途，写出 EPROM 向双极 DA 转换器转换时的 V 和 d15d14...d2d1d0 之间的关系，问了几个模块功能的问题，大致包括改变输出电压幅值应该调整哪个模块，改变时钟频率该调整哪个模块，把三角形形状的波 (图示) 变成正弦波的形状该调整哪个模块等等，分别说说为什么。
3. 设计一个可控制的多进制计数器，有一个控制端 F，输入 2~15，如相应的当 F=3 时，功能为三进制计数器，F=12 时，功能为十二进制计数器，etc。给了一块 74LS161，要求：
(1) 还可以使用学过的中规模器件以及门电路
(2) 设计力求简单
(3) 标出 F 控制输入、CLK 计数输入和进位输出。

一. 画波形

1. 给出了 SR 锁存器、主从 JK、带异步置 0、置 1 端的**边沿 D 触发器**的 CLK 等，画 Q (Q') 波形。

2. p484 图 10.4.12 (a) 环形振荡器，要求画出 G3 左右电压的变化波形，并且标出重要的时间及电压参数。(这个题王红课上曾经提过问题，但是没有讲答案，她有一个癖好，就是特别喜欢考上课提到但是没讲过的题!!! 一定要注意听讲，勤答疑啊!!!)

二、判断题 (忽略顺序，想出来一道打一道)

1. 虽然触发器是用来存 0 存 1 的，但是实际应用的时候不用它进行长期的储存。

2. 触发器是利用正反馈实现记忆功能的。

3. **计数器记的是输入信号，而时钟脉冲起到同步作用。**

4. 和逐次渐近型 AD 转换器相比，直接型速度快，精度**高**，而且 (注意这个而且!) 电路规模小。

5. FPGA 和 PAL 都是可编程逻辑器件，而且 (!!!)这个而且后面具体是什么忘了.....不过可以确定是一句比较明显的错误。

6. 环形振荡器是利用延迟负反馈产生振荡的。

7. 好像是说 RAM 和 ROM 的结构差不多，所以功能也差不多，可以互换使用。

8. 对于门电路有 t_{pd} 和 t_{cd} ，而触发器所对应的时间参数是 $t(\text{setup})$ 和 $t(\text{hold})$ (扯淡!)

9. 书上讲的由门电路构成的积分型和微分型单稳触发器都不可

重复触发 (这道题也是上课问过的)

.....别的记不得了%>_<%

三、填空题 (忽略顺序)

1. 经典密码锁题! 用 10 进制输入 2009 开锁，问最少有几个输入变量、几个输出变量、用几个触发器 (我觉得是必考题! 去年就是 2008，估计明年就 2010 了，不过不会有本质性差别)。

2. 和 p484 图 10.4.12 (b) 差不多的一个图，只是把 C 的反馈引回到 G1 的左边，问这是个什么东西 (环形振荡器)，求它的振荡周期。

3. p504 题 10.23 问这个是单稳还是多谐振荡 (不要看到有 Vi 输入就写单稳啊!)，还有高电平保持时间 T_w (做了这个题就可以写出来的)

4. 一堆 ROM 的存储容量的题，记得公式就好，位线 (又名数据线 1) = $2^{\sqrt{\text{地址线}}}$ ，存储容量 = 位线 \times 字线

5. 做一个 14 分频的分频器，至少要用多少个 JK 边沿触发器

6. 两个 **16 位反馈比较型 AD 转换器**，一个是计数型，一个是逐次渐近型，问完成一次转换分别最多需要多少个 CLK 周期 (看书 p533 和 535 的公式即可，很简单的)

7. 还有一个和 AD 转换器有关的不会做的题.....貌似是给一个 20kHz 的 CLK 信号，问完成一次转换的时间小于多少.....别的不记得了.....

8. 选出可以直接构成环型寄存器的触发器，备选答案大概有 SR

锁存器、电平 D 触发等共 5 个，2 分题

四、大题

1. 这个题！据说去年也考过！给了一个电路图，不好描述，待会画一下。大概就是两个边沿 JK，和一些与非、异或门

(1) 写出该电路的驱动方程、状态方程、输出方程。

(2) 该电路是穆尔型还是米利型，能否自启动。

(3) 给出了门电路的 t_{pd} 、 t_{cd} ，触发器的 t_{pd} 、 t_{cd} 、 t_{setup} 、 t_{hold} ，求 IN 输入信号对触发器作用的 t_{setup} 、 t_{hold} ，还有该电路的最小时钟信号周期 T_{min}

一定要吧时间参数弄清楚啊!!!

2. 和最后一次作业很像的一道题，见 p551 题 11.10 及其习题解答，也是分为 4 个模块，让你写出每个模块的名字或用途，**写出 EPROM 向双极 DA 转换器转换时的 V 和 d15d14...d2d1d0 之间的关系**，问了几个模块功能的问题，大致包括改变输出电压幅值应调整哪个模块，改变时钟频率该调整哪个模块，把三角形形状的波（图示）变成正弦波的形状该调整哪个模块等等，分别说说为什么。

3. 设计一个可控制的多进制计数器，有一个控制端 F，输入 $2 \sim 15$ ，如相应的当 $F=3$ 时，功能为三进制计数器， $F=12$ 时，功能为十进制计数器，etc. 给了一块 74LS161，要求：

(1) 还可以使用学过的中规模器件以及门电路

(2) 设计力求简单

(3) 标出 F 控制输入、CLK 计数输入和进位输出。

一、画波形

1. 给出了SR锁存器、主从JK、带异步置0、置1端的边沿D触发器的CLK等，画Q（Q'）波形。
2. p484图10.4.12（a）环形振荡器，要求画出G左右电压的变化波形，并且标出重要的时间及电压参数。

（这个题王红课上曾经提过问题，但是没有讲答案，她有一个癖好，就是特别喜欢考上课提到但是没讲过的题！！！一定要注意听讲，勤答疑啊！！！！）

二、判断题（忽略顺序，想出来一道打一道）

1. 虽然触发器是用来存0存1的，但是实际应用的时候不用它进行长期的储存。
 2. 触发器是利用正反馈实现记忆功能的。
 3. 计数器记的是输入信号，而时钟脉冲起到同步作用。
 4. 和逐次渐近型AD转换器相比，直接型速度快，精度高，而且（注意这个而且！！）电路规模小。
 5. FPGA和PAL都是可编程逻辑器件，而且（！！！！）……这个而且后面具体是什么忘了……不过可以确定是一句比较明显的错误。
 6. 环形振荡器是利用延迟负反馈产生振荡的。
 7. 好像是说RAM和ROM的结构差不多，所以功能也差不多，可以互换使用。
 8. 对于门电路有tpd和tcd，而触发器所对应的时间参数是t(setup)和t(hold)（扯淡！）
 9. 书上讲的由门电路构成的积分型和微分型单稳触发器都不可重复触发（这道题也是上课问过的）
- ……别的记不得了%_<%

三、填空题（忽略顺序）

1. 经典密码锁题！用10进制输入2009开锁，问最少有几个输入变量、几个输出变量、用几个触发器（我觉得是必考题！去年就是2008，估计明年就2010了，不过不会有本质性差别）。
2. 和p484图10.4.12（b）差不多的一个图，只是把C的反馈引回到G1的左边，问这是个什么东西（环形振荡器），求它的振荡周期。
3. p504题10.23问这个是单稳还是多谐振荡（不要看到有Vi输入就写单稳啊！！），还有高电平保持时间T_w（做了这个题就可以写出来的）
4. 一堆ROM的存储容量的题，记得公式就好，位线（又名数据线！）=2ⁿ（地址线），存储容量=位线×字线
5. 做一个14分频的分频器，至少要用多少个JK边沿触发器
6. 两个16位反馈比较型AD转换器，一个是计数型，一个是逐次渐近型，问完成一次转换分别最多需要多少个CLK周期（看书p533和535的公式即可，很简单的）
7. 还有一个和AD转换器有关的不会做的题……貌似是给一个20kHz的CLK信号，问完成一次转换的时间小于多

少……

别的不记得了……

8. 选出可以直接构成环型寄存器的触发器，备选答案大概有SR锁存器、电平D触发等共5个，2分题
- 四、大题

1. 这个题！据说去年也考过！给了一个电路图，不好描述，待会画一下。大概就是两个边沿JK，和一些与非、异或门

- (1) 写出该电路的驱动方程、状态方程、输出方程。
- (2) 该电路是穆尔型还是米利型，能否自启动。

(3) 给出了门电路的tpd、tcd，触发器的tpd、tcd、tsetup、thold，求1N输入信号对触发器作用的tsetup、thold，还有该电路的最小时钟信号周期T_{min}
一定要吧时间参数弄清楚啊！！！！

2. 和最后一次作业很像的一道题，见p551题11.10及其习题解答，也是分为4个模块，让你写出每个模块的名字或用途，写出EPROM向双极DA转换器转换时的V和I5d14...d2d1d0之间的关系，问了几个模块功能的问题，大致包括改变输出电压幅度应该调整哪个模块，改变时钟频率该调整哪个模块，把三角形波的波（图示）变成正弦波的形状该调整哪个模块等等，分别说说为什么。

3. 设计一个可控制的多进制计数器，有一个控制端F，输入2⁻¹5，如相应的当F=3时，功能为三进制计数器，F=12时，功能为十二进制计数器，etc。给了一块74LS161，要求：

- (1) 还可以使用学过的中规模器件以及门电路
- (2) 设计力求简单
- (3) 标出F控制输入、CLK计数输入和进位输出。

◆ 01 级数电考试概述

- 1. 写出 R-SFF、TFF 的特性方程给出了 XYFF 的真值表，用 DFF 来实现（画电路图）
- 2. 一般同步时序逻辑电路的分析方法给出了几个 J-KFF、写出驱动方程，输出方程然后画状态转换图，检查自启动
- 3. 161, 191 算步长
- 4. 施密特触发器构成的多谐振荡器，555 定时器构成的单稳态电路计算参数
- 5. DA 转换，10bit 倒 T 型 AD7520，加上 3—8 线译码器，画 Y 反和 CP 的图
- 6. AD 转换，只考了直接积分型。
- 7. 施密特触发器（没有二极管）a. 给出电路图、问特点、用途 b. 画 $V_o=f(V_i)$ 图 c. 给出四对 R1、R2 值，选择一个合适的
- 8. 类似习题集题 8-18

◆ 02 级数电考试概述

- 3、计数器 IC：考察了 74LS161 和 74LS191
- 3-1、给定了 74LS161 的逻辑电路，求 M，做状态转换图。
- 3-2、用 LD 反构之最大数法，设计 M=11 的 161 电路，作图。
- 3-3、给定 74LS191+74LS138 的电路[顺序脉冲]，求电路功能，做出 CP 以及 Y1 反的时序图。
- 4、集成运算放大器：带有输出箝位的没有偏置的集成运放 SchmittF。
- 4-1、求电路功能， $V_o=f(v_i)$ ，以及电路的主要参数。
- 4-2、给定元件值，求出电路的主要参数。
- 5、555 定时器电路：
- 5-1、求电路功能。[555 多谐振荡器，TTL 的电平转换，CMOS 的微分单稳态触发]
- 5-2、求 555 的主要参数，给定元件值。
- 5-3、求 CMOS 的单稳态电路的主要参数，给定元件值。
- 5-4、做出 555 的 TH、OUT 端，CMOS 触发器两个门的入出端的波形，并标示典型点电压。
- 6、DA 转换器：8 位 T 型电阻网络，带有电压偏移
- 6-1、求 v_o 的表达式。
- 6-2、求 v_o 的输出电压范围。
- 6-3、电路输出误差有哪些，引起的因素是什么。
- [注：这个电路有点奇怪，给的电路上，接运放反相输入的那个电阻居然是 R，不是 2R，如果是 R，那么各位的电流权似乎就不是 2 倍关系了，而且式子复杂，究竟是题目错误，还是故意考察，不知道了。]
- 7、A/D 转换器：10Bit 双积分
- 7-1、给定数值，求输出是多少。
- 7-2、求转换时间是多少，给定 T_{cp} ，输出为上边的值。

◆ 03 级数电考试概述

- 3、计数器分析，161 和 191，求计数位长，状态转换图，再给你一个 138，画出一个 6 位顺序脉冲的电路。（ddmm 们学计数器的时候只学 161 和 191 就行了，老唐考三年了）
- 4、CMOS 施密特，题 6. 12，画波形，给出几个 R 的值，选一组合适的。

- 5、555 计时器，接成单稳态 FF，前面是一个 74LS14 接的多谐振荡器，中间加一个微分电路。让你画波形，算各个 T_w ，然后解释微分电路的作用
- 6、DA 转换
- T 型，带有电平移动，写出 V_o 的方程，算输出区间
- 7、A/D 转换，考了两年间接，zkr 说该考直接了，嗯，他就考直接了。计数器型新进，注意进位，算一个输入量的 Q 输出，并算最长转换时间。

◆ 04 级数电考试概述

- 一、画卡诺图
- 1、用 ABCD 表示的函数，化简为最简与或式，化简为只有原变量表示的最简与非-与非式
- 2、用最大项和无关项表示的函数，化简为最简与或非、最简或与、最简与或式。
- 二、给了一个与非门、一个或门、一个异或门、一个三态门，左边接电阻和电平，给出开关电阻，求门电路的输入特性（TTL 门和 COMS 们分别计算）
- 三、组合逻辑电路，给了一个输出函数，用最简与非门实现函数时，什么时候会出现险象？同时用 253 实现此函数
- 四、分别给出入端有组合电路的维持-阻塞 DFF、TTL 主从 J-KFF（注意一次变化问题）、CMOS 主从 JKFF（上升沿触发），画波形。
- 五、时序逻辑电路（老唐考了四年 161/160 和 191/190 了，ddmm 复习时只要看这个就行了，而且这时再给一个 138 接成顺序脉冲电路的概率非常大）
- 1、给了一个 191，求 M，画时序图
- 2、给了一个 160、一个 138，用他们组成顺序脉冲发生器
- 3、给了一个时序图（3 变量），求用同步 J-KFF 实现此电路，只需要写出输出方程和输入方程
- 六、脉冲、定时电路
- 1、给了一个 CMOS 反相器构成的 schmitt FF、画输入输出波形，给了 4 组电阻，问哪个符合要求
- 2、给了一个 555 定时器接成单稳态电路，求 v_o 的参数
- 七、考了双积分型 A/D 转换电路，
- 1、求 V_I 的范围
- 2、给了一个电压值（4.75），求 Q 以及转换时间。

期末（期中想不起来了，BBS 上也没
有…反正不难但是都不会考得很

好…)

Most important:函数信号发生器年年考!

记住红姐姐的 T_{off} T_{hold} T_{setup} 等等!

一、画波形图 (12 分)
四个小题，分别是 SR 锁存器，主从 JK，边沿 D (带 S 和 R 的)，双 D (前一个的 Q 作为后一个的 D)

二、判断 (12 个)

FPGA、时序、触发器，涵盖面很广，一定要看章节后面的小结
三、填空

1. 密码锁输入 1001110 时开锁，问需要几个输入变量，几个触发器。(实验指导书上有这个实验)

3. 能够直接构成环形寄存器的触发器有：SR 锁存器、边沿 D、电平 D、主从 JK (第二个忘记了)

4 和 5 题都是关于 ROM 的存储容量的，死磕公式。

6. 两个 8 位 A/D 转换器，计数比较型和逐次比较型，问各自完成一次转换最多需要多少个 CLK 周期。

7. ROM 字位线对应关系，看图写数据表。图示与教材 P381 图 7.5.2 非常相像。

四、按要求设计计数器电路，要求为：

(1) 自选一片教材中出现过的中规模器件

(2) 可变进制，M=1 时为 14 进制，M=0 时为 8 进制

(3) 每次计数要求从 0 开始

(4) 进位信号宽度至少为 1 个 CLK 周期

(5) 用尽量少的门电路配合，电路尽量简洁
要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

(1) 写三个方程：驱动方程、状态方程、输出方程

(2) 判断电路是穆尔型还是米利型，能否自启动

(3) (填空) 给出异或门的 T_{pd} 、 T_{cd} ，触发器的 T_{pd} 、 T_{cd} 、 T_{setup} 、 T_{hold} ，求 A_{setup} 、 A_{hold} 、CLK 的最小周期 T_{min}

六、环形振荡器电路分析

图示为教材 P484 图 10.4.12(a)原封不动，反相器为 P84 图 3.3.16(a)，电压传输特性为 P81 图 3.3.12

(1) 如图所示为_____ (我填的“环形振荡器”)

(2) 画出各个波形

(3) 估算 v_o 的振荡周期，并说明其与门电路延迟时间 T_{pd} 以及 RC 参数的关系

(这个问题老师上课时提到过，不过没有详细讲，要求同学自己分析的，搞不明白一定要去答疑)

七、大杂烩 (22 分)

电路是分成 4 个模块的，并未画出各部分的详细内部情况，功能和教材课后题 11.10 相同。把 11.10 那种类型的题搞明白就行了，各个细节都要明白，比如每个模块的具体作用，想要调整电路功能时 (比如将输出的三角波变成正弦波) 需要相应地调整哪个模块。

数电期末考试试题(b卷)

1)将下列逻辑函数化为最小项之和的形式.

2)化简下列逻辑函数(不论方法)

3)用四选一数据选择器设计一个奇偶校验器。

4) 时序逻辑电路的分析。

5) 用两片74LS161设计一个可变速制计数器。

6) 脉冲电路的分析。

7) 分析下列电路能否正常工作。

8) 分析一下电路的输出电压波形及周期。

电路为用石英晶体接成的多谐振荡器，在接移位寄存器74LS194A,再接ROM, 和CB7520.

一. 画波形. 基本RS和主从JK的.

二. 判断. 比较杂, 好多都在书上找不到. 要靠理解, 不过大部分她上课都提过. ms是这样

三. 连一个计数器, M=0时, 五进制, M=1时, 七进制. 原料是74LS160

四. 给一个小东东, 两变量AB输入, 通过给出的输入输出电平关系判断实现的逻辑功能.

并通过所给条件判断噪声容限以及可以的 $V_{OL(max)}$ 等.

五. 写时序电路的状态方程, 驱动方程, 输出方程, 画状态转换图. 考察时间参数.....

六. 给了一个振荡器电路, 画各点波形. 并计算周期. 与占空比

七. CB7520, ROM, 74LS194, 脉冲发生电路. 比较常规的吧, 要写ROM数据表, 画波形. 写状态转换图.

八. 通过各点的波形变换特点. 判断方框内可能的电路. 并选取两个模块, 按照所分析的简单画一下内部的电路实现.

第一题是画触发器波形, 基本SR, 主从JK, 沿触发的D加上异步置位, 异步清零端。

第二题判断, 不说了吧。

第三题填空。能记起的不多:

密码锁: 输入2008开锁, 问需要几个输入变量几个输出变量几个触发器。

万年题: T_{pd} , T_{cd} , T_{setup} , T_{hold} 关系的, 貌似基本和去年题一样。同时也要列出状态方程等, 判断自启动之类。

环形振荡器: 去年也考过的, 估算周期和 T_{pd} 关系。感觉这道题也要成万年题了。

要20分频至少需要多少JK触发器
给ROM规格, 问多少数据线多少地址线

(我看看还能不能回忆出来更多题目, 再说吧)

设计电路: 给一个74161, 要求根据输入的F值(2-16), 计数器变成相应进制。

最后一题是给了一个系统: A模块输出一定频率的时钟信号, B模块由时钟信号产生8位地址信号, C模块将8位地址信号转换成对应的16位波形数据, D模块将波形数据转换成电压输出。

然后就是一堆问, 能记起来的:

写出B, C, D模块用什么实现

C模块需要多大的存储

要改输出电压幅度应该改变哪个模块

要改时钟改哪个模块

要改输出波形改哪个模块

最后是设计A模块: 可根据输入的F1, F2两位输出相应频率的波形, 分别是8MHz, 4MHz, 2MHz, 1MHz

填空题很多忘了, 不知道能记起来多少。

一、画触发器的波形 12 分

- 1、基本 RS 触发器
- 2、同步 RS 触发器
- 3、主从 JK 触发器
- 4、边沿 D 触发器（有异步置零、置 1 端的影响）

二、判断正误 9 分

很琐碎的东西，涉及 FPGA、触发器、施密特触发器等等

三、ROM 存储容量的计算和扩展 4 分

四、用 2 个 74LS161 组成可控进制的计数器

30 进制和 31 进制

注意 74LS161 是同步置数

五、用 555 接成的一个单稳态触发器和多谐振荡器串接画波形，算周期、占空比。

六、环形振荡器原理性电路波形分析和周期估算（书上没有）

画波形，算周期、谈关系

七、CB7520+ROM+移位寄存器+多谐振荡器的题课本和帮你学上有很多类似的

八、时序逻辑电路分析，写方程、画状态转换图

有输入变量，算动态参数（这部分全部来自课件）

九、根据波形变化判断方框里是什么电路，开放性题目

题量较大，比较郁闷

一.触发器的波形,给定初始 Q=0,根据输入画输出波形.

1.同步 RS 触发器,画出 Q 和 Q 反 CP 信号与书上一般的题目不同.

2.主从 JK 触发器,画出 Q.

二.判断题

涵盖各个章节,第二章有 OC 门和三态门,第三章有组合和时序电路的特点,第六章有施密特触发器,第七章有 ROM,第八章有 FPGA,第九章有直接 A/D 转换器,其他不记得了...

三.RAM,给定 RAM 单元(字数和位数)

1.写出存储量.

2.进行字/位扩展.

3.用一个 74LS136 3-8 译码器能实现多少存储量,给定位数.

四.给出 5 个触发器,判断哪些能直接串连构成移位寄存器,包括主从 JK,DT,同步 RS,基本 RS.

五."Smile"器件(红姐姐给的名字),双输入 A/B,单输出 C.

A/B 一个或都小于 1V,则 C 至少为 2.5V

A/B 均大于 2V,C 小于 0.5V

1.判断 C 与 A/B 关系

2.求 $V(OLmax)$ / $V(Imax)$ / $V(OHmin)$ / $V(IHmin)$

六.连一个计数器,M=0 时,五进制,M=1 时,七进制,原料是 74LS160.

1.画出电路

2.标出输入信号和进位输出信号

3.要求进位输出信号宽度不小于一个 CLK 周期.

七.给定多谐振荡器,要求画出波形,并计算周期几占空比.

八.给定单输入 X 和输出 Y 的时序电路(有两个 D 触发器和一个与非,具体电路无法描述...)

1.写出驱动方程/状态方程/输出方程

2.画出电路状态转换图

3.给出所有的 $T(p,d)$ / $T(c,d)$ D 触发器的 $T(Setup)$ / $T(hold)$,求 (1)X 需要的 $T(Setup)$ / $T(hold)$ (2)CLK 的最小周期

九.有多谐振荡器提供 74LS194 的 CLK 信号,74LS194 输出接入 ROM 的 4 个输入.ROM 的 4 个输出接入 CB7520.74LS194 的初始状态给定.

1.判断 74LS194 的工作状态

2.画出 74LS194 的状态转换图.

3.写出 ROM 完整的数据表

4.计算电路频率

5.画最终 CB7520 的输出波形.

十.开放性题,给定 5 个模块,给出每个模块的输出波形.

1.判断每个模块可能为什么电路或起什么功能.

2.从 5 个中选取两个画电路原理图.

一、画波形图 (12 分)

四个小题,分别是 SR 锁存器,主从 JK,边沿 D (带 S 和 R 的),双 D (前一个的 Q 作为后一个的 D)

二、判断 (12 个)

FPGA、时序、触发器,涵盖面很广,一定要看章节后面的小结

三、填空

1.密码锁输入 1001110 时开锁,问需要几个输入变量,几个触发器。(实验指导书上有这个实验)

3.能够直接构成环形寄存器的触发器有:SR 锁存器、边沿 D、电平 D、主从 JK (第二个忘记了)

4和 5 题都是关于 ROM 的存储容量的,死磕公式。

6.两个 8 位 A/D 转换器,计数比较型和逐次比较型,问各自完成一次转换最多需要多少个 CLK 周期。

7.ROM 各位线对应关系,看图写数据表。图示与教材 P381 图 7.5.2 非常相像。

四、按要求设计计数器电路,要求为:

(1)自选一片教材中出现过的中规模器件

(2)可变进制, M=1 时为 14 进制, M=0 时为 8 进制

(3)每次计数要求从 0 开始

- (4) 进位信号宽度至少为 1 个 CLK 周期
(5) 用尽量少的门电路配合，电路尽量简洁
要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

- (1) 写三个方程：驱动方程、状态方程、输出方程
(2) 判断电路是穆尔型还是米利型，能否自启动
(3) (填空) 给出异或门的 T_{pd} 、 T_{cd} ，触发器的 T_{pd} 、 T_{cd} 、 T_{setup} 、 T_{hold} ，求 A_{setup} 、 A_{hold} 、CLK 的最小周期 T_{min}

六、环形振荡器电路分析

图示为教材 P484 图 10.4.12(a)原封不动，反相器为 P84 图 3.3.16(a)，电压传输特性为 P81 图 3.3.12

(1) 如图所示为_____（我填的“环形振荡器”）

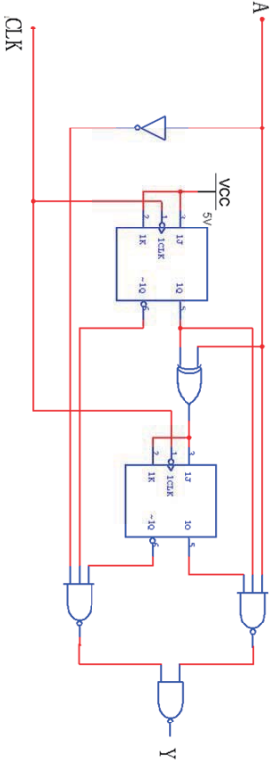
(2) 画出各个波形

(3) 估算 V_0 的振荡周期，并说明其与门电路延迟时间 T_{pd} 以及 RC 参数的关系

（这个问题老师上课时提到过，不过没有详细讲，要求同学自己分析的，搞不明白一定要去答疑）

七、大杂烩（22 分）

电路是分成 4 个模块的，并未画出各部分的详细内部情况，功能和教材课后题 11.10 相同。把 11.10 那种类型的题搞明白就行了，各个细节都要明白，比如每个模块的具体作用，想要调整电路功能时（比如将输出的三角波变成正弦波）需要相应地调整哪个模块。



第一题是画触发器波形，基本 SR，主从 JK，沿触发的 D 加上异步置位，异步清零端。
第二题判断，不说了吧。

第三题填空。能记起的不多：

密码锁：输入 2008 开锁，问需要几个输入变量几个输出变量几个触发器。

万年题： T_{pd} 、 T_{cd} 、 T_{setup} 、 T_{hold} 关系的，貌似基本和去年题一样。同时也要列出状态方程等，判断自启动之类。

环形振荡器：去年也考过的，估算周期和 T_{pd} 关系。感觉这道题也要成万年题了。

要 2 0 分频至少需要多少 J K 触发器

给 ROM 规格，问多少数据线多少地址线

（我看看还能不能回忆出来更多题目，再说吧）

设计电路：给一个 7 4 1 6 1，要求根据输入的 F 值（2—16），计数器变成相应进制。
最后一题是给了一个系统：A 模块输出一定频率的时钟信号，B 模块由时钟信号产生 8 位地址信号，C 模块将 8 位地址信号转换成对应的 16 位波形数据，D 模块将波形数据转换成电压输出。

然后就是一堆问，能记起来的：

写出 B、C、D 模块用什么实现

C 模块需要多大的存储

要改输出电压幅度应该改变哪个模块

要改时钟改哪个模块

要改输出波形改哪个模块

最后是设计 A 模块：可根据输入的 F1、F2 两位输出相应频率的波形，分别是 8MHz，4MHz，2MHz，1MHz

填空题很多忘了，不知道能记起来多少

$JK(c d) > JK(h o l d) - G(c d)$
 $JK(p d) + G(p d) + JK(s e t u p) < T$
 $A(s e t u p) > G(p d) + JK(s e t u p)$
 $A(h o l d) > JK(h o l d) - G(c d)$

2008-2009 学年秋_数电_王红_期末

第一题是画触发器波形，基本 SR，主从 JK，沿触发的 D 加上异步置位，异步清零端。

第二题判断，不说了吧。

第三题填空，能记起的不多：

密码锁：输入 2008 开锁，问需要几个输入变量几个输出变量几个触发器。

万年题：Tpd，Tcd，Tsetup，Thold 关系的，貌似基本和去年题一样，同时也要列出状态方程等，判断自启动之类。

环形振荡器：去年也考过的，估算周期和 Tpd 关系，感觉这道题也要成万年题了。

要 2 0 分频至少需要多少 J K 触发器

给 ROM 规格，问多少数据线多少地址线

（我看看还能不能回忆出来更多题目，再说吧）

设计电路：给一个 7 4 1 6 1，要求根据输入的 F 值（2—1 6），计数器变成相应进制。

最后一题是给了一个系统：A 模块输出一定频率的时钟信号，B 模块由时钟信号产生 8 位地址信号，C 模块将 8 位地址信号转换成对应的 16 位波形数据，D 模块将波形数据转换成电压输出。

然后就是一堆问，能记起来的：

写出 B,C,D 模块用什么实现

C 模块需要多大的存储

要改输出电压幅度应该改变哪个模块

要改输出波形改哪个模块

最后是设计 A 模块，可根据输入的 F1,F2 两位输出相应频率的波形，分别是 8MHz，4MHz，2MHz，1MHz

填空题很多忘了，不知道能记起来多少

@2007-2008 学年秋_数电_王红_期末

一、画波形图（12 分）

四个小题，分别是 SR 锁存器，主从 JK，边沿 D（带 S 和 R 的），双 D（前一个的 Q 作为后一个的 D）

二、判断（12 个）

FPGA、时序、触发器，覆盖面很广，一定要看章节后面的小结

三、填空

1. 密码锁输入 1001110 时开锁，问需要几个输入变量，几个触发器。（实验指导书上有这个实验）

3. 能够直接构成环形寄存器的触发器有：SR 锁存器、边沿 D、电平 D、主从 JK（第二个忘记了）

4 和 5 题都是关于 ROM 的存储容量的，死磕公式。

6. 两个 8 位 A/D 转换器，计数比较型和逐次比较型，问各自完成一次转换最多需要多少个 CLK 周期。

7. ROM 字位线对应关系，看图写数据表。图示与教材 P381 图 7.5.2 非常相像。

四、按要求设计计数器电路，要求为：

(1) 自选一片教材中出现过的中规模器件

(2) 可变进制，M=1 时为 14 进制，M=0 时为 8 进制

(3) 每次计数要求从 0 开始

(4) 进位信号宽度至少为 1 个 CLK 周期

(5) 用尽量少的门电路配合，电路尽量简洁

要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

(1) 写三个方程：驱动方程、状态方程、输出方程

(2) 判断电路是摩尔型还是米利型，能否自启动

(3)（填空）给出异或门的的 T(pd)，T(cd)，触发器的 T(pd)，T(cd)，T(setup)，Thold)，求 A(setup)，A(hold)，CLK 的最小周期 T(min)

六、环形振荡器电路分析

图示为教材 P484 图 10.4.12(a)原封不动，反相器为 P84 图 3.3.16(a)，电压传输特性为 P81 图 3.3.12

(1) 如图示为_____（我填的“环形振荡器”）

(2) 画出各个波形

(3) 估算 V_o 的振荡周期，并说明其与门电路延迟时间 T(pd)以及 RC 参数的关系

（这个问题老师上课时提到过，不过没有详细讲，要求同学自己分析的，搞不明白一定要去答疑）

七、大杂烩（22 分）

电路是分成 4 个模块的，并未画出各部分的详细内部情况，功能和教材课后题 11.1.10 相同。把 11.1.10 那种类型的题搞明白就行了，各个细节都要明白，比如每个模块的具体作用，想要调整电路功能时（比如将输出的三角波变成正弦波）需要相应地调整哪个模块。

2005-2006 学年秋_数电_王红_期末

2005 学年秋季学期电子技术基础期末考试卷-王红-A 卷

时间 2h+15min

一、触发器的波形给定初始 Q=0,根据输入画输出波形。

1. 同步 RS 触发器,画出 Q 和 Q 反 CP 信号与书上一般的题目不同。

2. 主从 JK 触发器,画出 Q。

二、判断题

涵盖各个章节,第二章有 OC 门和三态门,第三章有组合和时序电路的特点,第六章有施密特触发器,第七章有 ROM,第八章有 FPGA,第九章有直接 A/D 转换器,其他不记得了...

三、RAM 给定 RAM 单元(字数和位数)

1. 写出存储量。

2. 进行字/位扩展。

3. 用一个 74LS136 3-8 译码器能实现多少存储量,给定位数。

四. 给出 5 个触发器,判断哪些能直接串连构成移位寄存器,包括主从 JK,D,T,同步 RS 基本 RS。

五、“smile”器件(红姐给的名字),双输入 A/B,单输出 C。

A/B 一个或都小于 1V,则 C 至少为 2.5V

A/B 均大于 2V,C 小于 0.5V

1. 判断 C 与 A/B 关系

2. 求 V(OLmax)V(OLmin)V(OHmin)V(Hmin)

六. 连一个计数器,M=0 时,五进制,M=1 时,七进制 原料是 74LS160。

1. 画出电路

2. 标出输入信号和进位输出信号

3.要求进位输出信号宽度不小于一个 CLK 周期。

七.给定多谐振荡器,要求画出波形,并计算周期几占空比.

八.给定单输入 X 和输出 Y 的时序电路(有两个 D 触发器和一个与非门,具体电路无法描述..)

1.写出驱动方程/状态方程/输出方程

2.画出电路状态转换图

3.给出所有的 T(pd),T(cd),D 触发器的 T(setup),T(hold),求

(1)X 需要的 T(setup),T(hold) (2)CLK 的最小周期

九.有多谐振荡器提供 74LS194 的 CLK 信号,74LS194 输出接入 ROM 的 4 个输入,ROM 的 4 个输出接入 CB7520,74LS194 的初始状态给定.

1.判断 74LS194 的工作状态

2.画出 74LS194 的状态转换图.

3.写出 ROM 完整的数据表

4.计算电路频率

5.画最终 CB7520 的输出波形.

十.开放性题,给定 5 个模块,给出每个模块的输出波形.

1.判断每个模块可能为什么电路或起什么功能.

2.从 5 个中选取两个画电路原理图.

2004~2005 学年第 二学期 数电 王红_期末

数字电路技术基础 王红 2005 年春

A 卷 开卷

时间 2h + 15min

一、画触发器的波形 12 分

1、基本 RS 触发器

2、同步 RS 触发器

3、主从 JK 触发器

4、边沿 D 触发器（有异步置零、置 1 端的影响）

二、判断正误 9 分

9 个

很琐碎的东西，涉及 FPGA、触发器、施密特触发器等

三、ROM 存储容量的计算和扩展 4 分

四、用 2 个 74LS161 组成可控进制的计数器

30 进制和 31 进制

注意 74LS161 是同步置数

五、用 555 接成的一个单稳态触发器和多谐振荡器串接

画波形，算周期，占空比。

六、环形振荡器原理性电路波形分析和周期估算（书上没有）

画波形，算周期，谈关系

七、CB7520+ROM+移位寄存器+多谐振荡器的题

课本和帮你学上有很多类似的

八、时序逻辑电路分析，写方程、画状态转换图

有输入变量，算动态参数（这部分全部来自课件）

九、根据波形变化判断方程里是什么电路，开放性题目

题量较大，比较郁闷

-

2001~2002 学年秋_数电_王红_期末

数电期末考试试题(6 卷)

1)将下列逻辑函数化为最小项之和的形式

2)化简下列逻辑函数(不论方法)

3) 用四选一数据选择器设计一个奇偶校验器。

4) 时序逻辑电路的分析。

5) 用两片 74LS161 设计一个可变进制计数器。

6) 脉冲电路的分析。

7) 分析一下电路能否正常工作。

8) 分析一下电路的输出电压波形及周期。

电路为用石英晶体振荡的多谐振荡器，在接移位寄存器 74LS194A,再接 ROM,和 CB7520.