1. 预习报告

|  |  |
| --- | --- |
| **电路模块** | **功能** |
| 一位加法器 | 两个数，一个仅为的加法 |
| 三位全加器 | 两个三位二进制数的加法 |
| 运算器 | 两个三位二进制数的加减法 |
| 四位二进制数转十进制数模块 | 将一个四位二进制数转为十进制数 |
| 二选一数据选择器 | 从两个输入中选通输出一个 |
| 四选一数据选择器 | 从四个输入中选通输出一个 |
| 7448译码器 | 将二进制数变为可以向数码管输入信号 |

1. 拨码开关八个；

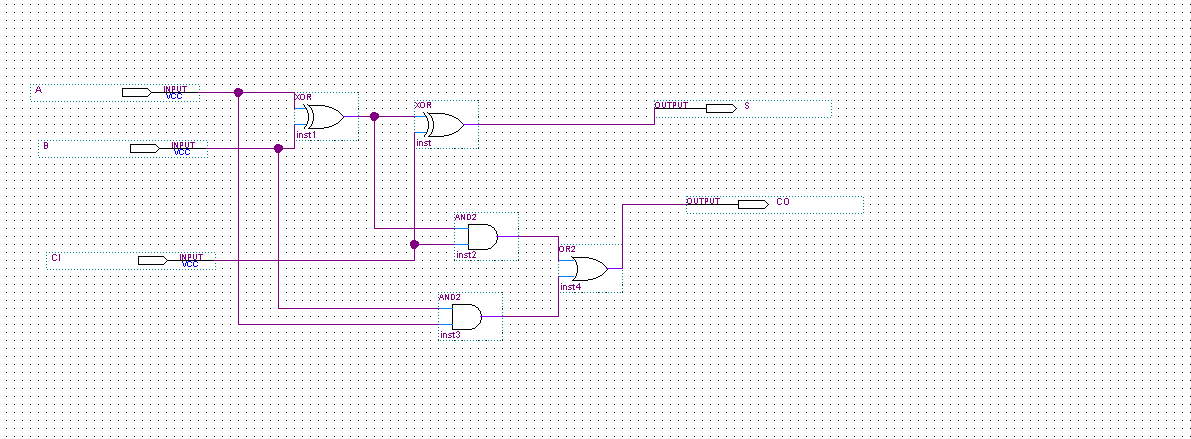
独立按键四个；

4 位扫描显示数码管，共阳极，信号从阳极输入，从阴极实现选通，并且需要7448译码器；

Led八个，本次实验只需要一个；

1. 设计思路

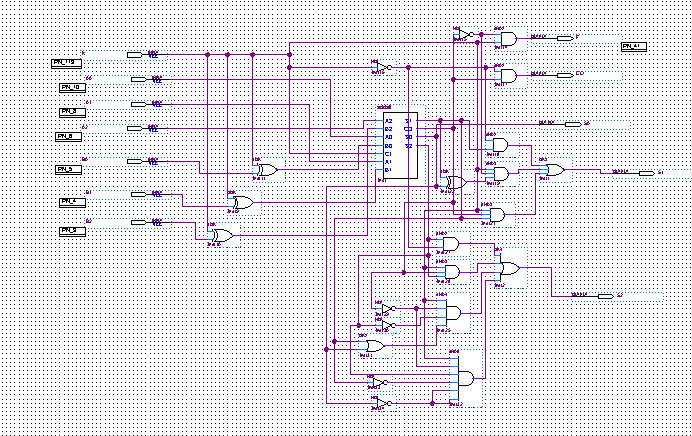
按照老师的实验任务为思路进行。

1. 

按照如实电路完成一个一位全加器，并将它封装成器件

1. 使用封装好的一位全加器完成三位加法器。
2. 使用全加器完成运算器，逻辑上通过写真值表得到逻辑表达式。电路实现如图

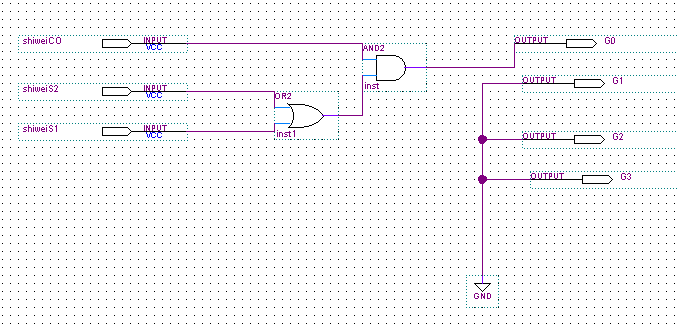
（其中addall芯片是全加器模块），再将它封装成运算器模块。

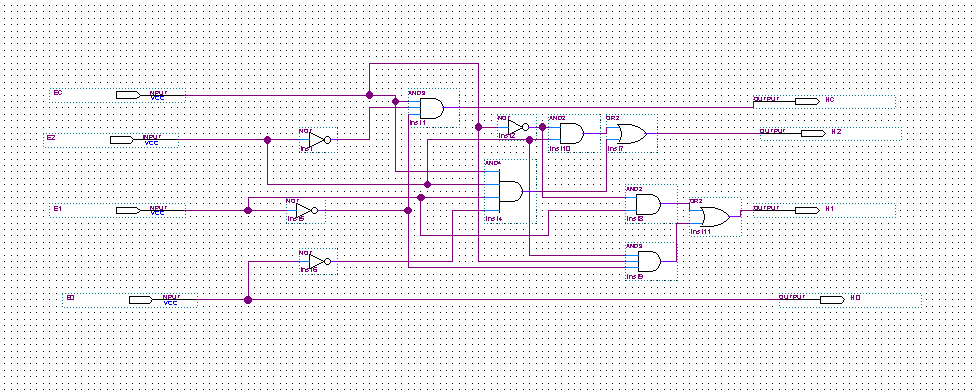


1. 完成将一个四位二进制数转化为两个不超过9的二进制数，一个为十进制10位，一个为个位，例如1110（14）转化为0001和0100，就是十进制的十位1和个位4；

十位转化器逻辑表达式通过观察可得，个位由真值表得到；

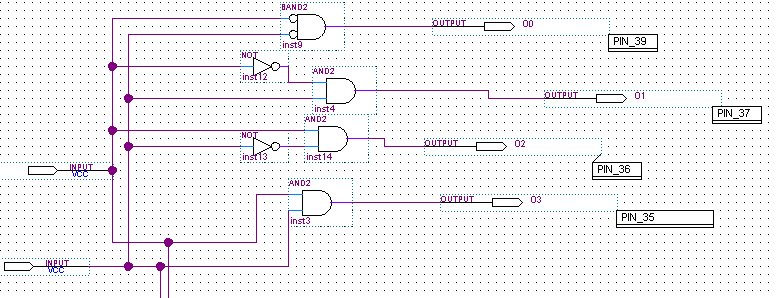
**4位二进制数转化为10进制数的十位的电路图**



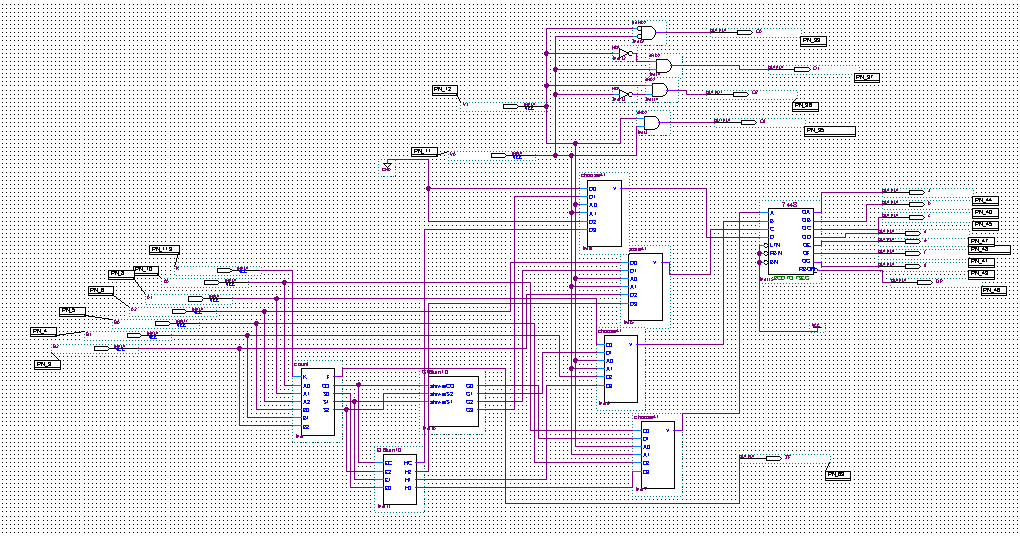


**4位二进制数转化为10进制数的个位的电路图**

1. 完成二选一数据选择器，采用的是eda讲座中的电路，封装成模块
2. 用二选一完成四选一；
3. 用四个四选一数据选择器完成在数码管阳极的选择，从被加数，加数，输出十位，输出个位中选择一个输出到数码管



用如图所示电路完成对数码管阴极的选通。输出端O1-O3分别接数码管阴极，这本质也是一个四选一，但我觉得直接用门电路实现就很容易所以没有封装。



1. 顶层设计

通过对阴极的选通实现扫描，实质依然是4选一

完成对阳极输入的四选一

7448译码器

四位二进制数转为十进制数的个位

全加器

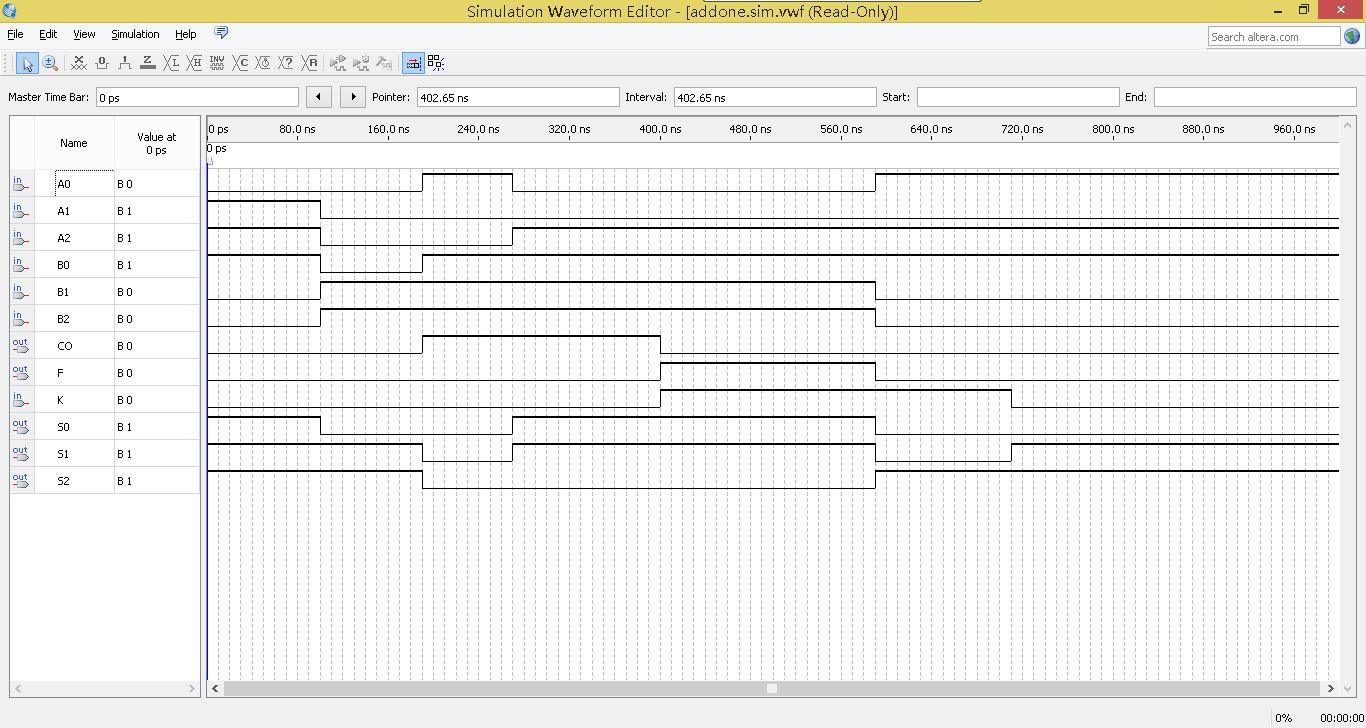
显示负数的信号

四位二进制数转为十进制数的十位

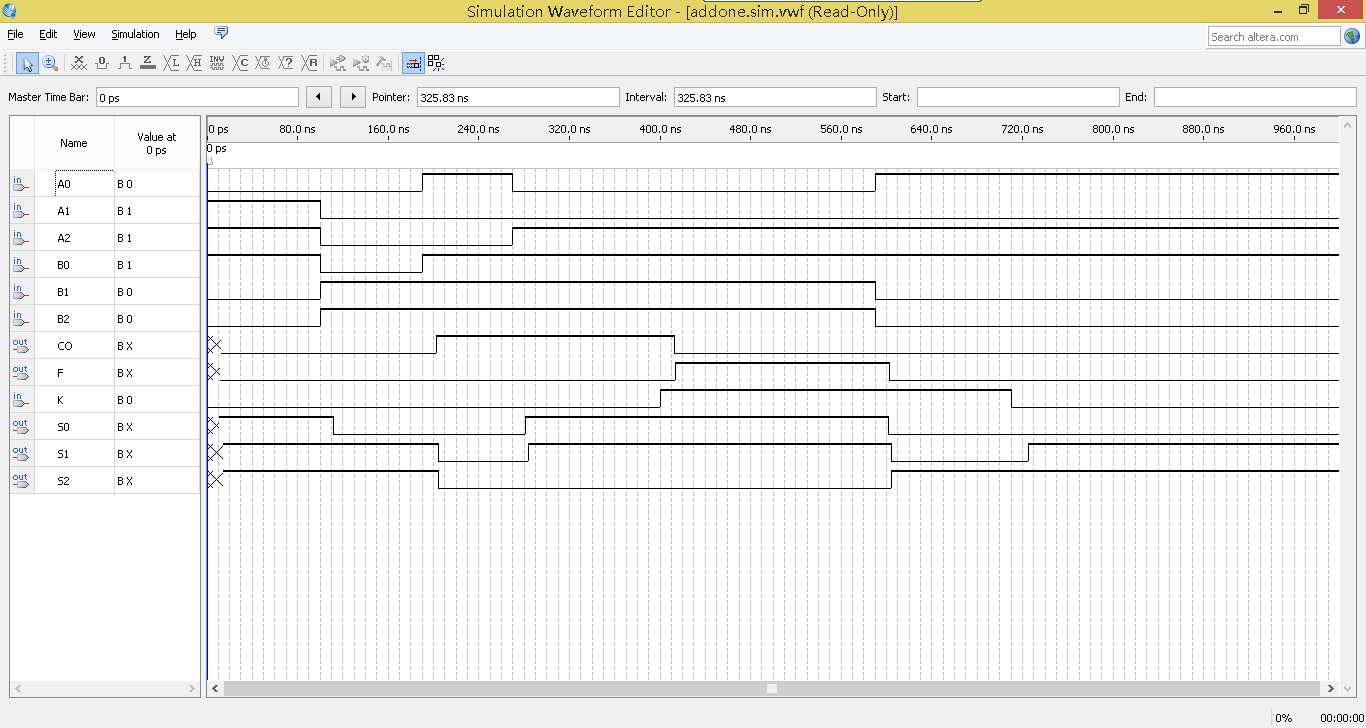
1. 仿真图

使用相同的输入波形进行仿真更清楚地看到传输延迟

全加器功能仿真



全加器时序仿真



1. 问题及解决办法
2. 软件的问题：在完成第一个全加器后我想将它烧录到FPGA中进行实验。但由于在视频中看到的不符的是没有找到.sof文件/我以为是电路设计的问题，所以进行了多次仿真修改，最后发现是软件没有破解的原因，所以建议老师提醒同学们只有装正版或者是破解的盗版才能生成sof文件，试用版没有这个功能。
3. 在设计过程中我对用几个四选一数据选择器有过犹豫。一开始我觉得虽然有四个数，但已经是四选一选择器所以只需要三个就足够了。但完成设计过程中发现思路的问题，用四选一是因为有四个数要从中选择，而还需要四个四选一选择器是因为这四个数位数最多的一个是四位二进制。
4. 调试过程未遇到太多问题，一次成功。