djm09thu@gmail.com

EDA大作业

**3位二进制运算器及其数码管扫描显示电路**

电92 丁健民 2009010942

# EDA大作业

# 3位二进制运算器及其数码管扫描显示电路

# 设计文档

**电92 丁健民 2009010942**

## 引言

### 设计目的

1. 学习面向FPGA的简单数字系统的设计流程。
2. 掌握EDA软件Quartus II的原理图输入方式。
3. 熟悉实验装置——实验板，掌握板上外设的工作原理。

### 参考文献

1. 《数字电子技术基础（第五版）》清华大学电子学教研组编；阎石主编；高等教育出版社，2006
2. 《电子电路实验》高文焕等编著；清华大学出版社，2008

## 任务概述

### 设计目标

**任务1:**

在可编程逻辑器件上实现一个运算器，可以进行3位二进制数（无符号数）的加减运算，要求用原理图的输入方式完成。

用实验板上的按键和拨码开关模拟输入，用发光二极管显示计算结果和标志位。具体内容及步骤如下：

1. 设计一个1位二进制全加器。运用波形仿真检查功能正确后，将其封装成1位全加器模块。
2. 以（1）中已经封装的1位全加器模块为基础实现一个3位二进制全加器，并仿真检查功能正确与否。
3. 以（2）中的3位全加器模块为基础实现一个3位二进制运算器，可以完成：

①加法运算S=M+N，输出显示和与进位标志。

②减法运算S=M-N，输出显示差的原码与借位标志。

1. 将运算结果显示在一位数码管上，标志位显示在发光二极管上。（可选用库中的译码器7447或自行设计译码器）
2. 下载到实验板上验证功能。

**任务2：**

设计一个4位数码管的扫描显示电路。将任务1中的两个运算数和运算结果根据拨码开关B1B0的状态在4位数码管上轮流显示，如下表所示。标志位在发光二极管下显示，要求用原理图的输入方式完成。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| B1B0 | 数码管1 | 数码管2 | 数码管3 | 数码管4 |
| 00 | M | 不亮 | 不亮 | 不亮 |
| 01 | 不亮 | N | 不亮 | 不亮 |
| 10 | 不亮 | 不亮 | S | 不亮 |
| 11 | 不亮 | 不亮 | 不亮 | 0 |

### 运行环境

Quartus II 9.0

## 总体设计思路

### 任务1

### 任务2

## 详细模块设计

### 1位二进制全加器模块

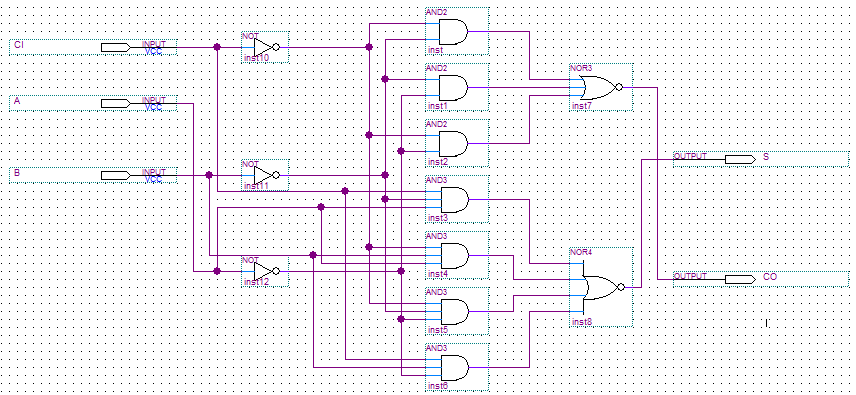


图1 1位二进制全加器

**【模块说明】**

**工程文件路径：**

2009010942\EX1\adder1\adder1.qdf

**功能：**

实现两个1位二进制数与来自低位进位的加法运算，输出和及向高位进位。

**输入端：**

CI：来自低位的进位A：加数B：被加数

**输出端：**

CO：向高位的进位S：本位结果

**真值表：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| CI | A | B | S | CO |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**逻辑表达式：**





**封装为模块：**



### 3位二进制全加器模块

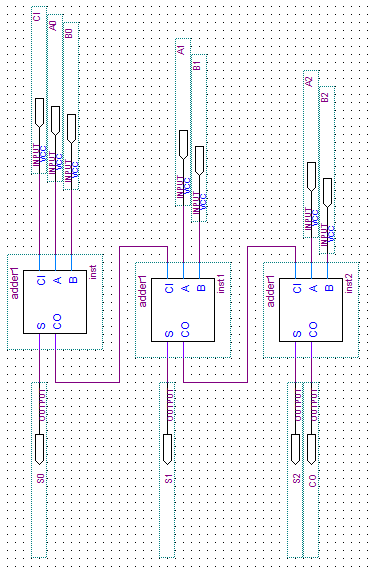


图2 3位二进制全加器

**【模块说明】**

**工程文件路径：**

2009010942\EX1\adder2\adder2.qdf

**功能：**

实现两个3位二进制数与来自低位进位的加法运算，输出和及向高位进位。

**设计思路：**

以1中的1位二进制全加器模块为基础，依次将低位全加器的进位输出端接到高位全加器的进位输入端CI，就可以构成多位二进制全加器。因每一位的相加结果都需要等到低一位的进位产生后才能建立起来，因此是串行进位加法器。

**输入端：**

CI：来自低位的进位A0：加数最低位A1：加数第二位A3：加数第三位

B0：被加数最低位B1：被加数第二位B2：被加数第三位

**输出端：**

CO：向高位的进位S0：最低位结果S1：第二位结果S2：第三位结果

**封装为模块：**



### 3为二进制运算器模块

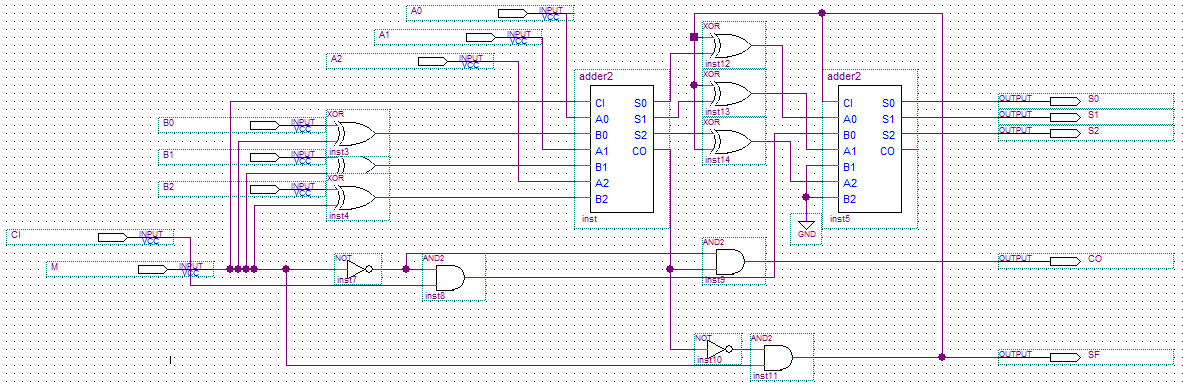


图3 3位二进制运算器

**【模块说明】**

**工程文件路径：**

2009010942\EX1\adder3\adder3.qdf

**功能：**

通过控制端M使两个3位二进制数进行加法或减法运算，进行加法运算时有来自低位的进位，输出和及向高位的进位；进行减法运算时输出差的原码及借位标志。

**设计思路：**

3位二进制运算器是此次EDA作业任务的一个关键突破点和难点。

基于3位二进制全加器模块，根据二进制的加减运算方法可知，若M=0时进行两个3位数A2A1A0和B2B1B0的相加运算，则直接将两数接到3位二进制全加器模块的输入端就行了。

而如果要在M=1时进行A2A1A0—B2B1B0的运算，则应该将b2b1b0变成补码与A2A1A0的补码（与原码相同）相加，为此，需要将B2B1B0的每一位取反，同时在最低位加1。

为满足上述要求，可将B2、B1、B0与M作异或运算后加到3位二进制全加器上，同时将M接至全加器的进位输入端CI。

此时第一片全加器输出的运算结果是补码形式，为显示运算结果的原码形式，需将输出S2S1S0取补码。

为满足此要求，我们将结果的符号位SF与S2、S1、S0（第一片全加器的输出）作异或运算后加到第二片3位二进制全加器上，同时将符号位SF接至第二片全加器的进位输入端CI。此时第二片全加器的输出S2S1S0即为原码形式。

另，加法运算时有来自低位的进位，而减法运算时则来自低位的进位无效，为此，我们将来自低位的进位CI与M’相与后接到第二片全加器的B0，B1、B2则接低电平。

加法运算时的进位标志CO由第一片全加器的进位输出CO与M’相与得到。

减法运算时借位标志（或称符号位）SF则由第一片全加器的进位输出CO取反后与M相与得到。

**输入端：**

M：控制进行加法还是减法运算（低电平进行加法运算，高电平进行减法运算）

CI：来自低位的进位（加法时有效，减法时无效）

A0、A1、A2：加数（或被减数）最低位、第二位、第三位

B0、B1、B2：被加数（或减数）最低位、第二位、第三位

**输出端：**

CO：（进行加法运算时）向高位的进位

SF：（进行减法运算时）借位标志（也是符号位）

S0：运算最低位结果

S1：运算第二位结果

S2：运算第三位结果

**封装为模块：**



### 3位二进制运算器一位数码管显示电路

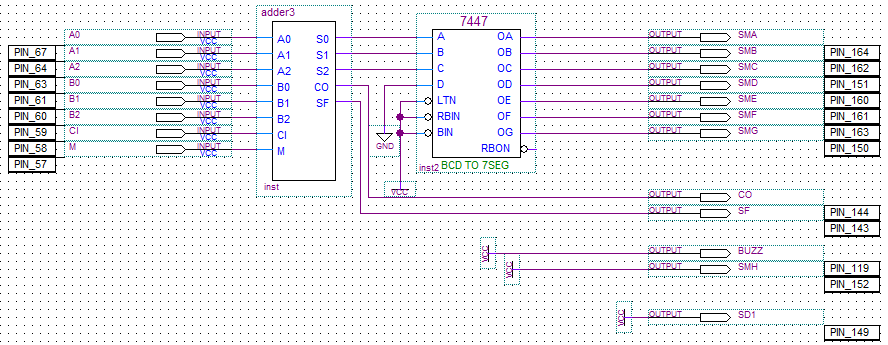


图4 3位二进制运算器1位数码管显示电路

**【模块说明】**

**工程文件路径：**

2009010942\EX1\adder4\adder4.qdf

**功能：**

将3位二进制运算器的运算结果显示在1位数码管上，将标志位（加法时进位标志和减法时借位标志）显示在发光二极管上。

**设计思路：**

将3位二进制运算器模块的输出S2、S1、S0接至BCD—七段显示译码器7447的输入端C、B、A，将D接地，附加控制端接高电平。则7447的输出OA~OG将控制数码管显示相应的运算结果。

将加法时的进位标志CO和减法时的借位标志SF（或称符号位）通过对应的LD的亮灭来显示。

因只需通过1位数码管显示，因此只需将第1位数码管的亮灭控制端SD1接高电平。

**管脚锁定：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入端  /输出端 | 原理图上  信号名 | EP2C5Q208C8N  引脚号 | 输入端  /输出端 | 原理图上  信号名 | EP2C5Q208C8N  引脚号 |
| A0 | SB0 | 67 | SMA | SMA | 164 |
| A1 | SB1 | 64 | SMB | SMB | 162 |
| A2 | SB2 | 63 | SMC | SMC | 151 |
| B0 | SB3 | 61 | SMD | SMD | 160 |
| B1 | SB4 | 60 | SME | SME | 161 |
| B2 | SB5 | 59 | SMF | SMF | 163 |
| CI | SB6 | 58 | SMG | SMG | 150 |
| M | SB7 | 57 | SMH | SMH | 152 |
| CO | LD1 | 144 | SD1 | SD1 | 149 |
| SF | LD2 | 143 | BUZZ | BUZZ | 119 |

**输入端：（全由拨码开关进行控制）**

M：控制进行加法还是减法运算（低电平进行加法运算，高电平进行减法运算）

CI：来自低位的进位（加法时有效，减法时无效）

A0、A1、A2：加数（或被减数）最低位、第二位、第三位

B0、B1、B2：被加数（或减数）最低位、第二位、第三位

**输出端：**

CO：（进行加法运算时）向高位的进位

SF：（进行减法运算时）借位标志

SMA~SMG：BCD—七段显示译码器7447的输出，控制数码管显示结果。

SMH：数码管小数点控制端，接高电平表示默认不显示小数点。

BUZZ：FPGA开发板蜂鸣器控制端，接高电平表示默认蜂鸣器不发声。

SD1：数码管亮灭控制端，接高电平表示数码管1亮。

而SD2~SD4未接高电平表示数码管2、3、4不亮。

### 数据选择器模块

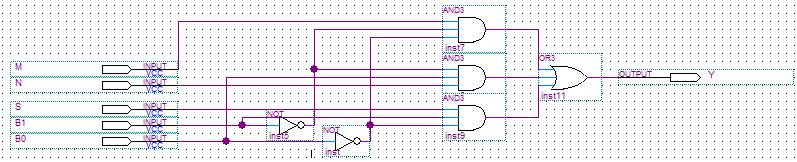


图5 3选1数据选择器模块

**【模块说明】**

**工程文件路径：**

2009010942\EX2\choice\choice.qdf

**功能：**

根据数据选择端B1和B0的状态，将M、N、S、0之一输出。B1B0=00输出M，B1B0=01输出N，B1B0=10时输出S，B1B0=0时输出0。

**输入：**

M、N、S：数据端B1、B0：数据选择端

**输出：**Y

**真值表：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 |
| B1 | B0 | M | N | S | Y |
| 0 | 0 | 0 | X | X | 0 |
| 0 | 0 | 1 | X | X | 1 |
| 0 | 1 | X | 0 | X | 0 |
| 0 | 1 | X | 1 | X | 1 |
| 1 | 0 | X | X | 0 | 0 |
| 1 | 0 | X | X | 1 | 1 |
| 1 | 1 | X | X | X | 0 |

**逻辑表达式：**



**封装成模块：**

****

### 3位二进制运算器4位数码管扫描显示电路

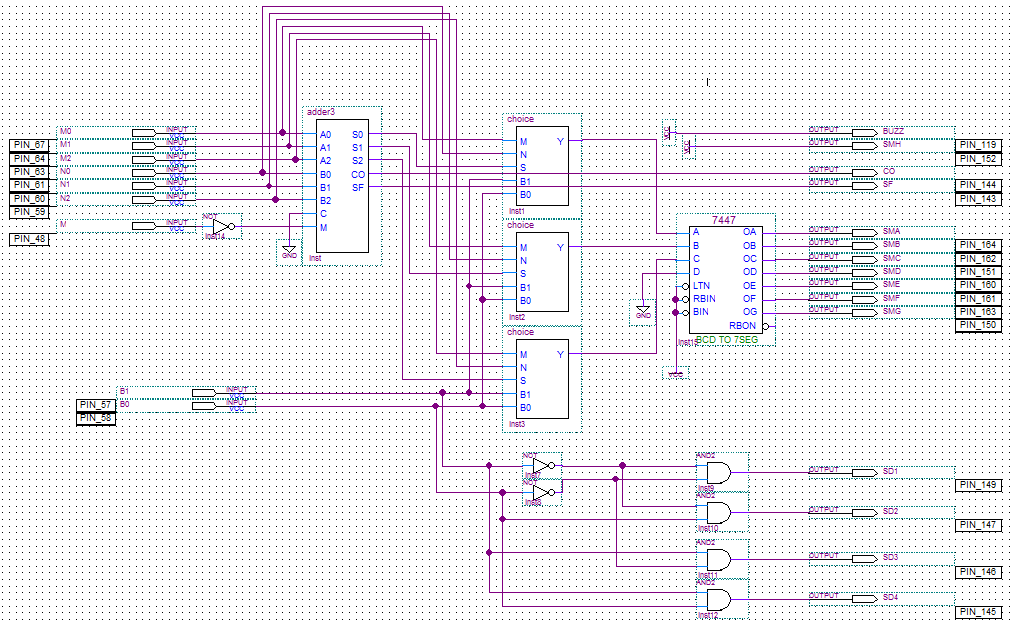


图6 3位二进制运算器4位数码管扫描显示电路

**【模块说明】**

**工程文件路径：**

2009010942\EX2\EX2\EX2.qdf

**功能：**

同任务2的要求，将3位二进制运算器的两个运算数和运算结果根据拨码开关B1B0的状态在4位数码管上轮流显示，标志位（加法时进位标志和减法时借位标志）在发光二极管上显示。

**设计思路：**

将3位二进制运算器的两个运算数和运算结果分别接到三个数据选择器的M、N、S端，数据选择端使用同一控制信号B1B0，则根据B1B0的状态将M（加数或被减数）、N（被加数或减数）、S（运算结果，加还是减由M控制）或0（低电平）之一输出至译码器7447的输入端A、B、C，7447的输出OA~OG将控制数码管显示B1B0状态对应的运算数或运算结果或0。

此时4位数码管将显示相同的结果，为根据B1B0的状态使只有对应的1位数码管亮，其他数码管灭，根据下列逻辑表达式：

，，，

将相应的数码管亮灭控制端接高电平，其他数码管亮灭控制端接低电平，从而实现扫描显示效果。

**管脚锁定：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入端  /输出端 | 原理图上  信号名 | EP2C5Q208C8N  引脚号 | 输入端  /输出端 | 原理图上  信号名 | EP2C5Q208C8N  引脚号 |
| M0 | SB0 | 67 | SMA | SMA | 164 |
| M1 | SB1 | 64 | SMB | SMB | 162 |
| M2 | SB2 | 63 | SMC | SMC | 151 |
| N0 | SB3 | 61 | SMD | SMD | 160 |
| N1 | SB4 | 60 | SME | SME | 161 |
| N2 | SB5 | 59 | SMF | SMF | 163 |
| B0 | SB6 | 58 | SMG | SMG | 150 |
| B1 | SB7 | 57 | SMH | SMH | 152 |
| M | RST | 48 | SD1 | SD1 | 149 |
| CO | LD1 | 144 | SD2 | SD2 | 147 |
| SF | LD2 | 143 | SD3 | SD3 | 146 |
| BUZZ | BUZZ | 119 | SD4 | SD4 | 145 |

**输入端：（全由拨码开关或按键进行控制）**

M：控制进行加法还是减法运算（低电平进行加法运算，高电平进行减法运算）

M0、M1、M2：加数（或被减数）最低位、第二位、第三位

N0、N1、N2：被加数（或减数）最低位、第二位、第三位

B0、B1：数据选择端，其状态决定显示运算数还是运算结果还是0。

**输出端：**

CO：（进行加法运算时）向高位的进位

SF：（进行减法运算时）借位标志

SMA~SMG：BCD—七段显示译码器7447的输出，控制数码管显示结果。

SMH：数码管小数点控制端，接高电平表示默认不显示小数点。

BUZZ：FPGA开发板蜂鸣器控制端，接高电平表示默认蜂鸣器不发声。

SD1：数码管亮灭控制端，接高电平表示数码管1亮。SD2~SD4同理。

由于B1B0的控制，SD1~SD4有且仅有1个为高电平，故有且仅有1个数码管亮，其他数码管不亮。

## 收获与体会

1. “磨刀不误砍柴工”，在完成此次EDA大作业之前，我对老师提供的《VHDL和QuartusII使用介绍》以及从图书馆借阅的EDA相关书籍（如《EDA与数字系统设计》（第二版）机械工业出版社）进行了仔细研读，学习了面向FPGA的简单数字系统的设计流程，并对任务1和2的电路实现进行了认真的构想。从而，在开始着手使用Quartus II9.0进行原理图输入设计及仿真中进展相对较顺利，在最后的下载及功能演示环节也是一次成功，当场就请老师进行了检查验收。收获成功的喜悦的同时，也让我意识到，“预则立，不预则废”，特别是本次EDA作业布置给我们留下相对比较充裕的完成时间，我们更应该做好相关的软件技术和系统设计的相关准备，这样就避免了盲目上手和一些不必要的磕磕绊绊。
2. 初步掌握了EDA软件Quartus II进行设计的主要环节和原理图输入方式。Quartus II提供了强大的FPGA开发设计集成环境，在进行设计时主要有设计输入、分析与综合、仿真、布局布线、时序分析和引脚锁定及下载等工作。功能强大的同时，其实也是一款很有意思的软件，在第二次EDA作业中我们将要面对使用硬件描述语言（主要是Verilog）实现数字系统设计，相对原理图输入方式关心电路的结构和连接关系，其更关心电路功能的实现，在讲座时老师的简单讲解让我拥有了更高的积极性来迎接第二次EDA作业的洗礼！
3. 认识到封装模块和模块化设计的重要性。试想如果任务2中的原理图中元件不是使用已经封装好的3位二进制运算器、数据选择器和译码器模块，而是都使用最底层的未封装的1位二进制全加器等，我真的没法想象整个电路将会有多么恐怖！EDA作业要求中提供了任务的具体实现步骤，正是希望我们在这个过程中通过亲自实践认识到将常用的电路进行封装和进行模块化设计的重要性。同时这也是数字电子技术基础和模拟电子技术基础课程的一个重要区别，前者更关心外特性，后者则关心电特性。

**一次EDA作业，酸甜苦辣只有自己清楚，非常感谢王红老师和助教们，这次作业对我个人的能力和信心的提升作用都是异乎寻常的。**

**试想当把设计的电路下载到FPGA上后成功实现了预想的功能，那是怎样的一份惊叹和喜悦！**