# 存储器实验报告

班级: 物联 1601

学号: 201608010628

姓名: 曾彤芳

#### 实验任务

设计一个简单存储器,实现存储器的功能

### 实验要求

采用 VHDL 或 Verilog 语言

自定义存储器的输入和输出

实现存储器的存储功能

### 实验内容

#### 存储器介绍

存储器的主要功能是存储程序和各种数据,并能在计算机运行过程中高速、自动地完成程序或数据的存取。存储器是具有"记忆"功能的设备,它采用具有两种稳定状态的物理器件来存储信息。这些器件也称为记忆元件。在计算机中采用只有两个数码"0"和"1"的二进制来表示数据。中国联保网记忆元件的两种稳定状态分别表示为"0"和"1"。日常使用的十进制数必须转换成等值的二进制数才能存入存储器中。计算机中处理的各种字符,例如英文字母、运算符号等,也要转换成二进制代码才能存储和操作。

分类

按存储介质分

- 1、半导体存储器:用半导体器件组成的存储器。
- 2、磁表面存储器:用磁性材料做成的存储器。

按存储方式分

- 1、随机存储器:任何存储单元的内容都能被随机存取,且存取时间和存储单元的物理位置无关。
  - **2**、顺序存储器:只能按某种顺序来存取,存取时间和存储单元的物理位置有关。 按存储器的读写功能分
- 1、只读存储器(ROM):存储的内容是固定不变的,只能读出而不能写入的半导体存储器。
  - 2、随机读写存储器(RAM): 既能读出又能写入的半导体存储器。

按信息的可保存性分

- 1、非永久记忆的存储器: 断电后信息即消失的存储器。
- 2、永久记忆性存储器: 断电后仍能保存信息的存储器。

按存储器用途分

- 1、根据存储器在计算机系统中所起的作用,可分为(1)主存储器、(2)辅助存储器、
- (3) 高速缓冲存储器、(4) 控制存储器等。
- 2、为了解决对存储器要求容量大,速度快,成本低三者之间的矛盾,目前通常采用多级存储器体系结构,即使用高速缓冲存储器、主存储器和外存储器。

名称简称用途特点

- 1、高速缓冲存储器 Cache 高速存取指令和数据存取速度快,但存储容量小
- 2、主存储器 内存存放计算机运行期间的大量程序和数据 存取速度较快,存储容量不 大
  - 3、外存储器 外存存放系统程序和大型数据文件及数据库 存储容量大,位成本低

## 存储器设计

library ieee;
use ieee.std\_logic\_1164.all;
use ieee.numeric\_std.all;

entity mem is

port(

```
addrbus: in std_logic_vector(31 downto 0);
              databus: inout std_logic_vector(31 downto 0);
              read: in std_logic;
              write: in std_logic
              );
end entity;
architecture mem_behav of mem is
         type memtype is array(natural range<>) of std_logic_vector(7 downto 0);
         signal memdata: memtype(4095 downto 0) := (
              0 => X''04''
              1 => X"00",
              2 => X"00",
              3 => X"00",
              4 => X"08",
              5 => X"00",
              6 => X"00",
              7 => X"00",
              others => X"11"
         );
begin
         do_read: process(addrbus, read)
                   variable i: integer;
         begin
              i := to_integer(unsigned(addrbus));
              if (read='1') then
                   -- assume little-endian
                   databus <= memdata(i+3) & memdata(i+2) & memdata(i+1) & memdata(i);
              else
                   databus <= "ZZZZZZZZZZZZZZZZZZZZZZZZZZZ;;
              end if;
         end process do_read;
end;
```

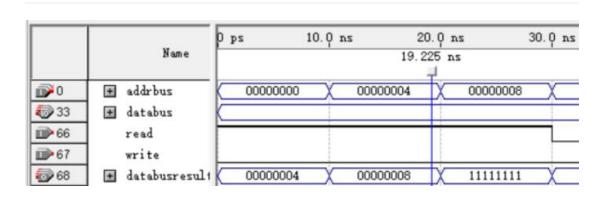
### 测试

#### 测试平台

模块	配置	备注

模块	配置	备注
CPU	Core i5-6700U	
操作系统	Windows10	

# 测试结果



# 结果分析

结果与预计相同,实现了存储器的存储功能,完成了实验目的,本次实验对 存储器有了更深入理解,收获很多。