

电工电子实验报告

课程名称：电工电子基础实验B

# 实验名称： 组合逻辑电路

学 院：计算机学院

班 级：B190307

学号：B19031614

姓名：任远哲

指导教师：连晓娟

学期：2020-2021学年第二学期

电工电子实验教学中心

**组合逻辑电路**

1. 实验目的

1、掌握基本门电路的实际应用

2、掌握基本门多余端的处理方法。

3、用实验验证所设计电路的逻辑功能。

4、判断、观察组合逻辑电路险象并了解消除险象的方法。

1. 主要仪器设备及软件

硬件：74LS00,74LS20,导线，电工电子综合实验箱，笔记本电脑

软件：NI Multisim 14

1. 实验原理（或设计过程）

**1.组合逻辑电路设计**

（1）、将逻辑问题的文字描述变换成真值表

（2）、利用卡诺图或公式法求得最简逻辑表达式，并根据所选用的器件对最简式进行变换。得到所需形式的逻辑表达式。

（3）、由逻辑表达式画出逻辑图。要保证所设计的电路恰能实现所给逻辑功能并且尽可能最佳。

**2.组合逻辑电路的冒险现象及消除方法**

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争；产生的毛刺叫冒险。

组合逻辑电路中存在两种不同类型险象：一种是逻辑险象；另一种是功能冒险。

（1）、组合逻辑电路中的逻辑险象

组合逻辑电路中，同一信号经不同的路径传输后，到达电路中某一会合点的时间有先有后，这种现象称为逻辑竞争，而因此产生输出干扰脉冲的现象称为冒险。

在组合逻辑电路中，某个输入变量通过两条或两条以上的途径传到输出端，由于每条途径延迟时间不同，到达输出门的时间就有先有后，这种现象称为竞争是产生险象的根本原因。

“0-1-0”型险象: F=A & !A

“1-0-1”型险象: F=A + !A

静态逻辑险象是指我们把单一输入变量变化前后，输出稳定值相同，而在输入变量变化时所产生的瞬时错误输出。

动态逻辑险象是指某一输入变量变化前后，输出稳定值不同时，电路中出现的险象。

（2）静态逻辑险象的判别方法

判断一个电路是否存在静态逻辑险象的方法有代数法、卡诺图法和示波器3种。

(2.1)代数法

当变量同时以原变量和反变量形式出现在函数式中时，该变量就具备了竞争冒险。消除式中其他变量仅留下被研究变量，若出现以下形式，则说明出现了逻辑险象。

F= 0-1-0险象

F= 1-0-1险象

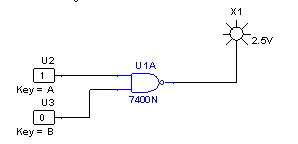
(2.2)卡诺图法

如果画出的卡诺图中有相切的圈，则相切的元素变化会引起险象。

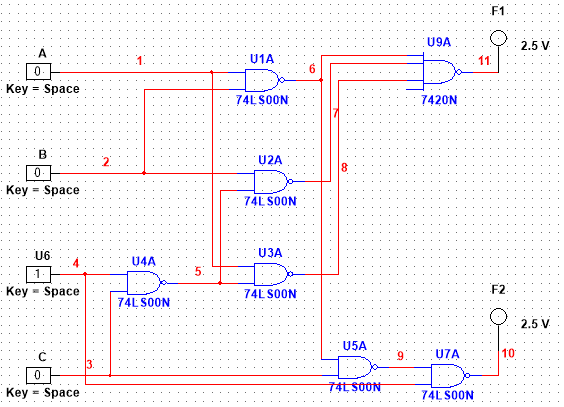
(2.3)示波器法

用较高频率信号输入可能发生冒险的变量，其余接逻辑开关，用示波器观察输入和输出。

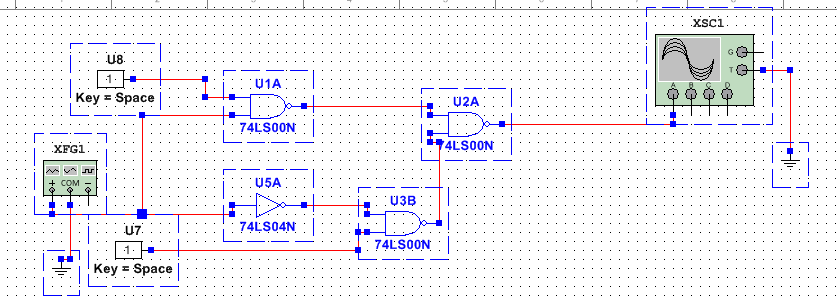
1. 实验电路图
2. 测试74LS00与非门逻辑功能电路图

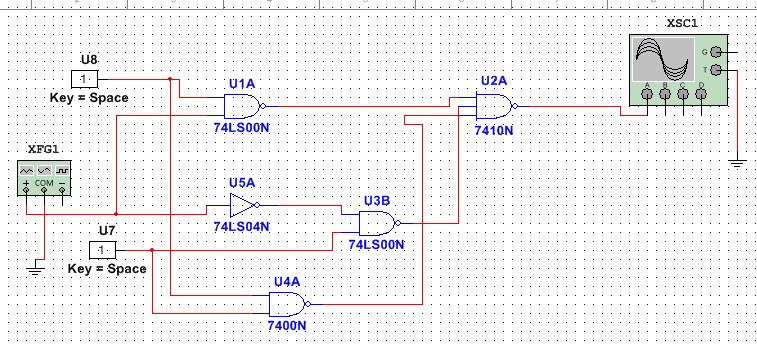


1. 用与非门设计数字锁逻辑电路



1. 实验6





1. 实验内容和实验结果

1测试74LS00与非门的逻辑功能

1. 真值表

|  |  |  |
| --- | --- | --- |
| A | B | F |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

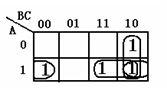
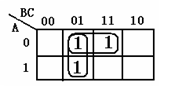
(2) 74LS00的逻辑功能为F=!(AB)

1. 与非门设计数字锁逻辑电路

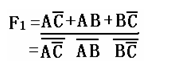
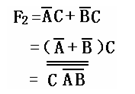
（1）真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

1. 卡诺图

1. 表达式



(4) 实验现象

当A、B、C同时按下，或A、B同时按下，或只有A或B按下时F1为1，如果不符合上述条件则F2为1。

1. 逻辑险象的消除测试

险象的消除方法：

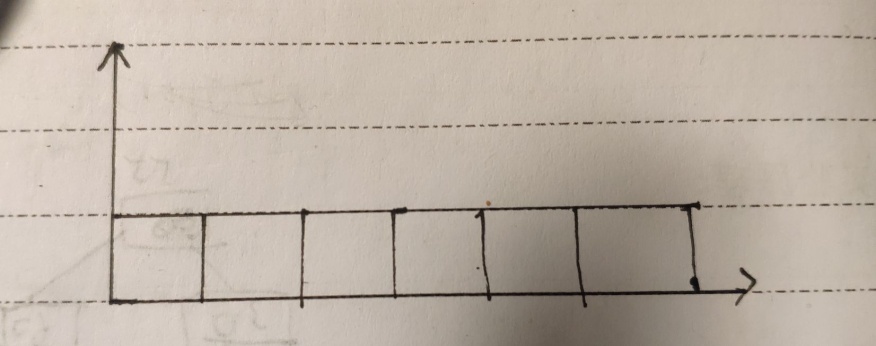
1.修改逻辑设计

2.加滤波电路

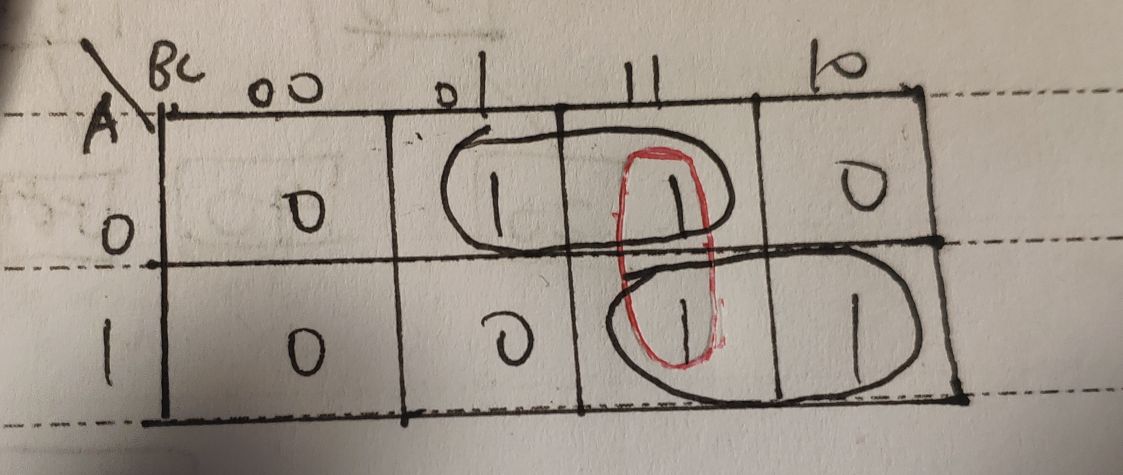
3.加取样脉冲

1. 试用示波器来判断是否存在逻辑险象、险象的类型及出现的条件。

当B=1 C=1时，出现险象：



1. 换用修改逻辑设计的方法来消除出现的险象，并通过实验验证。

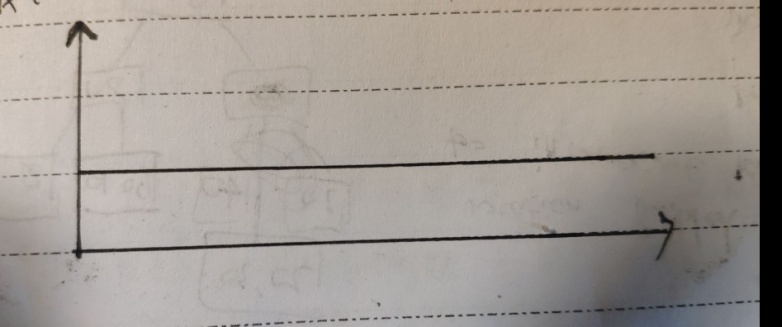


用增加多余项的方式消除险象

原式：F=AB+C

修改后：F=AB+C+BC

修改后的逻辑电路示波器显示



由图可知险象消除。

六. 实验小结

通过这次实验，我们验证了数字电路芯片元件的功能，自己设计了一个数字逻辑电路，判断、观察组合逻辑电路险象并了解消除险象的方法。我们熟悉数字电路实验的一般流程：即先将逻辑问题的文字描述变换成真值表，再利用卡诺图或公式法求得最简逻辑表达式，并根据所选用的器件对最简式进行变换。得到所需形式的逻辑表达式，然后由逻辑表达式画出逻辑图（要保证所设计的电路恰能实现所给逻辑功能并且尽可能最佳），最后绘制电路图并仿真验证。