

电工电子实验报告

课程名称：电工电子基础实验B

# 实验名称：集成触发器及应用

学 院：计算机学院

学期：2020-2021学年第二学期

电工电子实验教学中心

**集成触发器及应用**

1. 实验目的

1.掌握集成触发器的逻辑功能。

2.熟悉用触发器构成计数器的方法。

3.掌握集成触发器的基本应用。

1. 主要仪器设备及软件

硬件：直流稳压电源，电工电子综合实验箱，函数信号发生器，示波器，笔记本电脑

软件：NI Multisim 14

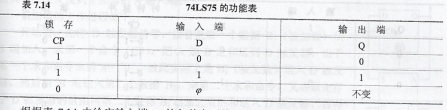
1. 实验原理（或设计过程）

1.集成触发器的种类和特点

触发器是组成时序逻辑电路的基本单元，集成触发器主要有3大类，锁存触发器、D触发器和JK触发器。

（1）D锁定触发器

目前常使用的D锁存触发器有四锁定触发器74LS75，功能表如下



锁定触发器具有以下三个特点：

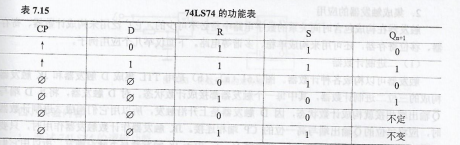
①锁定触发器不会出现不定状态，输入信号只需要一个，使用方便。

②锁定触发器在CP=“0”时，状态不因输入信号发生变化。

③锁定触发器是电平触发的触发器，在CP=“1”，D端状态不允许变化。

1. 维持堵塞D触发器

维持阻塞D触发器克服了空翻现象，因而维持阻塞D触发器可以用来作计数器和位移寄存器。



1. JK触发器

①主从JK触发器

目前主要的主从JK触发器74LS72单JK触发器和74LS112双JK触发器.

②边沿JK触发器

边沿触发器不仅可以克服空翻现象，而且仅仅在时钟CP的上升沿或下降沿才对输入信号起响应。

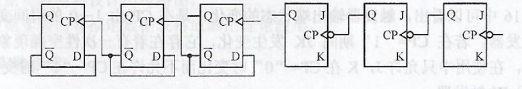
2.集成触发器的应用

触发器在构成包含时间关系的数字电路中是必不可少的，它广泛用来构成计器、寄存器、移位寄存器，还可用来构成单稳、多谐等电路。

（1）二进制计数器

触发器可以构成各种计数器。每一个触发器都接成计数状态。对D触发器，将其D端与Q非输出端相接就构成计数状态，因D触发器是上升沿触发，所以用它们构成二进制计数器时，应将每位Q非输出端与高一位CP端相连。

如图使用TTL集成D触发器和JK触发器构成的三位二进制计数器

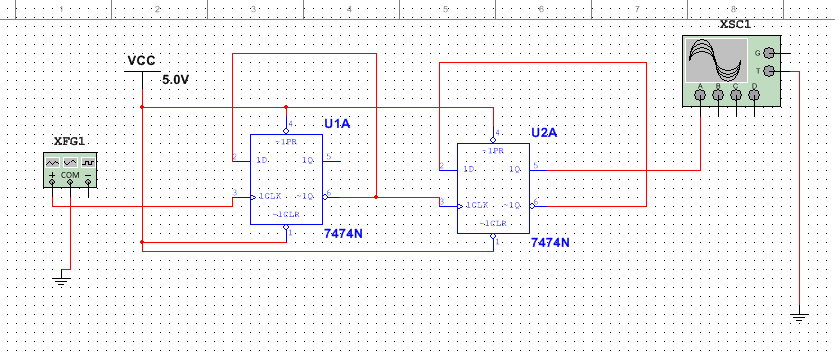


1. 并行累加器

累加器适用于多个数相加求和的一种电路。

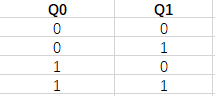
（3）堆成脉冲至对称脉冲的奇数分频

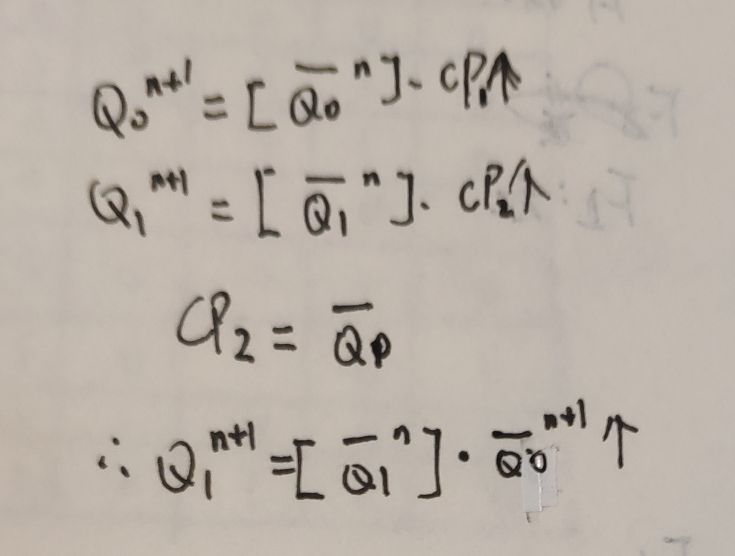
1. 实验电路图



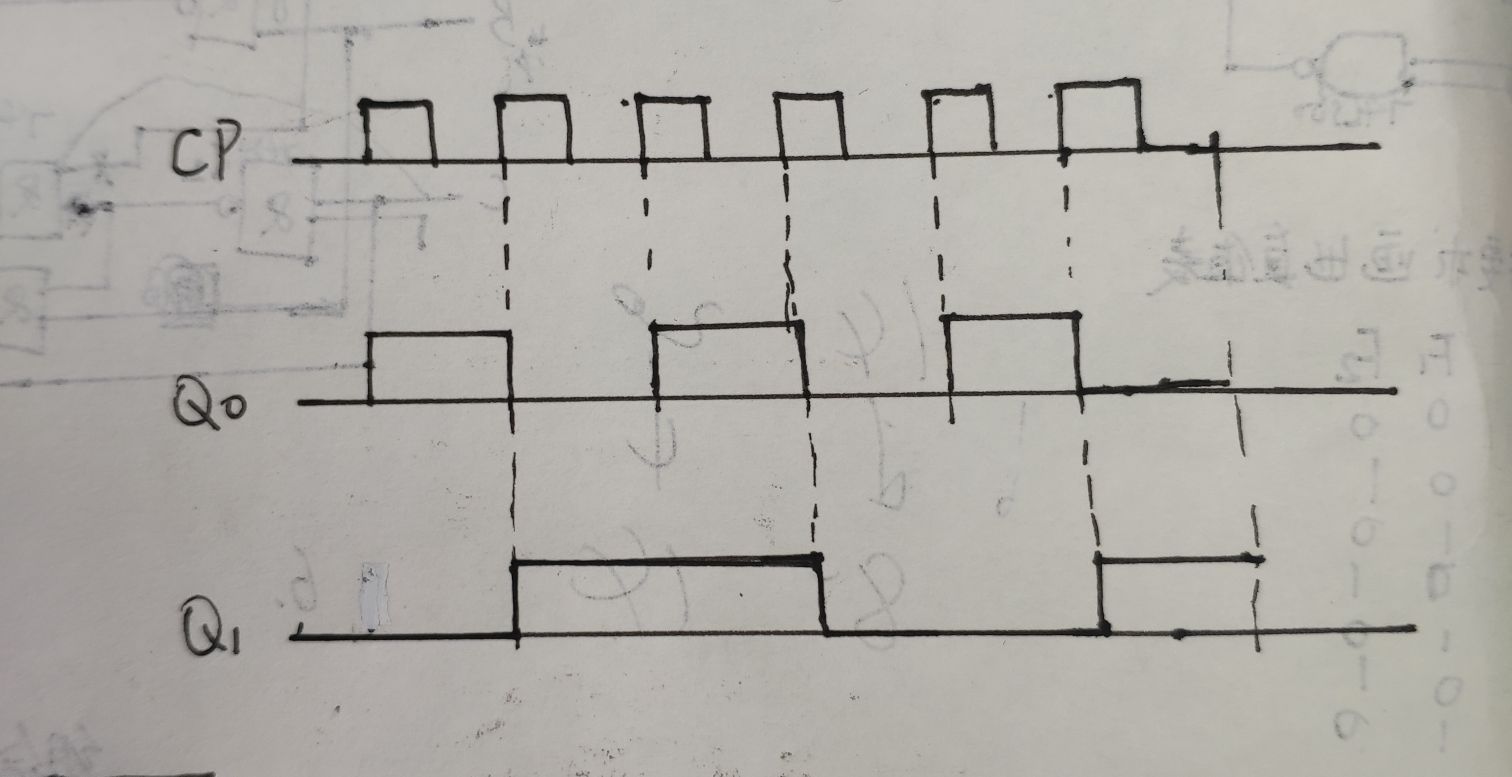
1. 实验内容和实验结果

用74LS74设计二位二进制加法计数器

状态转移表：



测试结果：



1. 实验小结

通过这次实验，我们掌握集成触发器的逻辑功能，熟悉用触发器构成计数器的方法，

掌握集成触发器的基本应用。所谓加法计数器实际上就是计录一段时间内CP上升沿的个数。所谓触发器实质上就是差分方程组，前一个状态的输出可以作为后一个状态的输入，从而影响电路。