

- 性能部分基本已经算好，然后搜集了一些base CVA6在FPGA和ASIC上的数据，目前就差我们修改过的版本在 fpga和asic上的资源和功耗评估，这个我们自己可能搞不定，之前说的是用增加的计算部件去评估
 - 过一过5.1到5.3，看看图
 - FPGA和ASIC上有一些问题，搜集FPGA数据的时候遇到点问题，看nowmd
 - 主频看文章里
 - FF和Reg看文章里
 - 64位
- 我们增加的部件包括
 - □32bit 的 11个加法器 6个乘法器 3个移位器 2个比较器
 - □15个 128bit 的 Regs
 - □设计的指令是32位，而且这里处理的数据就是32位就ok，所以就用32bit处理器
- Base CVA6 在 XCVU9P Xilinx Virtex UltraScale+ FPGA上的数据(最大主频是112MHz)
 - $\text{power} = \text{静态power } 3080\text{mW} + \text{动态power } 1995\text{mW}$
 - 46K Registers, 55K LUTs, 18DSPs
 - 需要modified后的
 - 动态power
 - 静态power
 - Registers, LUTs, DSPs
- Base CVA6 在 22nm FDX上的数据（主频是800MHz）
 - $\text{power} = \text{静态power } 4.8\text{mW} + \text{动态power } 37.2\text{mW}$
 - $0.257\text{mm}^2(257142\text{um}^2(50000/7=7142))$
 - 需要modified后的
 - 动态power
 - 静态power
 - 面积