**接口**

(*斜体是input*)

系统接口

|  |  |
| --- | --- |
| *sys\_rst\_n* |  |
| *sys\_clk* |  |

PCIE接口：多通道，差分信号线

发送

|  |  |
| --- | --- |
| pci\_exp\_txp(+) |  |
| pci\_exp\_txn(-) |  |

接收

|  |  |
| --- | --- |
| *pci\_exp\_rxp(+)* |  |
| *pci\_exp\_rxn(-)* |  |

**事务接口：公共接口、发送接口、接受接口**

公共接口

|  |  |
| --- | --- |
| user\_clk\_out | 1.事务等相关的处理都在这个信号的上升沿进行  2.sys\_rst\_n复位对该信号没有影响  3.上电后激活，当user\_reset\_out断言后稳定  4.其频率可以在工具中配置 |
| user\_reset\_out | 和事务相关的用户逻辑需要用该信号进行reset |
| user\_link\_up | 当核心和连接的上行链路伙伴端口准备好并能够交换数据包时被拉高 |
| fc\_ph[7:0] | 以下均为流控制协议相关内容  Posted Header Flow Control Credits |
| fc\_pd[11:0] | Posted Data Flow Control Credits |
| fc\_nph[7:0] | Non-Posted |
| fc\_npd[11:0] | Non-Posted |
| fc\_cplh[7:0] | Completion Header Flow Control Credits |
| fc\_cpld[11:0] | Completion Data Flow Control Credits |
| *fc\_sel[2:0]* | 流控制信息  • 000: Receive buffer available space  • 001: Receive credits granted to the link partner  • 010: Receive credits consumed  • 100: Transmit user credits available  • 101: Transmit credit limit  • 110: Transmit credits consumed |

发送接口

|  |  |
| --- | --- |
| *s\_axis\_tx\_tlast* | 1.传输帧结束  2.在s\_axis\_tx\_tvalid高时有效 |
| *s\_axis\_tx\_tdata[W-1:0]* | 要发送的数据 |
| *s\_axis\_tx\_tkeep[7:0]*  *(64-bit interface)*  *s\_axis\_tx\_tkeep[15:0]*  *(128-bit interface)* | 按字节选通tdata  当s\_axis\_tx\_tlast没有断言时，惟一的有效值是0xFF(64位)或0xFFFF(128位)。  断言s\_axis\_tx\_tlast时，  64位:只有0x0F和0xFF有效  128位:0x000F、0x00FF、0x0FFF和0xFFFF有效 |
| *s\_axis\_tx\_tvalid* | 发送源就绪:  表示用户应用程序在s\_axis\_tx\_tdata上呈现有效数据。 |
| s\_axis\_tx\_tready | 核心就绪接收数据 |
| *s\_axis\_tx\_tuser[3]* | 1.发送源中断数据发送  2.与s\_axis\_tx\_tlast同时断言 |
| tx\_buf\_av[5:0] | 传输缓冲区可用:表示在内核中可用的空闲传输缓冲区的数量。  每个自由传输缓冲区可以容纳一个TLP，最大负载大小(MPS)支持。传输缓冲区的最大数量由所支持的MPS和块RAM配置决定。 |
| tx\_err\_drop | 传输错误:表示内核因为长度冲突而丢弃了一个包，或者，当流传输时，数据没有以连续的时钟周期呈现。 |
| *s\_axis\_tx\_tuser[2]* | 传输流:表示一个包以连续的时钟周期呈现，在整个包写到核心之前，链路上的传输就可以开始了。通常称为传输直通模式。 |
| tx\_cfg\_req | 传输配置请求:在核心准备传输配置完成或其他内部生成的TLP时断言。 |
| *tx\_cfg\_gnt* |  |
| *s\_axis\_tx\_tuser[1]* | 转发错误  此输入将当前正在进行的包标记为错误中毒。  它可以在SOF和EOF之间的任何时间断言。如果断言(tx\_str)s\_axis\_tx\_tuser[2]，则不能断言该（tx\_err\_fwd）信号。 |
| *s\_axis\_tx\_tuser[0]* | 发送ECRC生成（tx\_ecrc\_gen）  附加端到端循环冗余检查(ECRC)摘要。这个输入必须在TLP开始时断言。 |

接收接口

|  |  |
| --- | --- |
| m\_axis\_rx\_tlast | 1.传输帧结束  2.在m\_axis\_rx\_tvalid高时有效 |
| m\_axis\_rx\_tdata[W-1:0] | 要接收的数据 |
| m\_axis\_rx\_tkeep[7:0]  (64-bit interface only) | 按字节选通tdata  当m\_axis\_rx\_tlast没有断言时，惟一的有效值是0xFF(64位)或0xFFFF(128位)。  断言m\_axis\_rx\_tlast时，  64位:只有0x0F和0xFF有效 |
| m\_axis\_rx\_tuser[14:10]  (128-bitinterface only) | 表明一个新的数据包开始（m\_axis\_rx\_tdata）  助记符rx\_is\_sof[4:0]  Bit 4：出现新的数据包时被断言  Bit 0-3：指定新的数据包开始的字节  • 5'b10000 = SOF at AXI byte 0 (DWORD 0)  m\_axis\_rx\_tdata[7:0]  • 5'b11000 = SOF at AXI byte 8 (DWORD 2)  m\_axis\_rx\_tdata[71:64]  • 5'b00000 = No SOF present |
| m\_axis\_rx\_tuser[21:17]  (128-bitinterface only) | 表明一个数据包的结束  助记符rx\_is\_eof[4:0]  有效值:  • 5'b10011 = EOF at AXI byte 3 (DWORD 0)  m\_axis\_rx\_tdata[31:24]  • 5'b10111 = EOF at AXI byte 7 (DWORD 1)  m\_axis\_rx\_tdata[63:56]  • 5'b11011 = EOF at AXI byte 11 (DWORD 2)  m\_axis\_rx\_tdata[95:88]  • 5'b11111 = EOF at AXI byte 15 (DWORD 3)  m\_axis\_rx\_tdata[127:120]  • 5'b01111 = No EOF present |
| m\_axis\_rx\_tuser[1] | 接受错误rx\_err\_fwd |
| m\_axis\_rx\_tuser[0] | 表示当前数据包有ECRC错误。在数据包EOF上断言。rx\_ecrc\_err |
| m\_axis\_rx\_tvalid | 接收源就绪:  表示核心在m\_axis\_rx\_tdata上呈现有效数据。 |
| *m\_axis\_rx\_tready* | 用户就绪接收数据 |
| *rx\_np\_ok* | 用户程序准备好接收Non-Posted TLPs时被断言 |
| *rx\_np\_req* | 接收Non-Posted TLPs的请求 |
| m\_axis\_rx\_tuser[9:2] | 指示当前事务的目标BAR(s)  • (rx\_bar\_hit[0])m\_axis\_rx\_tuser[2]: BAR0  • (rx\_bar\_hit[1])m\_axis\_rx\_tuser[3]: BAR1  • (rx\_bar\_hit[2])m\_axis\_rx\_tuser[4]: BAR2  • (rx\_bar\_hit[3])m\_axis\_rx\_tuser[5]: BAR3  • (rx\_bar\_hit[4])m\_axis\_rx\_tuser[6]: BAR4  • (rx\_bar\_hit[5])m\_axis\_rx\_tuser[7]: BAR5  • (rx\_bar\_hit[6])m\_axis\_rx\_tuser[8]: Expansion ROM  Address  If two BARs are configured into a single 64-bit address,  both corresponding rx\_bar\_hit bits are asserted.  •m\_axis\_rx\_tuser[8:4] are not applicable to Root  Port configurations.  • m\_axis\_rx\_tuser[9] is reserved for future use. |
| m\_axis\_rx\_tuser[16:15] | 保留 |

物理层接口

|  |  |
| --- | --- |
| pl\_initial\_link\_width[2:0] | • 000: Link not trained  • 001: 1-Lane link  • 010: 2-Lane link  • 011: 4-Lane link  • 100: 8-Lane link |
| pl\_phy\_lnk\_up | 物理层连接状态 |
| pl\_lane\_reversal\_mode[1:0] | Lane Reversal Mode: Indicates the current Lane Reversal mode.  • 00: No reversal  • 01: Lanes 1:0 reversed  • 10: Lanes 3:0 reversed  • 11: Lanes 7:0 reversed |
| pl\_link\_gen2\_cap | 表明PCIE是否是5.0 Gb/s |
| pl\_link\_partner\_gen2\_supported |  |
| pl\_link\_upcfg\_cap |  |
| pl\_sel\_lnk\_rate | • 0: 2.5 Gb/s  • 1: 5.0 Gb/s |
| pl\_sel\_lnk\_width[1:0] | • 00: 1-Lane link  • 01: 2-Lane link  • 10: 4-Lane link  • 11: 8-Lane link |
| pl\_ltssm\_state[5:0] | LTSSM State: Shows the current LTSSM state (hex).  • 0, 1: Detect Quiet  • 2, 3: Detect Active  • 4: Polling Active  • 5: Polling Configuration  • 6: Polling Compliance, Pre\_Send\_EIOS  • 7: Polling Compliance, Pre\_Timeout  • 8: Polling Compliance, Send\_Pattern  • 9: Polling Compliance, Post\_Send\_EIOS  • A: Polling Compliance, Post\_Timeout  • B: Configuration Linkwidth, State 0  • C: Configuration Linkwidth, State 1  • D: Configuration Linkwidth, Accept 0  • E: Configuration Linkwidth, Accept 1  • F: Configuration Lanenum Wait  • 10: Configuration Lanenum, Accept  • 11: Configuration Complete x1  • 12: Configuration Complete x2  • 13: Configuration Complete x4  • 14: Configuration Complete x8  • 15: Configuration Idle  • 16: L0  • 17: L1 Entry0  • 18: L1 Entry1  • 19: L1 Entry2 (also used for the L2/L3 Ready pseudo state)  • 1A: L1 Idle  • 1B: L1 Exit  • 1C: Recovery Rcvrlock  • 1D: Recovery Rcvrcfg  • 1E: Recovery Speed\_0  • 1F: Recovery Speed\_1  • 20: Recovery Idle  • 21: Hot Reset  • 22: Disabled Entry 0  • 23: Disabled Entry 1  • 24: Disabled Entry 2  • 25: Disabled Idle  • 26: Root Port, Configuration, Linkwidth State 0  • 27: Root Port, Configuration, Linkwidth State 1  • 28: Root Port, Configuration, Linkwidth State 2  • 29: Root Port, Configuration, Link Width Accept 0  • 2A: Root Port, Configuration, Link Width Accept 1  • 2B: Root Port, Configuration, Lanenum\_Wait  • 2C: Root Port, Configuration, Lanenum\_Accept  • 2D: Timeout To Detect  • 2E: Loopback Entry0  • 2F: Loopback Entry1  • 30: Loopback Active0  • 31: Loopback Exit0  • 32: Loopback Exit1  • 33: Loopback Master Entry0 |
| pl\_rx\_pm\_state[1:0] | RX Power Management State:  Indicates the RX Power  Management State:  • 00: RX Not in L0s  • 01: RX L0s Entry  • 10: RX L0s Idle  • 11: RX L0s FTS |
| pl\_tx\_pm\_state[2:0] | TX Power Management State: Indicates the TX Power Management  State:  • 000: TX not in L0s  • 001: TX L0s Entry0  • 010: TX L0s Entry1  • 011: TX L0s Entry2  • 100: TX L0s Idle  • 101: TX L0s FTS0  • 110: TX L0s FTS1  • 111: TX L0s FTS2 |
| *pl\_directed\_link\_auton* | 链路变化相关 |
| *pl\_directed\_link\_change[1:0]* |  |
| *pl\_directed\_link\_speed* |  |
| *pl\_directed\_link\_width[1:0]* | 传输流:表示一个包以连续的时钟周期呈现，在整个包写到核心之前，链路上的传输就可以开始了。通常称为传输直通模式。 |
| pl\_directed\_change\_done | 传输配置请求:在核心准备传输配置完成或其他内部生成的TLP时断言。 |
| *pl\_upstream\_prefer\_deemph* |  |

配置接口

|  |  |
| --- | --- |
| cfg\_mgmt\_do[31:0] | 从配置空间读取到的数据 |
| cfg\_mgmt\_rd\_wr\_done | 配置读写完成 |
| cfg\_mgmt\_di[31:0] | 配置数据输入 |
| cfg\_mgmt\_dwaddr[9:0] | 配置DWORD地址 |
| cfg\_mgmt\_byte\_en[3:0] | 写字节使能 |
| cfg\_mgmt\_wr\_en |  |
| cfg\_mgmt\_rd\_en |  |
| cfg\_mgmt\_wr\_readonly | 允许写只读位 |