

Intel MCS8 系统在 FPGA 上的实现

罗胤

2018-03

目录

1 CPU 设计	5
1.1 命令法则	5
1.2 模块组成	5
1.2.1 寄存器组	5
1.3 信号通路	5

Chapter 1

CPU 设计

1.1 命令法则

1.1.0.0.1 模块约定

- 模块名均为小写
- 模块引脚均为大写, 输入引脚使用 `_I` 后缀, 输出引脚使用 `_O` 后缀, 无双向引脚
- 模块实例名以 `u` 为前缀命名

1.1.0.0.2 信号约定

- 信号首字母小写, 第二字母大写, 其余字母按需求选择大小写
- 寄存器信号使用 `r` 前缀, 线型信号使用 `w` 前缀, 多位信号在前缀后附加 `s`
- 模块信号命令格式: 前缀-模块名-信号名

1.2 模块组成

1.2.1 寄存器组

- 模块名: `cpu_regbank`
- 总线接入: CPU 内部 `wor` 总线

1.3 信号通路

Chapter 2

流水线设计