

# Kintex MK7325FB 开发板硬件使用手册 V1.0

常州一二三电子科技有限公司  
溧阳米联电子科技有限公司

官方论坛: <https://www.uisrc.com>  
淘宝店铺: <https://milianke.taobao.com>  
QQ 群 1: 34215299 (2000 人已满)  
QQ 群 2: 86730608 (2000 人已满)  
QQ 群 3: 543731097 (2000 人 VIP 群)  
QQ 群 4: 516869816 (2000 人 VIP 群)

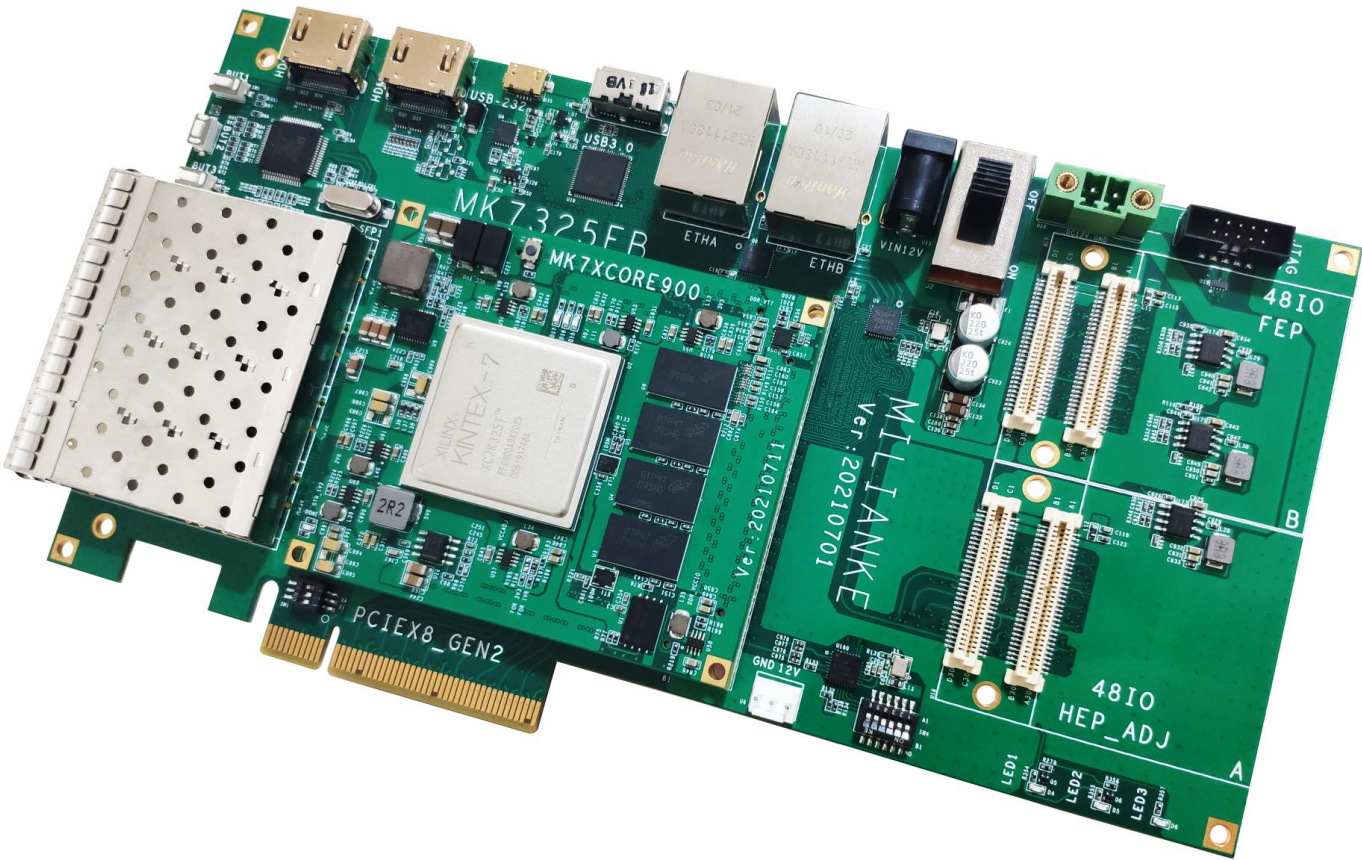
公司座机: 0519-80699907  
地址: 溧阳市江苏软件园(天目云谷)3#楼

米联客 Kinte 系列高品质开发板

----MK7325FB

适用领域：图像、通信、机器视觉、AI 加速等领域开发应用

高品质，性能优秀！



主芯片： XC7K325T-2FFG900I		
DDR： 2GB DDR3（4 片 512M）， 数据时钟 1600MHz*64bit FLASH： 256Mbit		
◆ PCIE2.0 X8	◆ SFP+ X4	◆ 千兆网 X2
◆ USB3.0 X1	◆ HDMI X2	◆ FEP X4

## 目录

Kintex MK7325FB 开发板硬件使用手册 V1.0	1
<b>用户须知—使用必看</b>	<b>4</b>
一、整体概述	5
二、应用领域及人群	5
三、硬件配置	6
四、开发板图示	7
4.1 开发板	7
4.2 核心板	8
五、开发板功能描述	9
5.1 Kintex - XCKU060	9
5.2 内存（Memory）	9
5.2.1 DDR4	9
5.2.2 PROM SPI FLASH	10
5.3 系统时钟	11
5.3.1 核心板时钟	11
5.3.2 底板时钟	12
5.4 系统复位	13
5.5 电源管理	14
5.5.1 核心板电源	14
5.5.2 底板电源	14
5.6 USB to UART	15
5.7 USB3.0 DEVICE	15
5.8 JTAG 接口	17
5.9 HDMI 接口	18
5.10 10/100/1000M 以太网	20
5.11 SFP+接口	22
5.12 PCIE 3.0 接口	24
5.13 RTC 和 EEPROM	26
5.14 FEP 接口	27
5.15 按键	31
5.16 LED	31
5.17 电源	32
5.17.1 底板电源	32
5.18 风扇	33
六、结构尺寸图	33
七、版本型号	34
八、联系方式	34

## 用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

溧阳米联电子技术服务部

## 一、整体概述

Kintex MK7325FB 系列开发平台是米联电子推出的一款高端产品。

主要特色是：

### 1) 高性价比：

核心板集成电源管理：1.0V 核心电源，最大输出 30A

核心板+底板设计:用户基于核心板设计功能底板（提供底板设计方案）。降低项目底板设计难度和生产成本，加速项目开发。

### 2) 设计紧凑：核心板 68 (mm) x 80 (mm) x 9.5 (mm)，底板 200 (mm) x 115.5 (mm)。

### 3) 资源丰富：

主芯片：XC7K325T-2FFG900I

DDR：2GB DDR3（4 片 512M），数据时钟 1600Hz\*64bit

高性能接口：

◆ PCIE2.0	X2	◆ SFP+	X4
◆ USB3.0	X1	◆ HDMI	X2
◆ 千兆网	X2	◆ FEP	X4

核心板接出 HR BANK 5 个共 240GPIO/120 对差分对(BANK12/13 电压 ADJ,BANK15/16 电压 3V3, BANK18 电压 ADJ); HR BANK 全部组内做 5mil 等长。

ADJ 电压：1.8V-3.3V 可调(ADJ BANK 电压默认 1V8);

4 路 GTX 高速收发器：包括 16 组 GTX 差分对和 8 对 GTX CLK。

### 4) DEMO 丰富：PCIE 通信、千兆/万兆光通信、图像采集处理等

### 5) 免费源码：购买板子的用户免费获得设计源码及视频课程。

### 6) 贴心技术支持：为客户提供开发板相关的硬件和软件技术支持，加速产品化开发过程。

## 二、应用领域及人群

- 高速数据通信
- 机器视觉、工业控制
- 视频采集、视频输出、消费电子
- 项目研发前期验证
- 电子信息工程、自动化、通信工程等电子类相关专业开发人员学习

### 三、硬件配置

名称	具体参数
FPGA	XC7K325T-2FFG900I
DDR4	2GB(单片 512MB*4 片), 数据时钟 1600MHz*64bit
FLASH	256Mbit FLASH, 用于固化程序, 存放数据
晶振	100MHz 差分时钟 (默认 NC); 100M 单端时钟; 底板板载一颗可编程时钟芯片, 为 GTX 信号提供时钟源
电源管理	核心板集成电源管理, 内核 1.0V, 提供 30A 电流能力
PCIE 接口	PCIE 2.0 X8
SFP+接口	4 路 SFP+, 单路最大支持 16.375Gbps
HDMI 接口	1 路 HDMI 输入, 1 路 HDMI 输出, 支持 1080P
千兆以太网	2 路千兆以太网, 1 路 PS 网口, 一路 PL 网口
USB 3.0 接口	一路 USB 3.0 DEVICE
USB 串口	底板具有一路 USB-232 串口
JTAG 接口	使用下载器进行调试和下载
FEP 接口	FEPX4, 提供 96 个 GPIO/48 对差分, 4 对 GTX
LED	底板 3 个, 核心板 3 个
按键	底板 3 个, 核心板 1 个
外形	核心板 68(mm)x80(mm)x9.5(mm), 底板 210(mm)x115.5(mm)
连接器	FX10A-168S-SV x2, FX10A-140S/14-SVx1
电源	DC-12V/5A

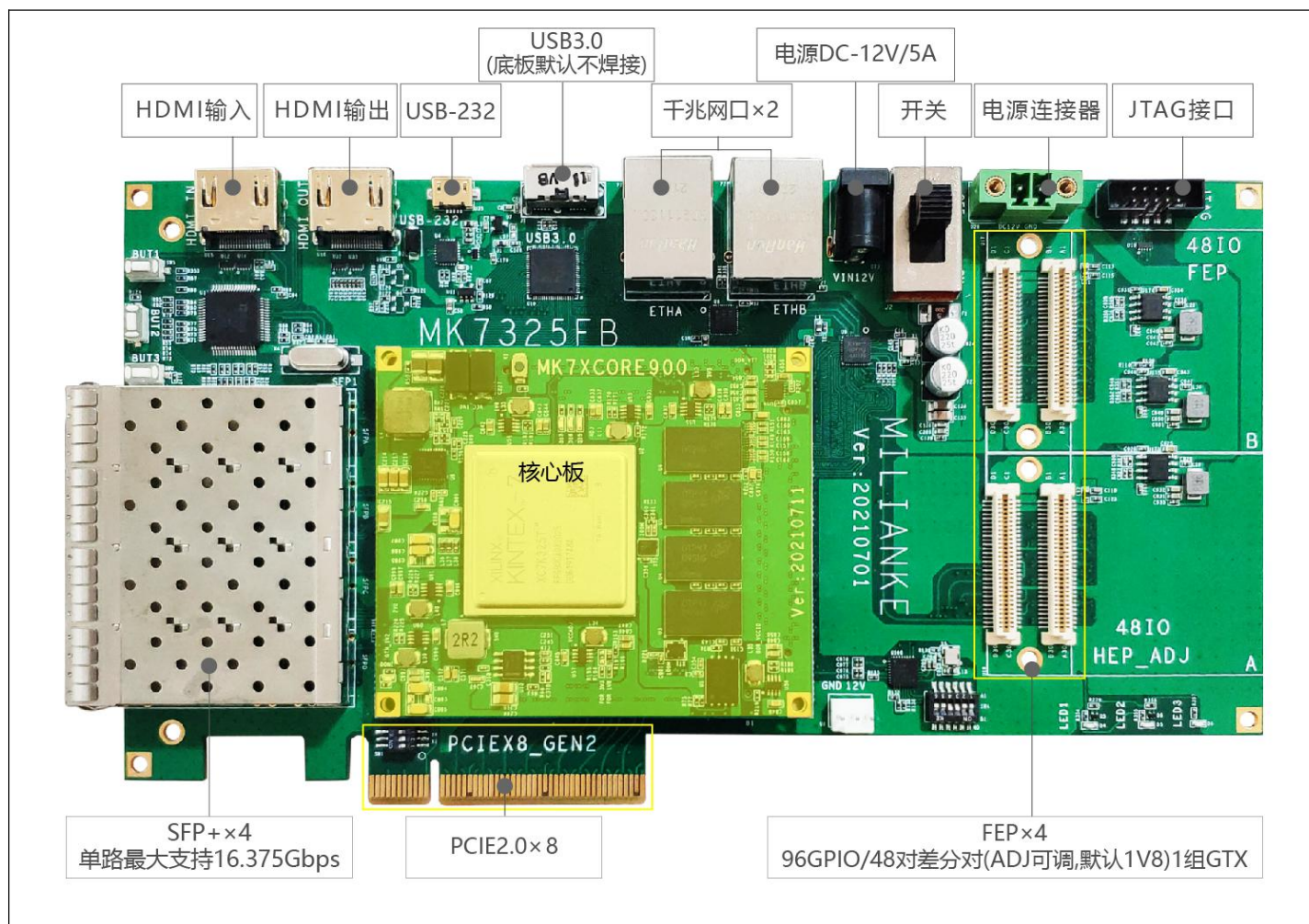


## 四、开发板图示

注意：示意图只标识芯片位置，并不代表实物，使用者请根据实际使用板卡进行开发。

### 4.1 开发板

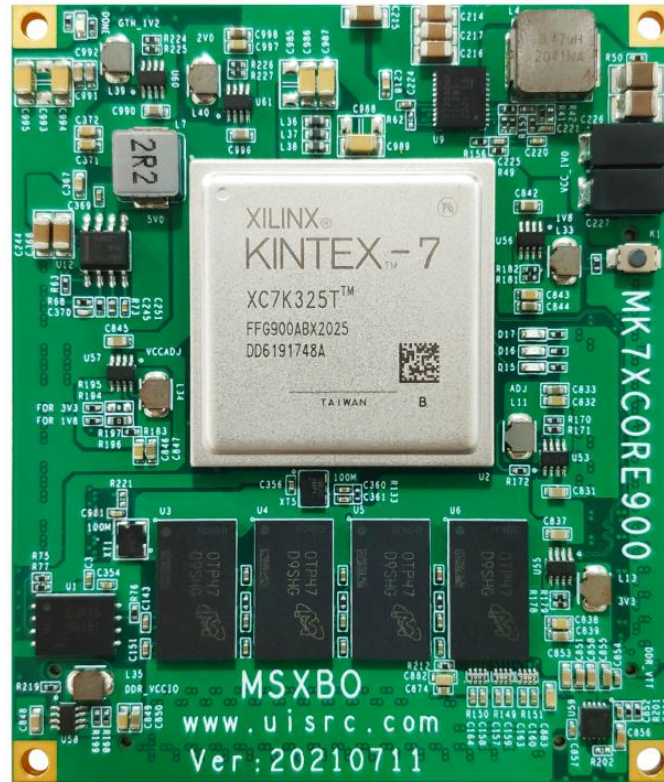
开发板标注如下：



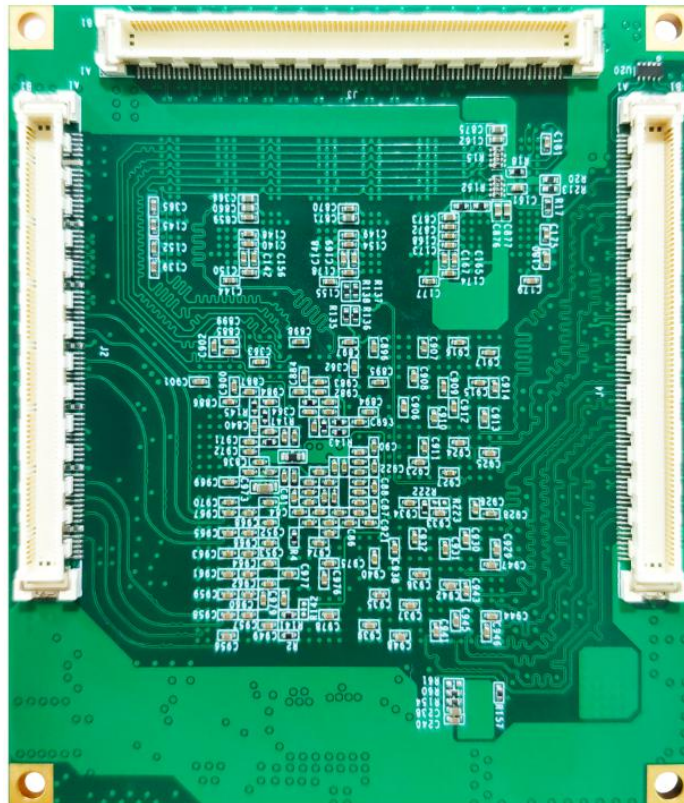
## 4.2 核心板

MK7325FB 核心板正反面标注如下：

核心板正面：



核心板反面：





## 五、开发板功能描述

### 5.1 Kintex MK7X900B



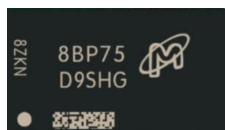
MMK7X900B 核心板搭载了一颗 Xilinx Kintex-7 FPGA 片 XC7K325T-2FFG900I。  
此芯片封装是 FFG900，速度等级是-2，温度等级是工业级。

表 5-1-1 FPGA 芯片资源

名称	具体参数
Logic Cells	326,080
Slices	50950
Total Block RAM	16020
DSP48 Slices	840
CLB Flip-Flops	407,600
GTX Transceivers	16 对 GTX
速度等级	-2
温度等级	工业级

### 5.2 内存（Memory）

#### 5.2.1 DDR3



核心板搭载了 4 片镁光（Micron）DDR3 内存。单片 DDR 内存大小是 512MB，数据接口是 16bit，四片 DDR3 内存共有 2GB。内存数据主频高达 1600MHZ，数据带宽可达 1600MHz\*64bit。

表 5-2-1 DDR4 SDRAM

开发板型号	DDR 型号	DDR 容量	厂家	位号
核心板（工业级）	MT41K256M16TW-107 IT	单片 512MB，4 片共 2CB	Micron	U3、U4、U5、U6

开发板采用高速布线，DDR3 的硬件设计需要严格考虑信号完整性，开发板的电路及 PCB 设计已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，以确保 DDR3 稳定工作。

DDR3 原理图如下：

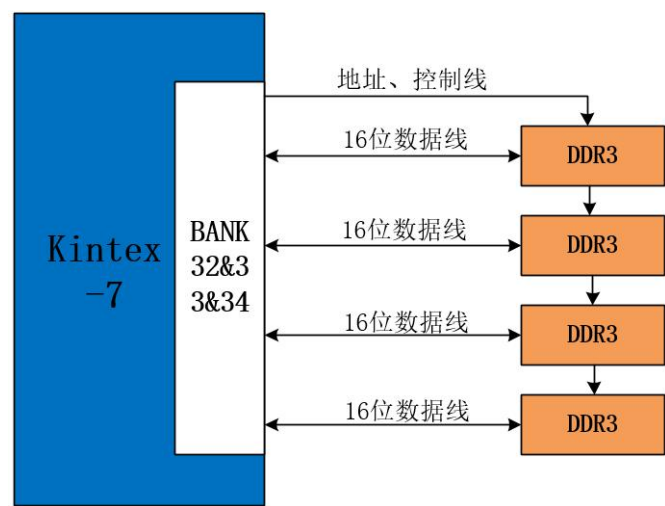


图 5-2-1 DDR3 原理图

5.2.2 PROM SPI FALSH



核 MK7X900B 核心板具有 1 片 4bit SPI FLASH，型号是 MT25QL256ABA1EW9-0SIT。FLASH 可用于保存数据和代码，初始化 PL 部分子系统。

MT25QL256ABA1EW9-0SIT 主要技术参数

- 256Mbit
- x1, x2, and x4 支持
- 工作于 3.3V

表 5-2-2-1 FLASH 型号

位号	芯片型号	容量	厂家
IC1(核心板)	MT25QL256ABA1Ew9-0SIT	256Mbit	Micron

QSPI-FLASH 管脚定义如下：

表 5-2-2-2FLASH 的管脚定义

Signal Name	Description	FPGA Pin	QSPI Pin
FLASH_IO0	Data0	AC7	5
FLASH_IO1	Data1	AB7	2
FLASH_IO2	Data2	AA7	3
FLASH_IO3	Data3	Y7	7
FLASH_CLK	Serial Data Clock	AA9	6
FLASH_nCS	Chip Select	U7	1

QSPI-FLASH 原理图如下：

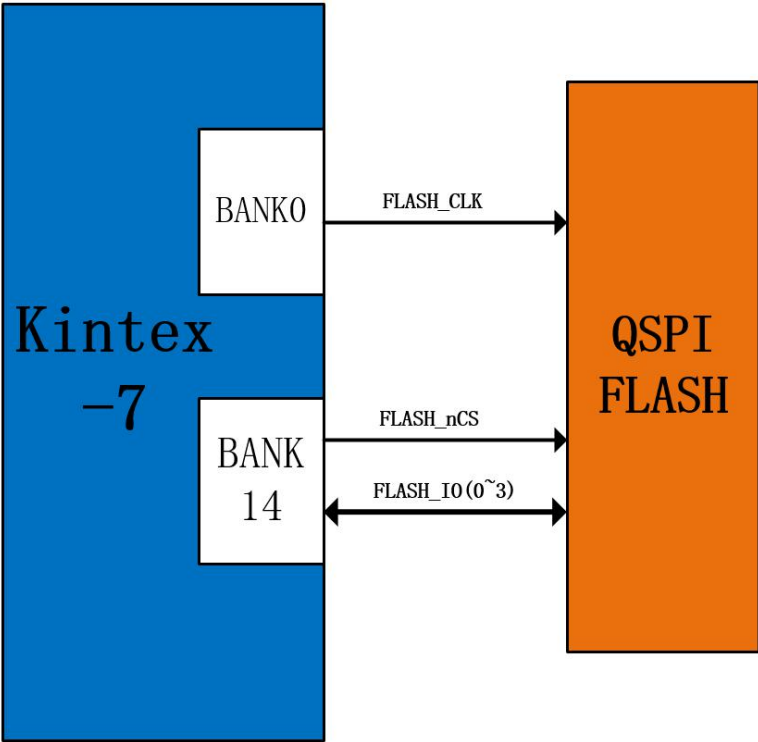


图 5-2-2 QSPI FLASH 原理图

5.3 系统时钟

核心板上具备一颗 100M 的有源差分时钟(默认 NC)和一颗 100M 的单端时钟；底板具备一个可编程程芯片，输出时钟范围 62.5MHz~625MHz（非线性）。还预留了一路可编程晶振焊接位置（默认不焊接），时钟 10M~1.4GHz 可编程。用户可根据需要选择焊接此晶振。

5.3.1 核心板时钟

核心板时钟 1：100MHz 单端时钟

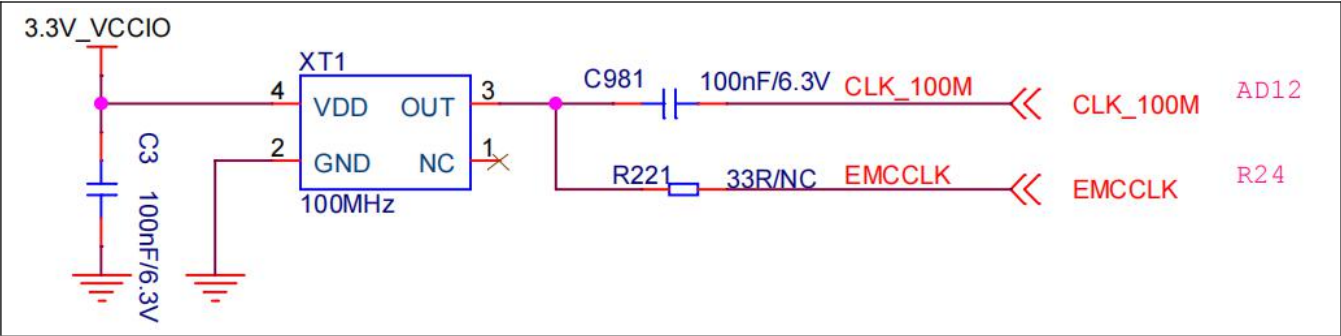


表 5-3-1-1 100MHz 单端时钟管脚定义

位号	Signal Name	FPGA Pin
XT1 (核心板)	CLK_100M	AD12
	EMCCLK(默认 NC)	R24

核心板时钟 2: 100MHz 差分时钟 (默认 NC)

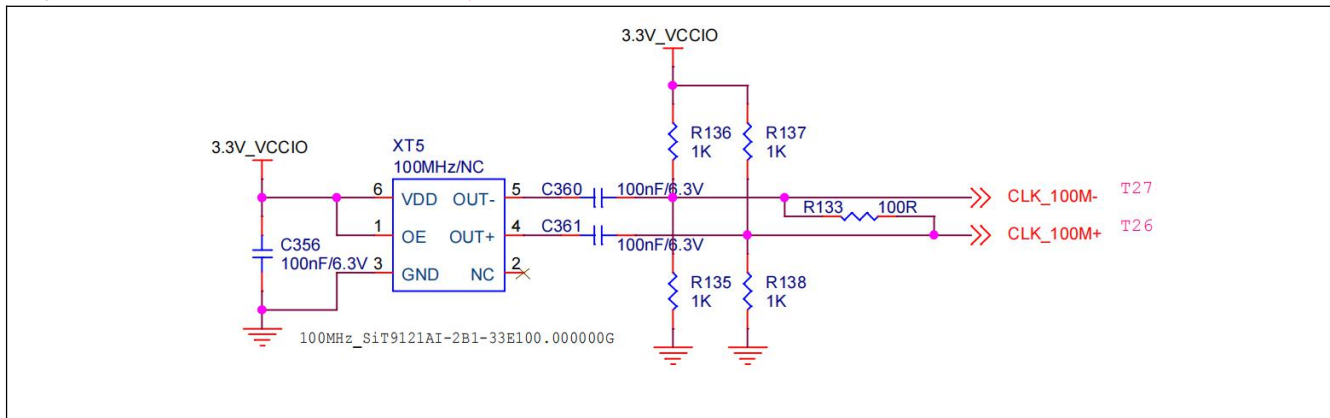


表 5-3-1-2 100MHz 差分时钟管脚定义

位号	Signal Name	FPGA Pin
XT5 (核心板)	CLK_100M+	T26
	CLK_100M-	T27

### 5.3.2 底板时钟



底板板载可编程时钟芯片为高速收发器 GTX 提供可编程时钟源。可编程芯片生成两对差分时钟，分别是（MGT118 CLK1 P、MGT118 CLK1 N）、（MGT117 CLK1 P、MGT117 CLK1 N）。

其中 (MGT118 CLK1 P、MGT118 CLK1 N) 用于通过 SFP+ 接口时钟。

表 5-3-2-1 时钟芯片

位号	芯片型号	厂家
U160、SW4(底板)	CDCM61002	TI

可编程时钟芯片原理图如下:

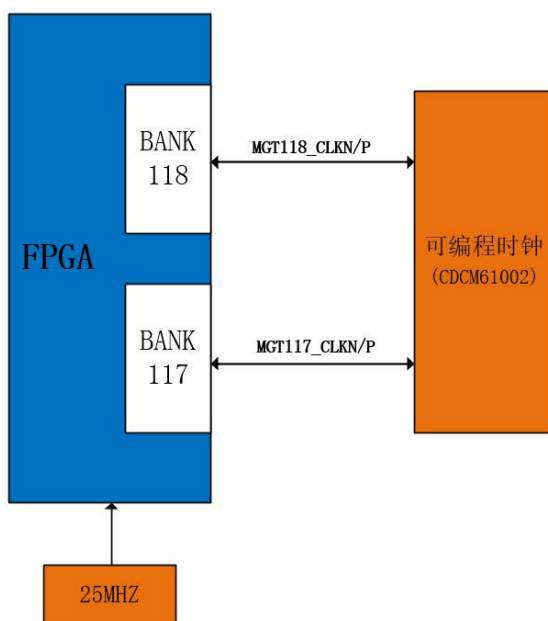


图 5-3-2 可编程时钟芯片原理图

可编程时钟芯片管脚定义如下

表 5-3-2-2 可编程时钟管脚定义(底板)

Signal Name	FPGA Pin
MGT118_CLK1_P	E8
MGT118_CLK1_N	E7
MGT117_CLK1_P	J8
MGT117_CLK1_N	J7

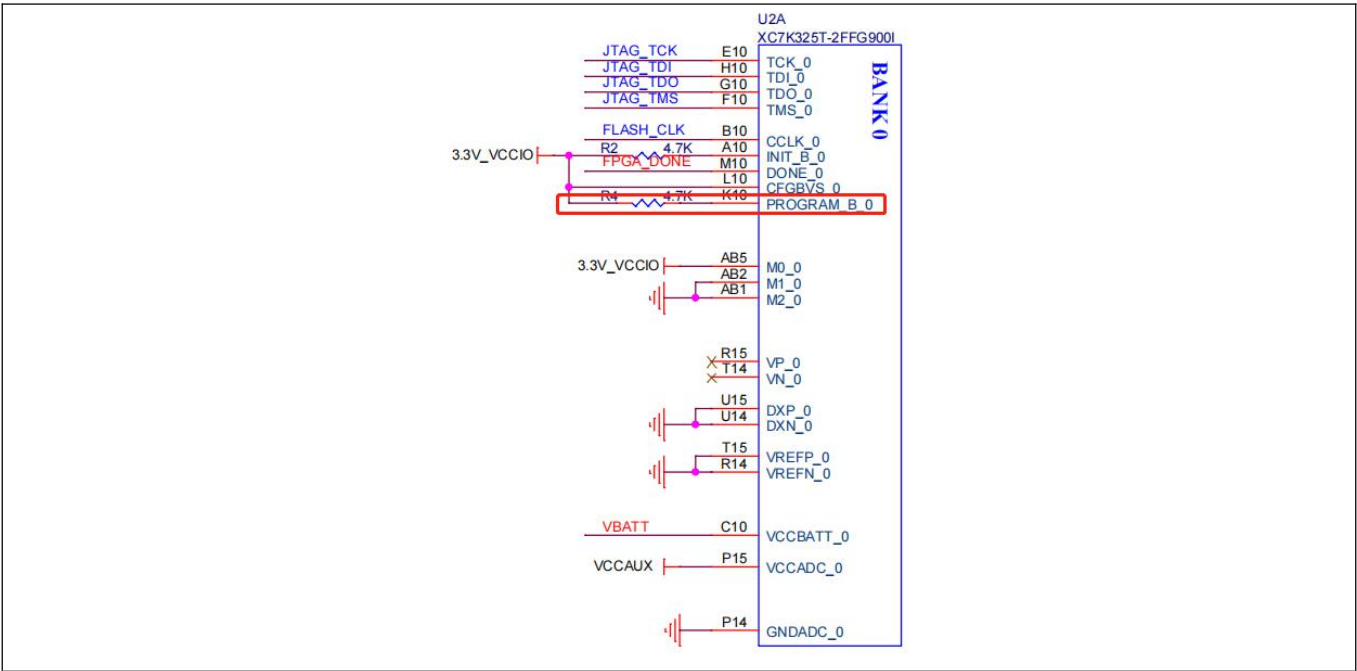
时钟选择模式开关对应模式如下：

表 5-3-2-3 可编程时钟模式

Prescale Divider	Feedback Divider	PR1/PR0	VCO MHz	Output Divider	OD2/OD1 /OD0	Output MHz	Application
4	20	11	2000	8	111	62.5	GigE
3	24	00	1800	8	111	75	SATA
3	24	00	1800	6	101	100	PCIE
4	20	11	2000	4	011	125	GigE
3	24	00	1800	4	011	150	SATA
3	25	10	1875	4	011	156.25	10GigE
5	15	01	1875	2	001	187.5	12GigE
3	24	00	1800	3	010	200	PCIE
4	20	11	2000	2	001	250	GigE
3	25	10	1875	2	001	312.5	XGMII
3	25	10	1875	1	000	625	10GigE

5.4 系统复位

芯片支持上电复位，复位整个芯片。





5.5 电源管理

5.5.1 核心板电源

核心板集成电源管理，+12V 电源输入通过 TI 电源芯片 TPS53355 产生 1.0V 的核心电源，输出电流高达 30A，满足 FPGA 核心电压的电流需求。

核心板电源启动顺序示意图如下：

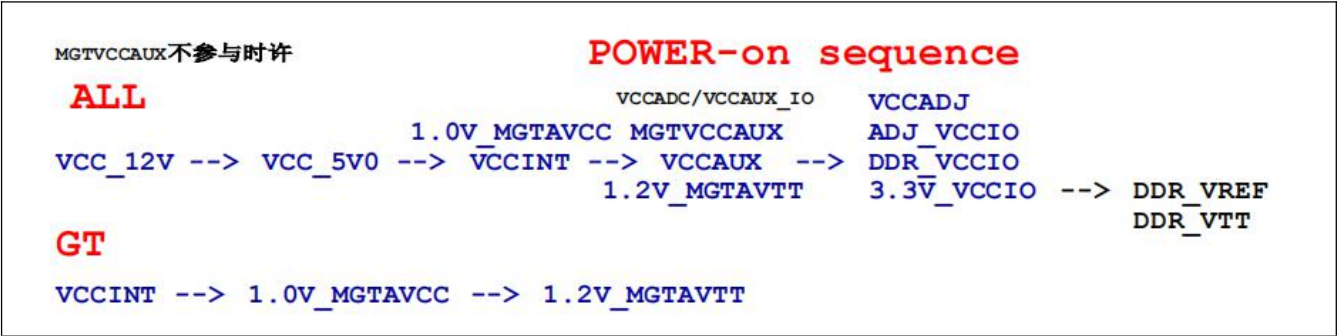


图 5-5-1 核心板电源启动顺序

官方时序要求如下：具体可见赛灵思 DCAC 手册

Power-On/Off Power Supply Sequencing

The recommended power-on sequence is  $V_{CCINT}$ ,  $V_{CCBRAM}$ ,  $V_{CCAUX}$ ,  $V_{CCAUX\_IO}$ , and  $V_{CCO}$  to achieve minimum current draw and ensure that the I/Os are 3-stated at power-on. The recommended power-off sequence is the reverse of the power-on sequence. If  $V_{CCINT}$  and  $V_{CCBRAM}$  have the same recommended voltage levels then both can be powered by the same supply and ramped simultaneously. If  $V_{CCAUX}$ ,  $V_{CCAUX\_IO}$ , and  $V_{CCO}$  have the same recommended voltage levels then they can be powered by the same supply and ramped simultaneously.

图 5-5-2 核心板电源启动顺序

电源对应功能如下：

表 5-5-1-1 电源功能对应表

电源	功能
1.0V	VCCINT、MGTAVCC
1.2V	MGTAVTT
5V	除内核电源外其他电源的供电电源
1.8V	MGTVCCAUX、VCCAUX
3.3V	3.3V_VCCIO
1.35V	DDR_VCCIO
ADJ_VCCIO	默认 1.8V(1.8V-3.3V 可调)
VCCADJ	默认 1.8V(1.8V-3.3V 可调)
DDR_VTT	0.6V

5.5.2 底板电源

底板集成电源管理，电源输入 12V，输出 1.8V、3.3V、5V。

5.6 USB to UART



底板具有一路 CP2104 转串口，用于开发板串口通信和调试。

表 5-6 USB TO UART 管脚定义

位号	Signal Name	Description	FPGA Pin	CP2104 Pin
U4、U35(底板)	UART_TXD	TX	AA26	21
	UART_RXD	RX	Y26	20

5.7 USB3.0 DEVICE



底板具有一路 USB3.0 DEVICE，使用芯片型号 FT601Q-B-T，可用于 USB3.0 通信。

表 5-7-1 USB3.0 DEVICE

位号	芯片型号	厂家
U10(底板)	FT601Q	FTDI

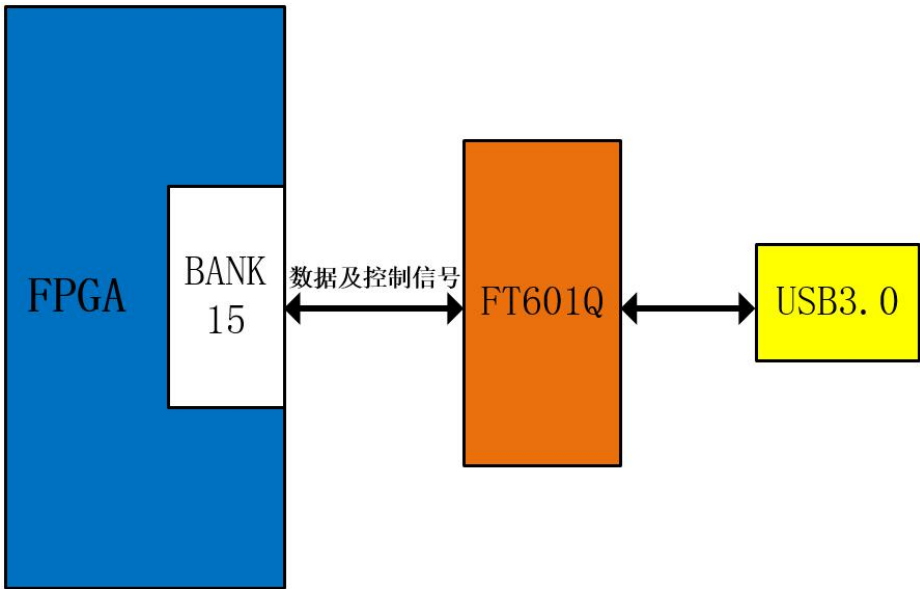


图 5-7-1 USB3.0 DEVICE 通信原理图

表 5-7-2 USB TO UART 管脚定义

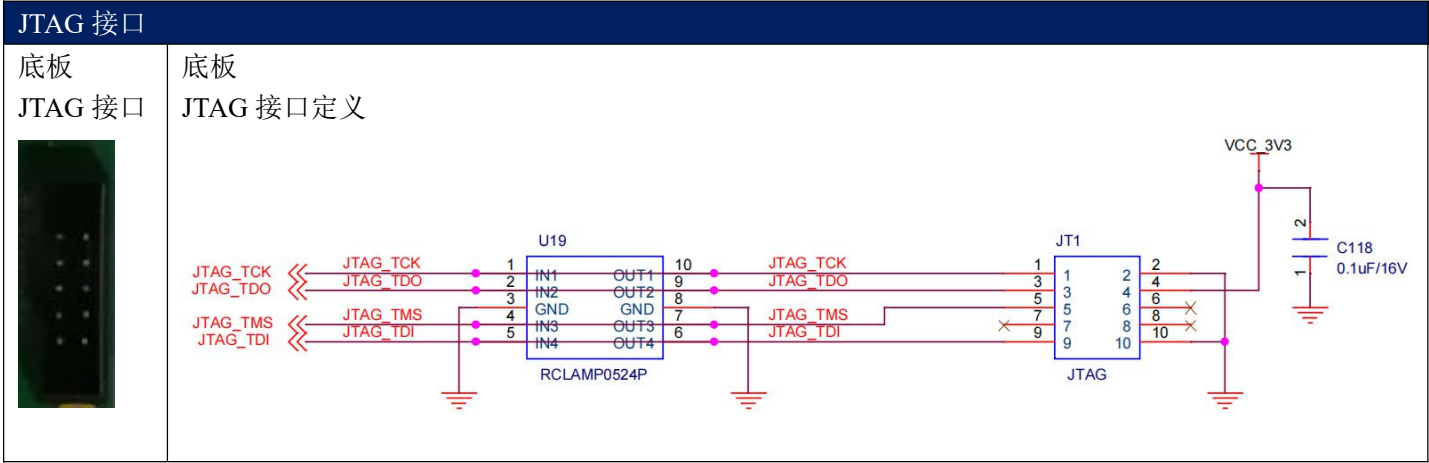
Signal Name	Description	FPGA Pin	FT601Q Pin	Usb3.0 接口	PAM3101
USBSS_CLK	CLK	K28	58		
USBSS_BE0	BE0	K29	4		
USBSS_BE1	BE1	N25	5		
USBSS_BE2	BE2	N26	6		
USBSS_BE3	BE3	P21	7		
USBSS_RESERVED	RESERVED		19		
USBSS_TXE	TXE	P22	8		
USBSS_RXF	RXE	M29	9		
USBSS_OE	OE	N29	13		
USBSS_RD	RD	L28	12		
USBSS_WR	WR	M28	11		
USBSS_SIWU	REV	M30	10		
USBSS_WAKEUP	INT	N30	16		
USBSS_VBUS	VBUS			1	
USBSS_EN	EN	J22			3
USBSS_SSRX_p	RIDP		35	10	
USBSS_SSRX_n	RIDN		34	9	
USB3_TOD_p (USBSS_SSTX_p)	TODP		32	7	
USB3_TOD_n (USBSS_SSTX_n)	TODN		31	6	
USBSS_D_p	DP		23	3	
USBSS_D_n	DM		25	2	
USBSS_SCL	SCL	N27	17		
USBSS_SDA	SDA	M27	18		
USBSS_D0	DATA_0	L21	40		
USBSS_D1	DATA_1	K21	41		
USBSS_D2	DATA_2	L22	42		
USBSS_D3	DATA_3	L23	43		
USBSS_D4	DATA_4	L25	44		
USBSS_D5	DATA_5	K25	45		
USBSS_D6	DATA_6	M22	46		
USBSS_D7	DATA_7	M23	47		
USBSS_D8	DATA_8	N21	50		
USBSS_D9	DATA_9	N22	51		
USBSS_D10	DATA_10	J29	52		
USBSS_D11	DATA_11	H29	53		
USBSS_D12	DATA_12	K23	54		
USBSS_D13	DATA_13	K24	55		
USBSS_D14	DATA_14	P23	56		
USBSS_D15	DATA_15	N24	57		
USBSS_D16	DATA_16	M20	60		
USBSS_D17	DATA_17	L20	61		
USBSS_D18	DATA_18	L30	62		

USBSS_D19	DATA_19	K30	63		
USBSS_D20	DATA_20	N19	64		
USBSS_D21	DATA_21	N20	65		
USBSS_D22	DATA_22	J23	66		
USBSS_D23	DATA_23	J24	67		
USBSS_D24	DATA_24	K26	69		
USBSS_D25	DATA_25	J26	70		
USBSS_D26	DATA_26	J27	71		
USBSS_D27	DATA_27	J28	72		
USBSS_D28	DATA_28	M24	73		
USBSS_D29	DATA_29	M25	74		
USBSS_D30	DATA_30	L26	75		
USBSS_D31	DATA_31	L27	76		

5.8 JTAG 接口

底板具有一路 JTAG 接口，以供下载和调试。

表 5-8-1 JTAG 接口



管脚定义如下

表 5-8-2 JTAG 管脚定义

Signal Name	FPGA Pin
TDI_JTAG	H10
TDO_JTAG	G10
TCK_JTAG	E10
TMS_JTAG	F10

5.9 HDMI 接口



底板具有两路 HDMI 接口，一路作为 HDMI 输入，一路作为 HDMI 输出。  
HDMI 输入使用 ADV7611 解码芯片，实现 HDMI 输入功能，输入可以达到 1080P @60Hz。  
HDMI 输出采用了 IO 模拟 HDMI 信号，输出可以达到 1080P@60Hz 高清传输。

原理图如下：

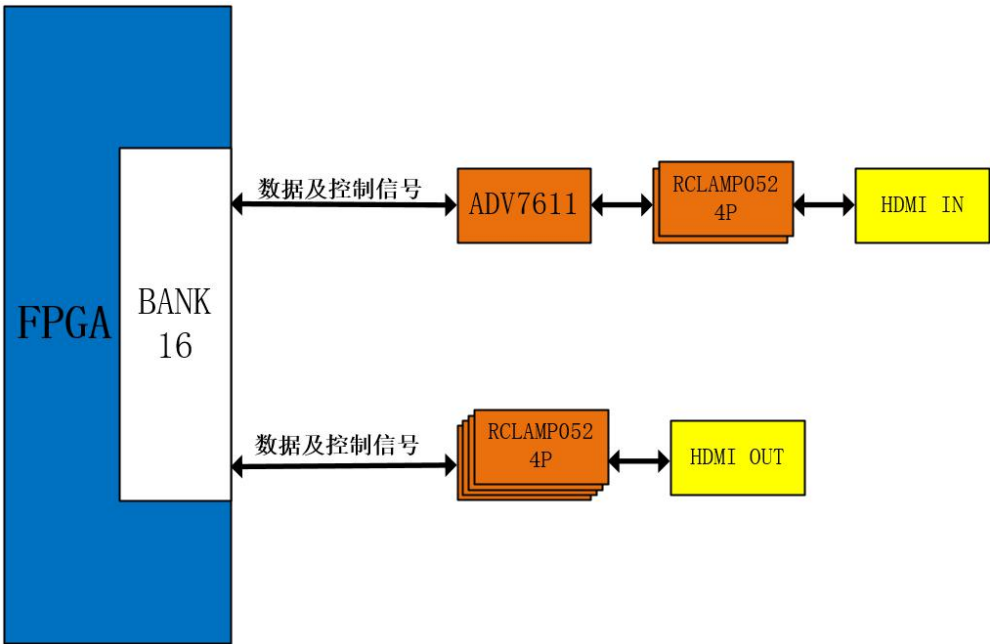


图 5-9-1 HDMI 通信原理图

表 5-9-1 HDMI 芯片型号

HDMI	芯片型号	位号	接口位号
输入	ADV7611	U13	U15(底板)
输出			U16(底板)

表 5-9-2 HDMI IN 接口管脚定义

Signal Name	Description	FPGA pin	ADV7611 pin
7611_FSCL	SCL	F28	53
7611_FSDA	SDA	H30	54



7611_FPCLK	LLC	D27	25
7611_FVS	VS	H26	47
7611_FHS	HS	B24	46
7611_FDE	DE	H27	45
7611_FRST	RESET	G30	56
7611_FD0	数据	C24	43
7611_FD1	数据	D28	42
7611_FD2	数据	G24	41
7611_FD3	数据	E28	39
7611_FD4	数据	G23	38
7611_FD5	数据	C27	37
7611_FD6	数据	H25	36
7611_FD7	数据	E26	35
7611_FD8	数据	H24	33
7611_FD9	数据	A27	32
7611_FD10	数据	C30	31
7611_FD11	数据	B28	30
7611_FD12	数据	E23	29
7611_FD13	数据	A28	28
7611_FD14	数据	D23	27
7611_FD15	数据	B30	26
7611_FD16	数据	A30	22
7611_FD17	数据	E24	21
7611_FD18	数据	E29	20
7611_FD19	数据	D24	19
7611_FD20	数据	E30	18
7611_FD21	数据	B27	17
7611_FD22	数据	G27	16
7611_FD23	数据	F27	15

表 5-9-3 HDMI OUT 接口管脚定义

Signal Name	Description	FPGA pin	HDMI pin
HDMIO_HPDP	Hot Plug Detect signal input		19
5V	5V 电源		18
DDC/CECG	DDC/CEC GND		17
HDMIO_SDA	I2C SDA	D29	16
HDMIO_SCL	I2C SCL	A26	15
RES			14
HDMIO_CEC	CEC		13
HDMIO_CLK_N	时钟-	B25	12

CLK SHIELD	时钟屏蔽		11
HDMIO_ CLK_P	时钟+	C25	10
HDMIO_ D0_N	数据 0-	B29	9
DATA0 SHIELD	数据 0 屏蔽		8
HDMIO_ D0_P	数据 0+	C29	7
HDMIO_ D1_N	数据 1-	C26	6
DATA1 SHIELD	数据 1 屏蔽		5
HDMIO_ D1_P	数据 1+	D26	4
HDMIO_ D2_N	数据 2-	E25	3
DATA2 SHIELD	数据 2 屏蔽		2
HDMIO_ D2_P	数据 2+	F25	1

5.10 10/100/1000M 以太网



开发板底板具有 2 路千兆以太网口，用户进行千兆网络通信开发，收发总线与对应时钟严格等长。采用的 PHY 型号为 RTL8211FD。

表 5-10-1 网口型号

位号	芯片型号	厂家
U8、U9 (底板)	RTL8211FD	Realtek

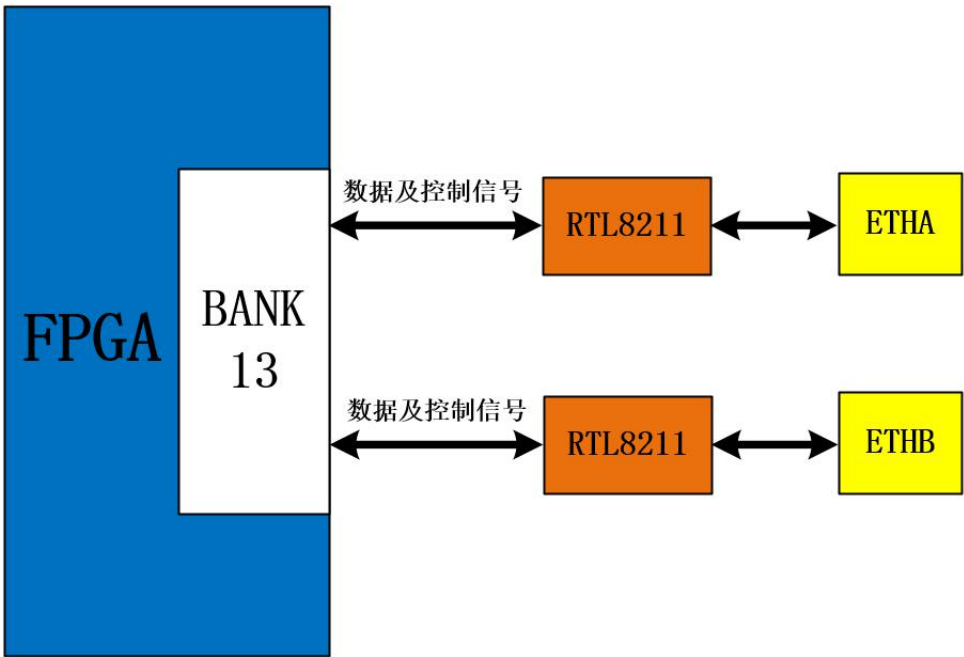


图 5-10 千兆网络通信原理图

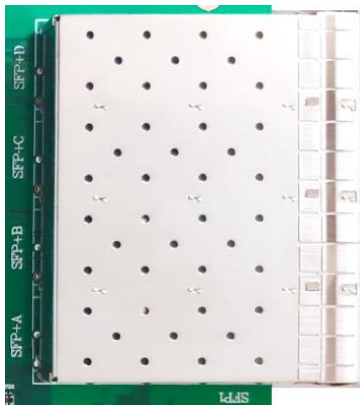
表 5-10-2 ETHA 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETHA_RXCK	Receive Clock	AB27	27
ETHA_RXCTL	RX_CTL	AF30	26
ETHA_RXD0	Receive Data 0	AE30	25
ETHA_RXD1	Receive Data 1	AE29	24
ETHA_RXD2	Receive Data 2	AD29	23
ETHA_RXD3	Receive Data 3	AC27	22
ETHA_TXCK	Transmit Clock	AF28	20
ETHA_TXCTL	TX_CTL	AE28	19
ETHA_TXD0	Transmit Data 0	AG28	18
ETHA_TXD1	Transmit Data 1	AG27	17
ETHA_TXD2	Transmit Data 2	AF27	16
ETHA_TXD3	Transmit Data 3	AF26	15
ETHA_MDIO	Management Data	W28	14
ETHA_MDC	Management Clock	W27	13
ETH_RST	RESET	AK30	12

表 5-10-3 ETHB 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETHB_RXCK	Receive Clock	AG29	27
ETH2_RXCTL	RX_CTL	AH26	26
ETH2_RXD0	Receive Data 0	AH27	25
ETH2_RXD1	Receive Data 1	AJ27	24
ETH2_RXD2	Receive Data 2	AK28	23
ETH2_RXD3	Receive Data 3	AJ26	22
ETH2_TXCK	Transmit Clock	AK26	20
ETH2_TXCTL	TX_CTL	AG30	19
ETH2_TXD0	Transmit Data 0	AH30	18
ETH2_TXD1	Transmit Data 1	AJ28	17
ETH2_TXD2	Transmit Data 2	AJ29	16
ETH2_TXD3	Transmit Data 3	AK29	15
ETH_MDIO	Management Data	AD26	14
ETH_MDC	Management Clock	AC26	13
ETH_RST	RESET	AK30	12

## 5.11 SFP+接口



开发板底板具有 4 路 SFP+接口，可接市场上通用的光模块，用于高速信号传输。MK7325FB 开发板具有 16 对 GTX，其中 4 对用于 SFP+接口。

SFP+接口可以接千兆光模块，做千兆光纤通信；SFP+接口可以接万兆光模块，做万兆光纤通信。

SFP+接口可以接千兆电口模块，实现千兆以太网通信；SFP+接口可以接万兆模块，实现万兆以太网通信。

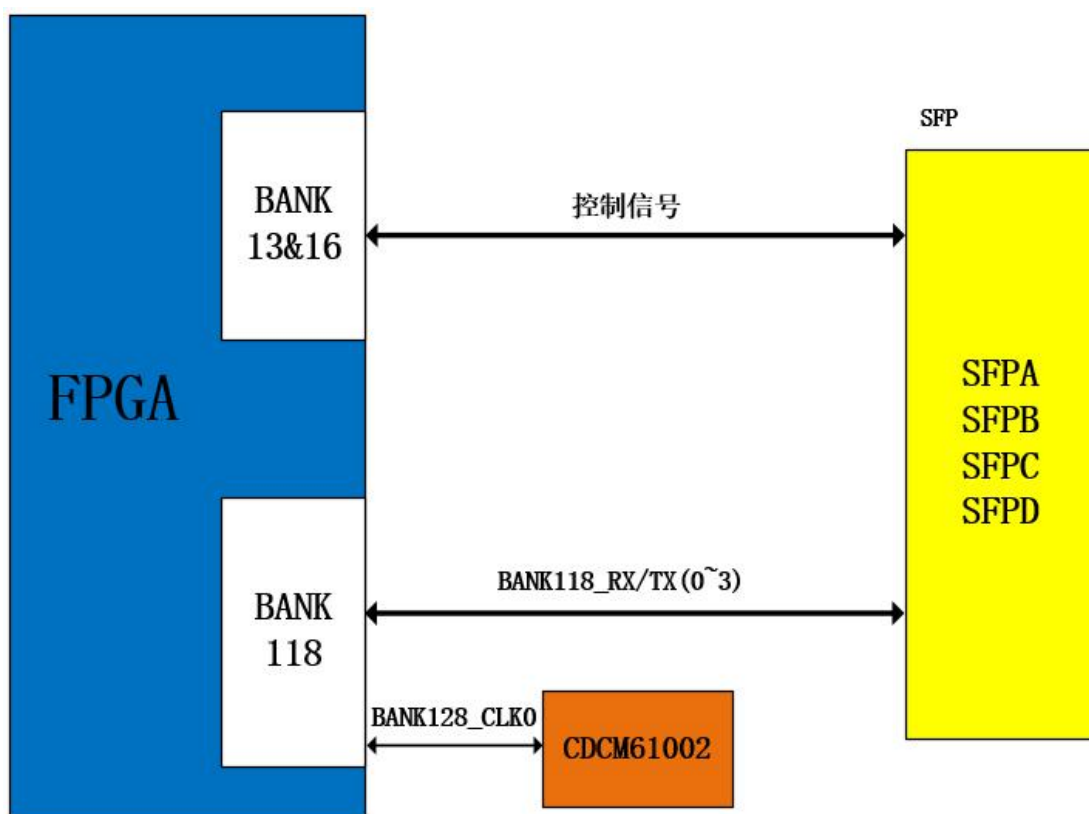


图 5-11-1 SFP+接口通信原理图

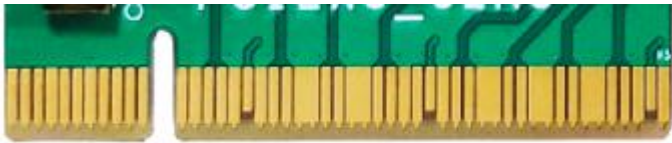
表 5-11-1 SFPA、SFPB 接口定义

Signal Name	Description	FPGA pin	SFP pin
SFPA_TX_Fault	发射失效报警		2
SFPA_TX_DIS	关断发射	B23	3
SFPA_SCL	I2C 通信时钟		4
SFPA_SDA	I2C 通信数据		5
SFPA_PRESENT	复位		6
SFPA_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	A23	7
SFPA_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	A25	9
SFPA_LOS	LOS 告警		8
SFPA_TD_P	发射部分数据输入（正向）	D2	18
SFPA_TD_N	发射部分数据输入（反向）	D1	19
SFPA_RD_P	接收部分数据输出（正向）	E4	13
SFPA_RD_N	接收部分数据输出（反向）	E3	12
Signal Name	Description	FPGA pin	SFP pin
SFPB_TX_Fault	发射失效报警		2
SFPB_TX_DIS	关断发射	AA25	3
SFPB_SCL	I2C 通信时钟		4
SFPB_SDA	I2C 通信数据		5
SFPB_PRESENT	复位		6
SFPB_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	AB25	7
SFPB_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AD27	9
SFPB_LOS	LOS 告警		8
SFPB_TD_P	发射部分数据输入（正向）	C4	18
SFPB_TD_N	发射部分数据输入（反向）	C3	19
SFPB_RD_P	接收部分数据输出（正向）	D6	13
SFPB_RD_N	接收部分数据输出（反向）	D5	12
Signal Name	Description	FPGA pin	SFP pin
SFPC_TX_Fault	发射失效报警		2
SFPC_TX_DIS	关断发射	AD28	3
SFPC_SCL	I2C 通信时钟		4
SFPC_SDA	I2C 通信数据		5
SFPC_PRESENT	复位		6
SFPC_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	Y30	7
SFPC_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AA30	9
SFPC_LOS	LOS 告警		8
SFPC_TD_P	发射部分数据输入（正向）	B2	18



SFPC_TD_N	发射部分数据输入（反向）	B1	19
SFPC_RD_P	接收部分数据输出（正向）	B6	13
SFPC_RD_N	接收部分数据输出（反向）	B5	12
Signal Name	Description	FPGA pin	SFP pin
SFPD_TX_Fault	发射失效报警		2
SFPD_TX_DIS	关断发射	AB29	3
SFPD_SCL	I2C 通信时钟		4
SFPD_SDA	I2C 通信数据		5
SFPD_PRESENT	复位		6
SFPD_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	AB30	7
SFPD_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AC29	9
SFPD_LOS	LOS 告警		8
SFPD_TD_P	发射部分数据输入（正向）	A4	18
SFPD_TD_N	发射部分数据输入（反向）	A3	19
SFPD_RD_P	接收部分数据输出（正向）	A8	13
SFPD_RD_N	接收部分数据输出（反向）	A7	12

### 5.12 PCIE 2.0 接口



开发板底板具有 PCIe 2.0X8 接口，PCIe 卡的外形尺寸符合标准 PCIe 卡电器规范要求，可以直接在普通的 PC 机的 PCIe 插槽上使用。开发板和电脑之间能够实现 PCIeX8 的数据通信。MK7325FB 开发板具有 16 对 GTX，其中 8 对用于 PCIe 2.0 X8 接口。



我们可以通过调节相应的模式开关来调整对应的 PCIE 模式

管脚定义如下：

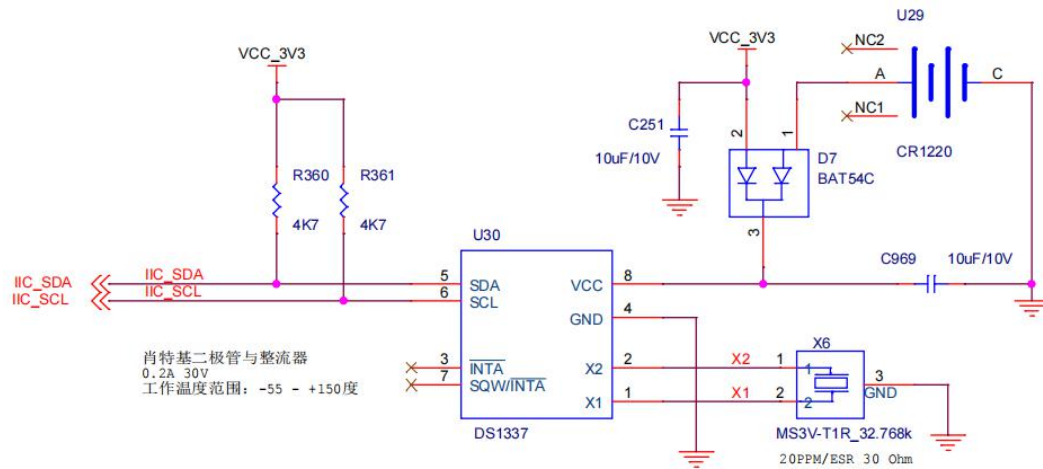
表 5-12-1 PCIE 接口定义

Signal Name	FPGA pin	PCIE finger pin
PCIE_PG	U29	A11
PCIE_CLK_P	G8	A13
PCIE_CLK_N	G7	A14
PCIE_TX0_P	F2	A16
PCIE_TX0_N	F1	A17

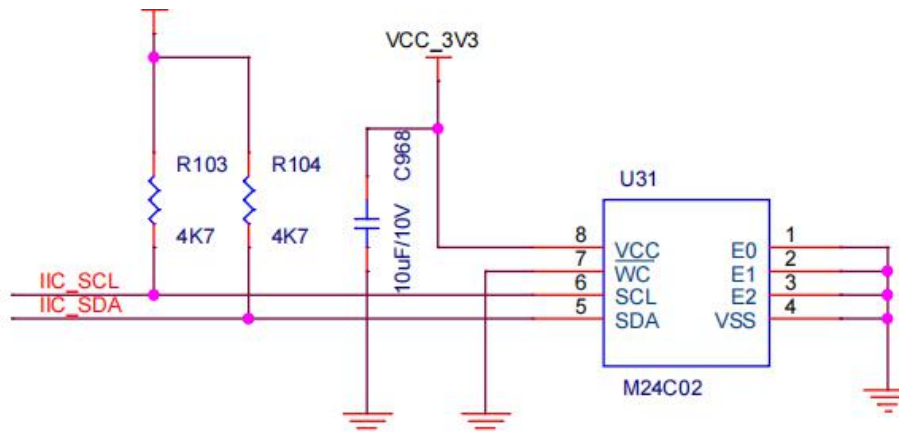
PCIE_TX1_P	H2	A21
PCIE_TX1_N	H1	A22
PCIE_TX2_P	J4	A25
PCIE_TX2_N	J3	A26
PCIE_TX3_P	K2	A29
PCIE_TX3_N	K1	A30
PCIE_TX4_P	L4	A35
PCIE_TX4_N	L3	A36
PCIE_TX5_P	M2	A39
PCIE_TX5_N	M1	A40
PCIE_TX6_P	N4	A43
PCIE_TX6_N	N3	A44
PCIE_TX7_P	P2	A47
PCIE_TX7_N	P1	A48
PCIE_RX0_P	F6	B14
PCIE_RX0_N	F5	B15
PCIE_RX1_P	G4	B19
PCIE_RX1_N	G3	B20
PCIE_RX2_P	H6	B23
PCIE_RX2_N	H5	B24
PCIE_RX3_P	K6	B27
PCIE_RX3_N	K5	B28
PCIE_RX4_P	M6	B33
PCIE_RX4_N	M5	B34
PCIE_RX5_P	P6	B37
PCIE_RX5_N	P5	B38
PCIE_RX6_P	R4	B41
PCIE_RX6_N	R3	B42
PCIE_RX7_P	T6	B45
PCIE_RX7_N	T5	B46

## 5.13 RTC 和 EEPROM

## RTC



## EEPROM

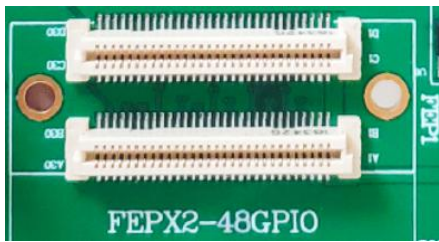


DS1337 是一款低功耗, 具有 56 字节非失性 RAM 的全 BCD 码时钟日历实时时钟芯片。

M24C02 是基于 I2C 总线的存储器件，遵循二线制协议，它具有接口方便，体积小，数据掉电不丢失等特点

	RTC	EEPROM
SDA	AH29	AH29
SCL	AC30	AC30

## 5.14 FEP 接口



MK7325FB 板载 4 个 FEP(Fast Expand Port) 60 PIN 的 HEADER 。其中两个 FEP 接口构成一组 FEPX2, 4 个 FEP 构成两组。第一组共有 96 个 IO/48 对差分, 第二组 FEP 48IO/24 对差分和 4 对 GTX( MK7325FB 开发板具有 16 对 GTX 其中 4 对用于 FEP 接口 ) 。

管脚定义如下:

表 5-14-1 HEPA-1 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	BK18_L19P : J16	B4	BK18_L23P : C15
A5	BK18_L19N : H16	B5	BK18_L23N : B15
A6	BK18_L1P : L16	B6	BK18_L19P : F15
A7	BK18_L1N : K16	B7	BK18_L19N : E16
A8	BK18_L7P : H15	B8	BK18_L21P : D14
A9	BK18_L7N : G15	B9	BK18_L21N : C14
A10	BK18_L2P : L15	B10	BK18_L15P : C12
A11	BK18_L2N : K15	B11	BK18_L15N : B12
A12	GND	B12	GND
A13	BK18_L5P : K14	B13	BK18_L10P : H11
A14	BK18_L5N : J14	B14	BK18_L10N : H12
A15	BK18_L4P : K13	B15	BK18_L13P : D12
A16	BK18_L4N : J13	B16	BK18_L13N : D13
A17	BK18_L3P : L12	B17	BK18_L12P : G13
A18	BK18_L3N : L13	B18	BK18_L12N : F13
A19	BK18_L6P : L11	B19	BK18_L14P : F12
A20	BK18_L6N : K11	B20	BK18_L14N : E13
A21	GND	B21	GND
A22	BK18_L8P : J11	B22	BK18_L16P : F11
A23	BK18_L8N : J12	B23	BK18_L16N : E11
A24	BK18_L11P : H14	B24	BK18_L18P : D11
A25	BK18_L11N : G14	B25	BK18_L18N : C11
A26	BK18_L20P : E14	B26	BK18_L17P : A11

A27	BK18_L20P : E15	B27	BK18_L17N : A12
A28	BK18_L24P : B14	B28	BK18_L22P : B13
A29	BK18_L24N : A15	B29	BK18_L22N : A13
A30	GND	B30	GND

表 5-14-2 HEPA-2 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15	GND	D15	GND
C16	MGT115_CLK1+ : U7	D16	MGT115_RX0+ : AA4
C17	MGT115_CLK1- : U8	D17	MGT115_RX0- : AA3
C18	GND	D18	GND
C19	MGT115_TX0+ : Y2	D19	MGT115_RX1+ : Y6
C20	MGT115_TX0- : Y1	D20	MGT115_RX1- : Y5
C21	GND	D21	GND
C22	MGT115_TX1+ : V2	D22	MGT115_RX2+ : W4
C23	MGT115_TX1- : V1	D23	MGT115_RX2- : W3
C24	GND	D24	GND
C25	MGT115_TX2+ : U4	D25	MGT115_RX3+ : V6
C26	MGT115_TX2- : U3	D26	MGT115_RX3- : V5
C27	GND	D27	GND
C28	MGT115_TX3+ : T2	D28	MGT115_CLK0+ : R8
C29	MGT115_TX3- : T1	D29	MGT115_CLK0- : R7
C30	GND	D30	GND



表 5-14-2 FEPB-1 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	BK12_L7P : AB24	B4	BK12_L9P : AC24
A5	BK12_L7N : AC25	B5	BK12_L9N : AD24
A6	BK12_L4P : AA22	B6	BK12_L1P : Y23
A7	BK12_L4N : AA23	B7	BK12_L1N : Y24
A8	BK12_L16P : AE25	B8	BK12_L8P : AC22
A9	BK12_L16N : AF25	B9	BK12_L8N : AD22
A10	BK12_L11P : AE23	B10	BK12_L23P : AH21
A11	BK12_L11N : AF23	B11	BK12_L23N : AJ21
A12	GND	B12	GND
A13	BK12_L18P : AG25	B13	BK12_L22P : AG20
A14	BK12_L18N : AH25	B14	BK12_L22N : AH20
A15	BK12_L21P : AJ22	B15	BK12_L13P : AF22
A16	BK12_L21N : AJ23	B16	BK12_L13N : AG23
A17	BK12_L20P : AG22	B17	BK12_L12P : AD23
A18	BK12_L20N : AH23	B18	BK12_L12N : AE24
A19	BK12_L24P : AK20	B19	BK12_L19P : AF20
A20	BK12_L24N : AK21	B20	BK12_L19N : AF21
A21	GND	B21	GND
A22	BK12_L14P : AG24	B22	BK12_L10P : AD21
A23	BK12_L14N : AH24	B23	BK12_L10N : AE21
A24	BK12_L15P : AJ24	B24	BK12_L5P : AC20
A25	BK12_L15N : AK25	B25	BK12_L5N : AC21
A26	BK12_L17P : AK23	B26	BK12_L3P : AB22
A27	BK12_L17N : AK24	B27	BK12_L3N : AB23
A28	BK12_L2P : Y21	B28	BK12_L6P : AA22
A29	BK12_L2N : AA21	B29	BK12_L6N : AB20
A30	GND	B30	GND

表 5-14-4 HEPB-2 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	
C16		D16	
C17		D17	
C18		D18	
C19		D19	
C20		D20	
C21	GND	D21	GND
C22		D22	
C23		D23	
C24		D24	
C25		D25	
C26		D26	
C27		D27	
C28		D28	
C29		D29	
C30	GND	D30	GND

5.15 按键



开发板底板具备 3 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

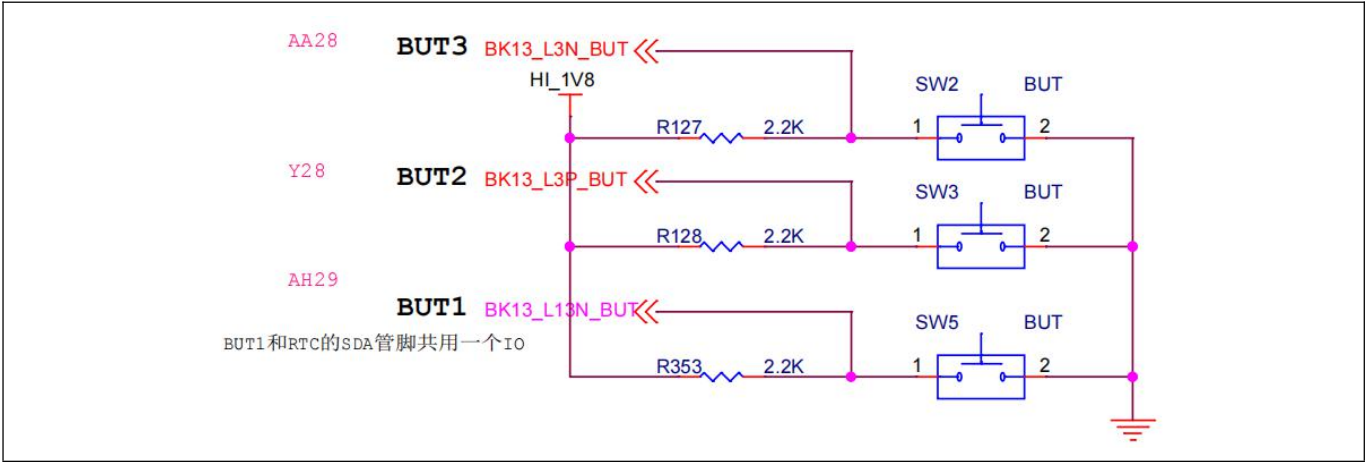


表 5-15-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
BUT3	BUT	AA28	13
BUT2	BUT	Y28	13
BUT1	BUT	AH29	13

开发板核心板具备 1 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

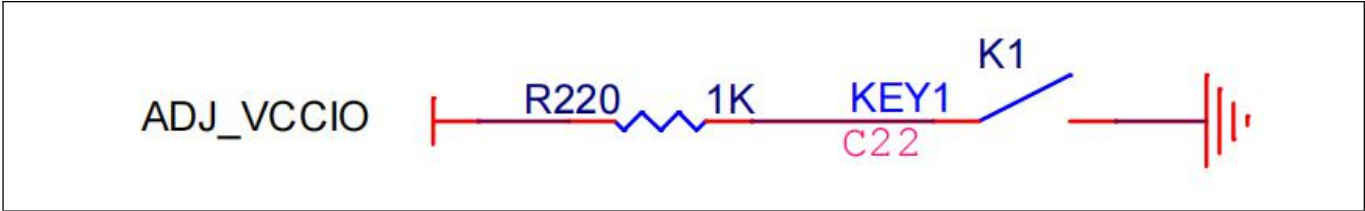


表 5-15-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
K1	KEY1	AM12	64

5.16 LED



开发板底板具有 3 个用户 LED。

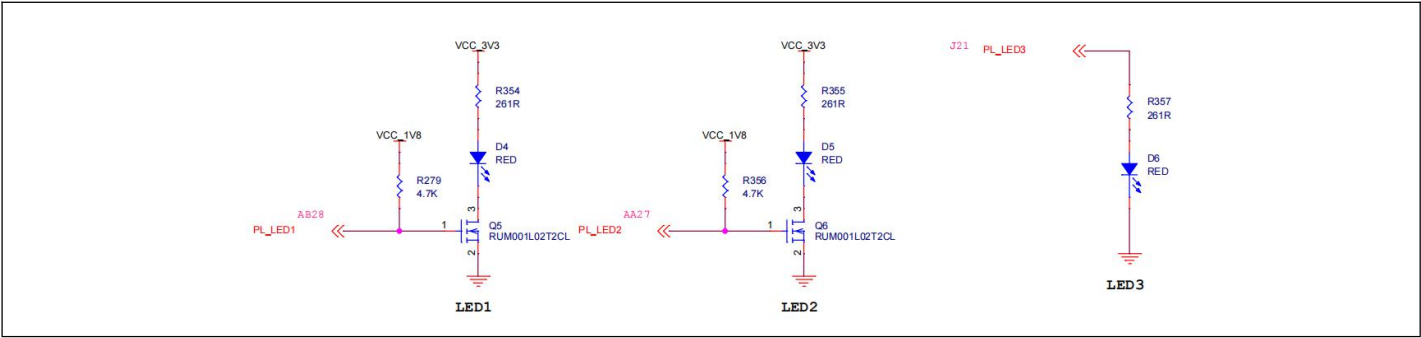
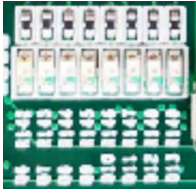


表 5-16-2 底板 LED 定义

位号(底板)	Signal Name	FPGA pin	BANK
D4	LED1	AB28	46
D5	LED2	AA27	46
D6	LED3	J21	46



开发板核心板具有 8 个用户 LED。

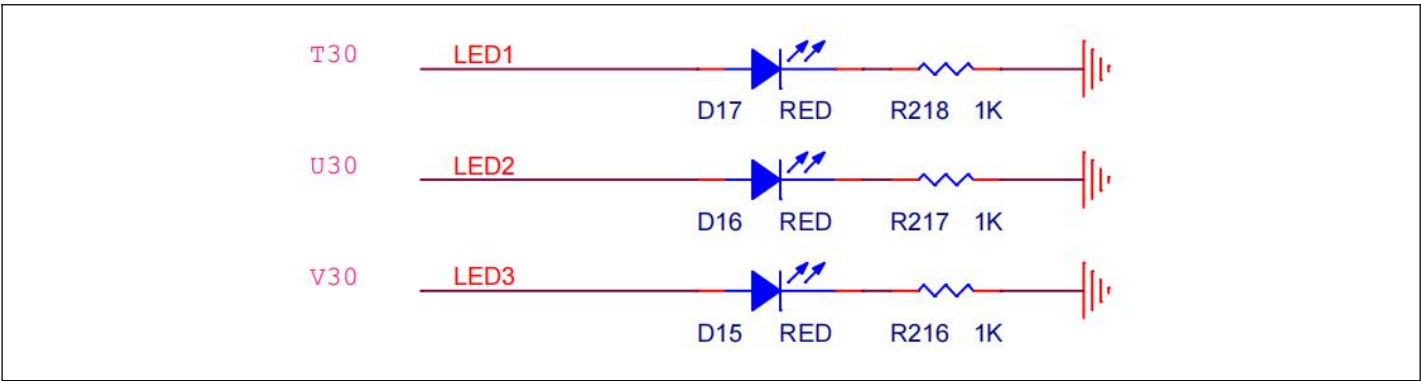


表 5-16-3 核心板 LED 定义

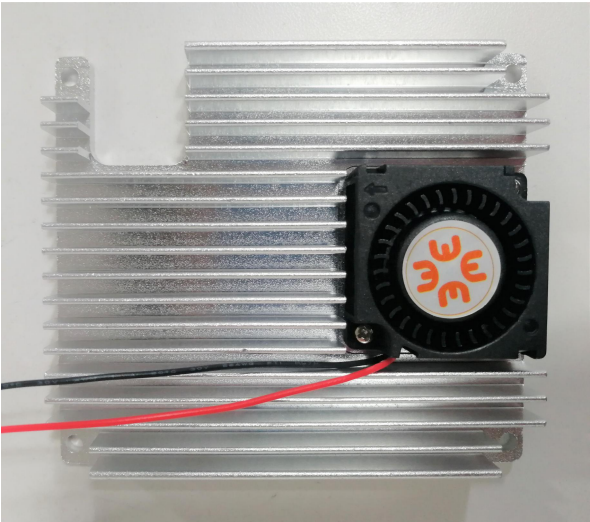
位号(底板)	Signal Name	FPGA pin	BANK
D17	LED1	T30	14
D16	LED2	U30	14
D15	LED3	V30	14

5.17 电源

5.17.1 底板电源

MK7325FB 底板具有一个 12V 电源供电接口。此接口电源供电，可以用于实际开发和测试，请使用配套电源或稳压电源对开发板进行供电，板卡配套电源为 DC-12V/5A。

5.18 风扇



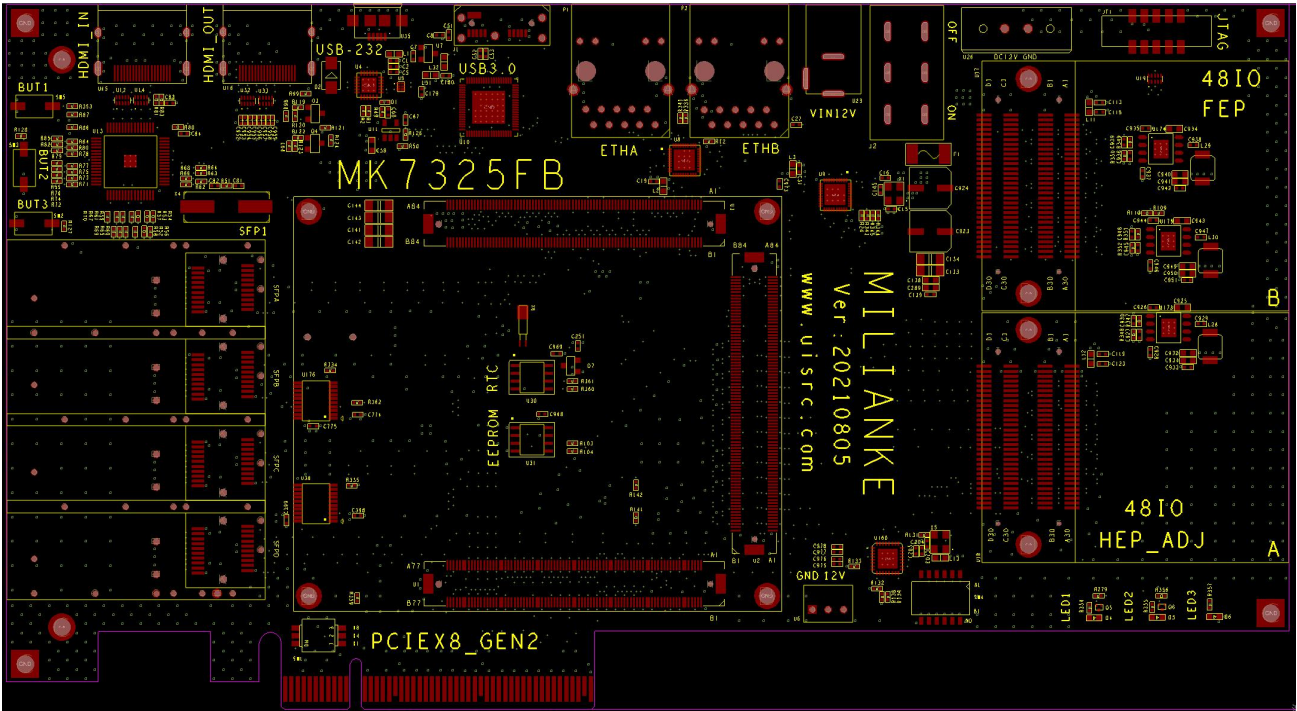
FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热风扇（散热片+风扇），防止芯片过热。风扇由底板电源供电。开发板出厂前，已安装风扇。

表 5-18-1 风扇

位号(底板)	功能
U6	风扇

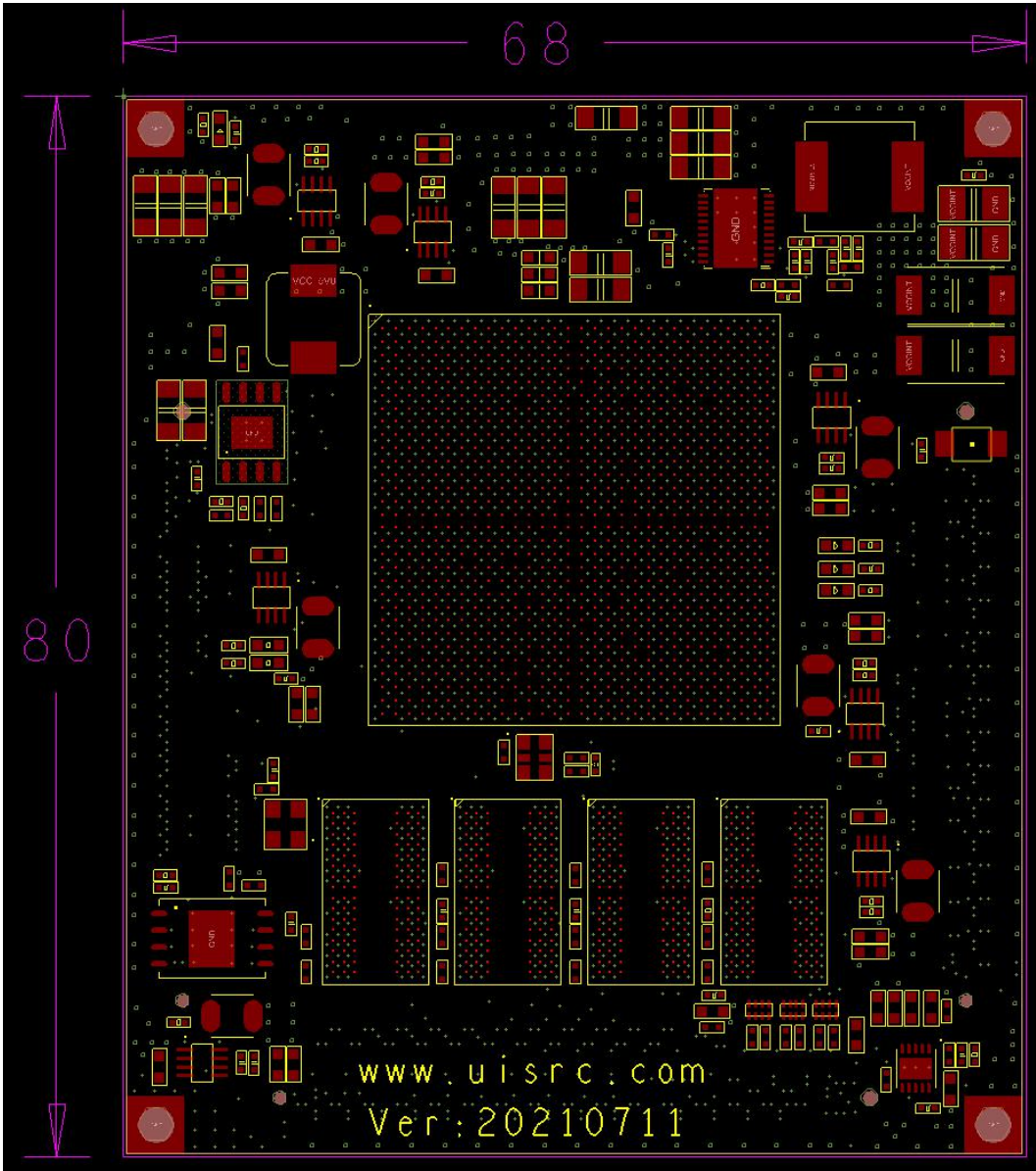
六、结构尺寸图

底板结构尺寸图：210(mm)x115(mm)    PCB：6 层





核心板结构尺寸图：68(mm)x80(mm) PCB：14 层



七、版本型号

版本日期	版本号	修改原因
20201-09-04	1.0	第一版

八、联系方式

联系电话：0519-80699907  
地址：溧阳市江苏软件园（天目云谷）3#楼  
官方论坛：<https://www.uisrc.com>  
淘宝店铺：<https://milianke.taobao.com>