

Kintex-7 MK7325FA 开发板硬件使用手册 V1.3

常州一二三电子科技有限公司
溧阳米联电子科技有限公司

官方论坛: <http://www.osrc.cn>

淘宝店铺: <http://osrc.taobao.com>

QQ 群 1: 34215299 (2000 人已满)

QQ 群 2: 86730608 (2000 人已满)

QQ 群 3: 543731097 (2000 人 VIP 群)

QQ 群 4: 516869816 (2000 人 VIP 群)

公司座机: 0519-80699907

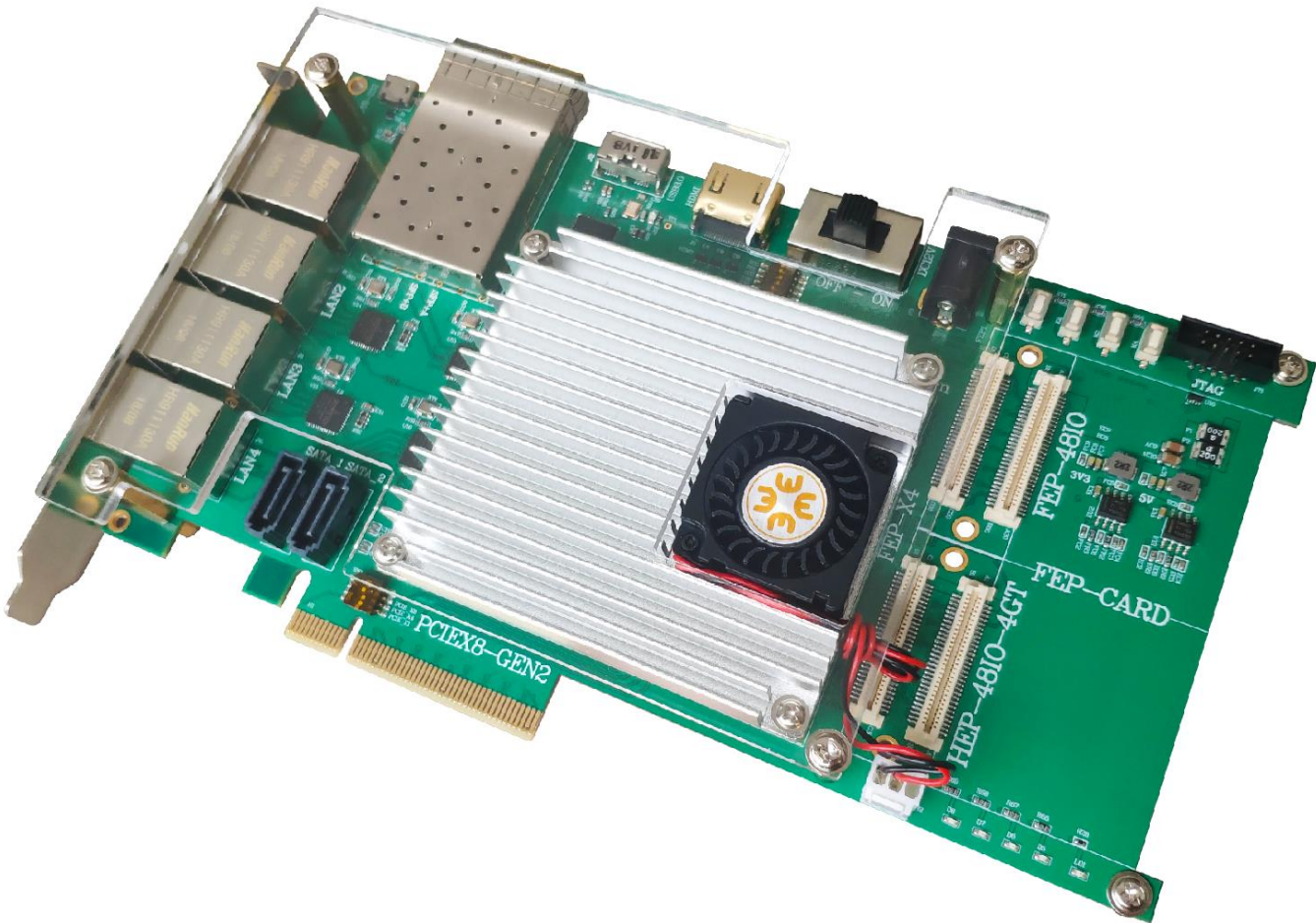
地址: 溧阳市江苏软件园 (天目云谷) 3#楼

米联客 Kintex7 系列高品质开发板

----MK7325FA

适用领域：图像、通信、机器视觉等领域开发应用

大容量、高品质、性能卓越！



主芯片：FPGA-XC7K325T-FFG900-2I

DDR：2GB DDR3（4 片 512MByte），数据时钟 1600MHZ*64bit FLASH：256Mbit

◆ PCIE2.0 X8	◆ SFP+ X2	◆ 千兆网 X 4
◆ USB3.0 X1	◆ SATA X2	◆ FEP X4

目录

Kintex-7 MK7325FA 开发板硬件使用手册 V1.2.....	1
目录	1
用户须知—使用必看	1
一、整体概述	1
二、应用领域及人群	1
三、硬件配置	2
四、开发板图示	3
4.1 开发板	3
4.2 核心板	4
五、开发板功能描述	6
5.1 KINTEX7- XC7K325	6
5.2 内存（Memory）	6
5.2.1 DDR3	6
5.2.2 PROM SPI FLASH	7
5.2.3 TF 卡座	9
5.3 系统时钟	9
5.3.1 核心板时钟	10
5.3.2 底板时钟	10
5.4 系统复位	12
5.5 电源管理	12
5.5.1 核心板电源	12
5.5.2 底板电源	13
5.6 USB to UART	13
5.7 USB3.0 DEVICE	14
5.8 JTAG 接口	16
5.9 HDMI 接口	16
5.10 10/100/1000M 以太网	17
5.11 SATA 接口	20
5.12 SFP+接口	21
5.13 PCIE 接口	22
5.14 FEP 接口	25
5.15 按键	30
5.15.1 核心板按键	30
5.15.2 底板按键	30
5.16 LED	31
5.16.1 核心板 LED	31
5.16.2 底板 led	32
5.17 电源	32
5.17.1 核心板电源	32
5.17.2 底板电源	33
5.18 风扇	33
六、结构尺寸图	33
七、版本型号	35
八、联系方式	35

用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

溧阳米联电子技术服务部

一、整体概述

MK7325FA Kintex-7 系列开发平台是米联电子推出的一款高端产品。

主要特色是：

1) 高性价比：

核心板集成电源管理：内核 1.0V，提供 30A 电流能力，底板从核心板取电。

核心板+底板设计：用户基于核心板设计功能底板（提供底板设计方案）。降低项目底板设计难度和生产成本，加速项目开发。

2) 设计紧凑：核心板 80(mm) x 68(mm)，底板 200(mm) x 110(mm)。

3) 资源丰富：

主芯片：FPGA-XC7K325T-FFG900i

DDR：2GB DDR3（4 片 512MByte），数据时钟 1600MHZ*64bit

高性能接口：

◆ PCIE2.0	X8	◆ SFP+	X2
◆ USB3.0	X1	◆ DDR3	X4
◆ 千兆网	X4	◆ SATA	X2
◆ FEP	X4		

GPIO/差分对：核心板可用 16 对 GTX，240 个 IO/120 对差分；底板 FEPx4 扩展接口具备 96 个 GPIO/48 对差分、4 对 GTX。

FEP 接口：高速通信接口，可外接子卡，实现功能扩展。

4) DEMO 丰富：PCIE 通信、千兆/万兆光通信、图像采集处理等

5) 免费源码：购买板子的用户免费获得设计源码及视频课程。

6) 贴心技术支持：为客户提供开发板相关的硬件和软件技术支持，加速产品化开发过程。

二、应用领域及人群

- 高速数据通信
- 机器视觉、工业控制
- 视频采集、视频输出、消费电子
- 项目研发前期验证
- 电子信息工程、自动化、通信工程等电子类相关专业开发人员学习

三、硬件配置

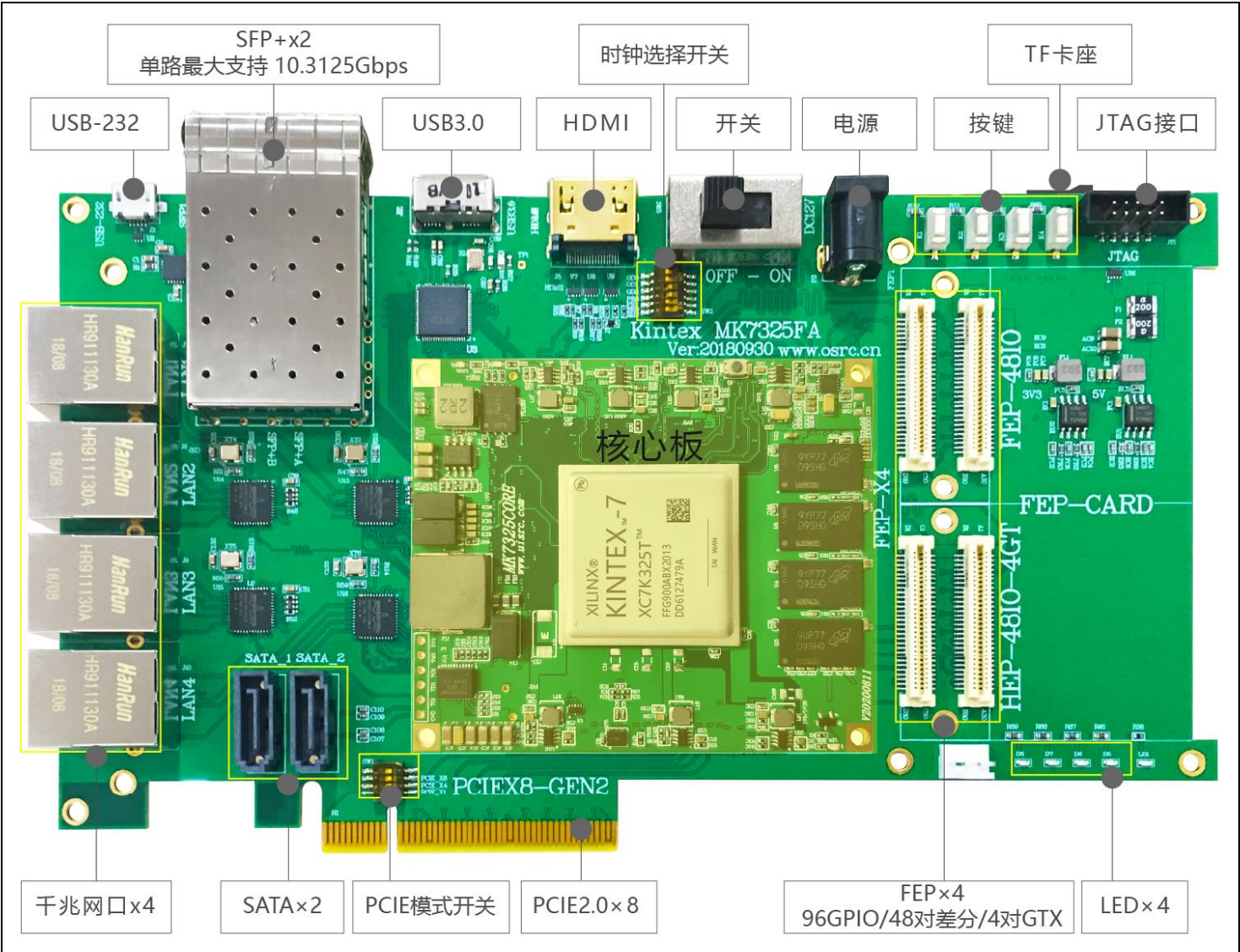
名称	具体参数
FPGA	FPGA-XC7K325T-FFG900I
DDR3	2GB(4 片 512MByte), 数据时钟 1600MHZ*64bit
FLASH	256Mbit QSPI FLASH, 用于固化程序, 存放数据
晶振	200MHz x1, 用户时钟 底板板载一颗可编程时钟芯片, 为 GTX 信号提供时钟源
电源管理	核心板集成电源管理, 内核 1.0V, 提供 30A 电流能力
PCIE 接口	底板具有 PCIE 2.0 X8
SFP+接口	底板具有 2 路 SFP+, 单路最大支持 10.3125Gbps
SATA 接口	底板具有 2 路 SATA 接口
千兆以太网	底板具有 4 路千兆网口
USB 3.0 接口	底板具有一路 USB 3.0 DEVICE
USB 串口	底板具有一路 USB 转串口
HDMI 接口	底板具有 1 路 HDMI 输出, 支持 1080P
TF 卡座	底板具有一路 TF 卡接口, 可插入 TF 卡
JTAG 接口	核心板和底板分别具有一路 JTAG 接口, 使用下载器进行调试和下载
FEP 接口	底板具有 FEPX4, 提供 96 个 GPIO/48 对差分、4 对 GTX
LED	底板 4 个, 核心板 1
按键	核心板 1 个, 底板 4 个
外形	核心板 80(mm)x68(mm); 底板 200(mm)x110(mm)
连接器	140PIN X3, 0.6 mm
底板电源	DC-12V/5A

四、开发板图示

注意：示意图只标识芯片位置，并不代表实物，使用者请根据实际使用板卡进行开发。

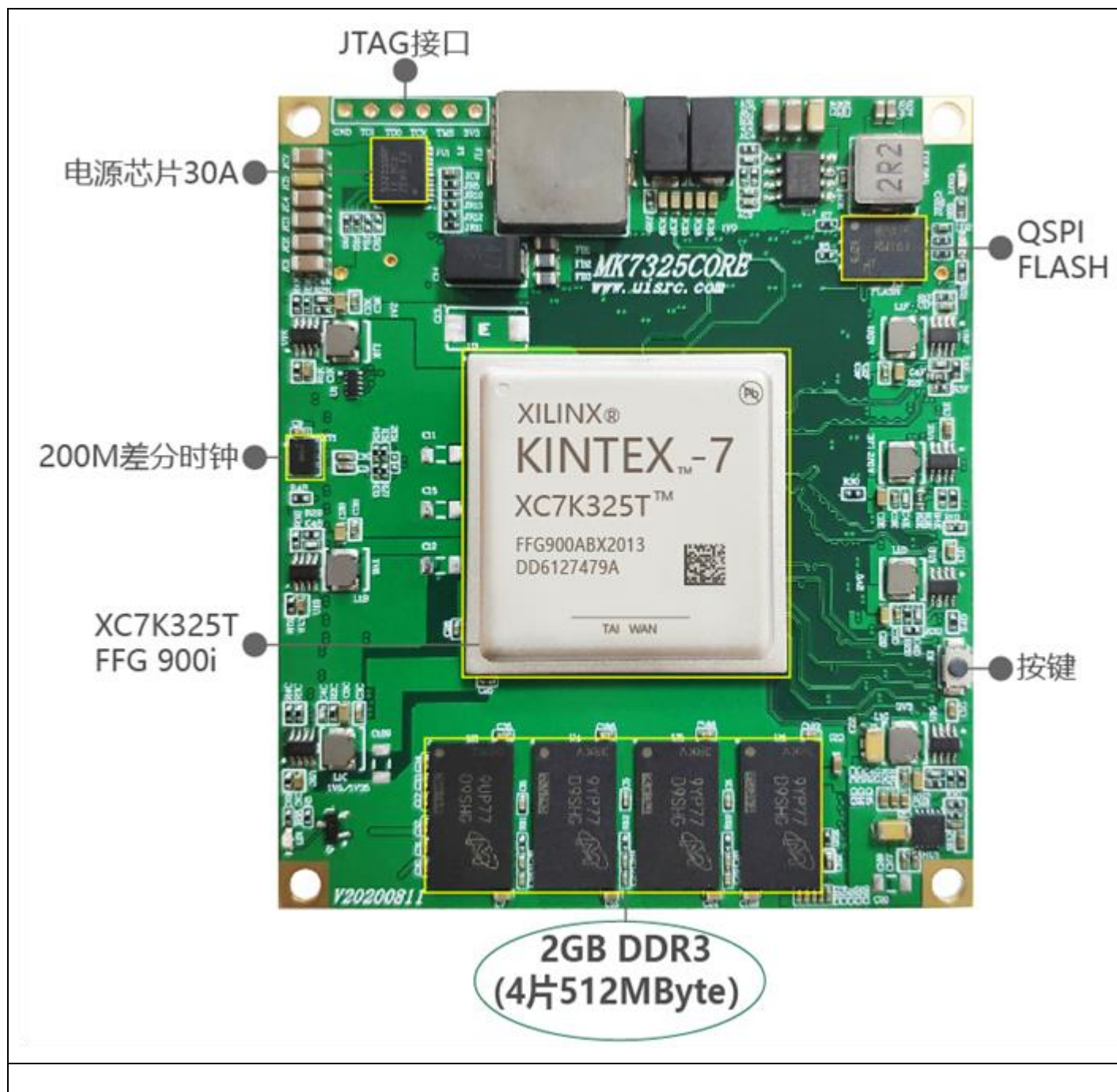
4.1 开发板

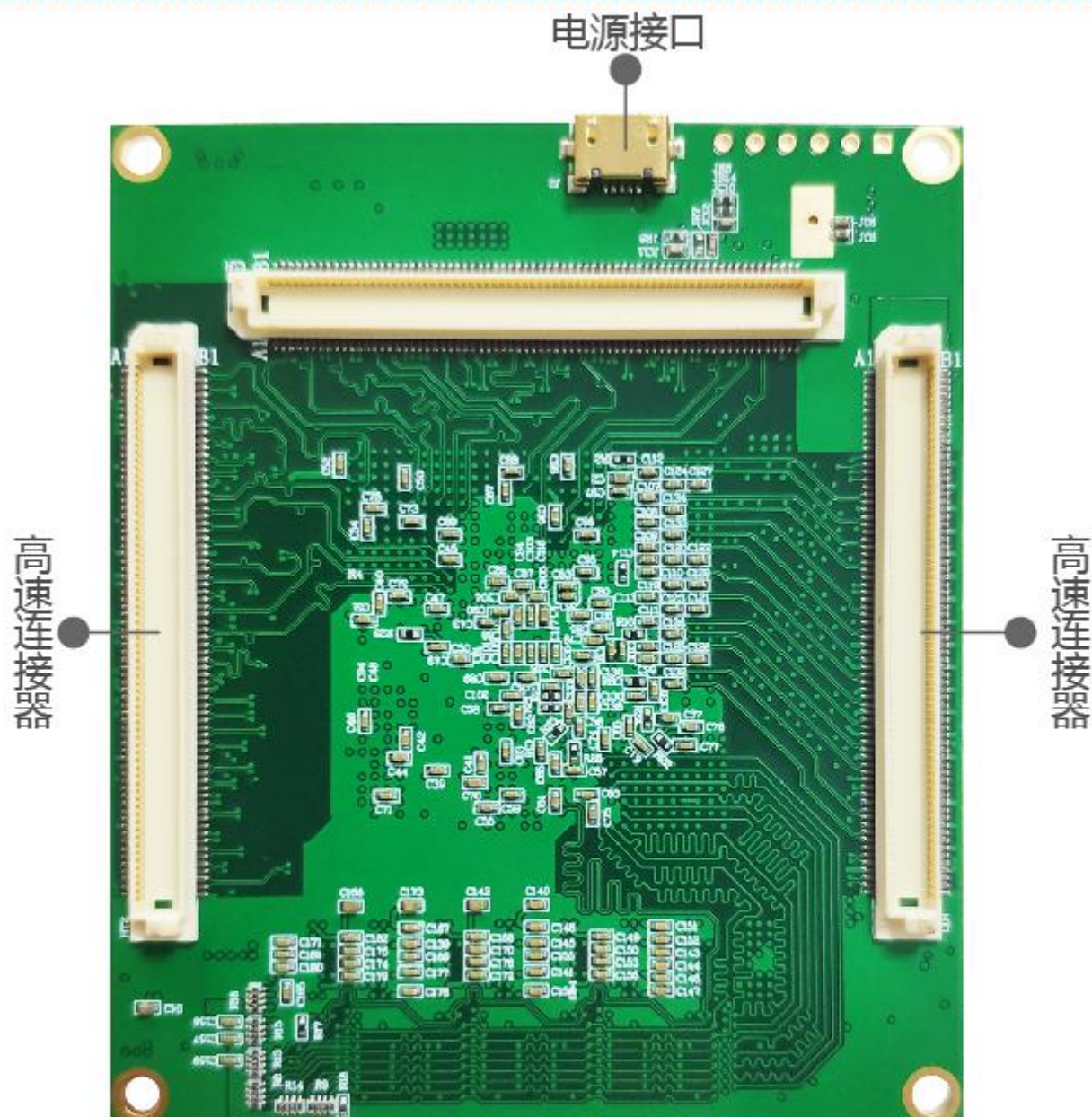
MK7325FA 开发板标注如下：



4.2 核心板

MK7325FA 核心板正反面标注如下：





五、开发板功能描述

5.1 KINTEX7- XC7K325



MK7325FA 核心板搭载一颗 Xilinx KINTEX-7 FPGA 芯片, 型号:FPGA-XC7K325T-FFG900i。

此芯片封装是 FFG900，速度等级是-2，温度等级是工业级。

表 5-1-1 FPGA 芯片资源

名称	具体参数
Logic Cells	326,080
Slices	50950
Total Block RAM (Kb)	16,020
DSP48 Slices	840
CLB Flip-Flops	407,600
GTX Transceivers (12.5 Gb/s Max Rate)	16
速度等级	-2
温度等级	工业级

5.2 内存（Memory）

5.2.1 DDR3



核心板搭载了 4 片镁光（Micron）DDR3 内存，内存共 2GB。单片 DDR 内存大小是 512MB ，数据接口是 16bit，四片 DDR3 内存共有 2GB。内存数据主频高达 1600MHZ，数据带宽可达 1600MHz*64bit。

表 5-2-1 DDR3 SDRAM

开发板型号	DDR 型号	DDR 容量	厂家	位号
核心板（商业级）	MT41K256M16TW-107:P	单片 512MB x 16bit，共 4 片	Micron	U3、U4、U5、U6
核心板（工业级）	MT41K256M16TW-107 IT	单片 512MB x 16bit，共 4 片	Micron	U3、U4、U5、U6

开发板采用高速布线，DDR3 的硬件设计需要严格考虑信号完整性，开发板的电路及 PCB 设计已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，以确保 DDR3 稳定工作。

DDR3 原理图如下：

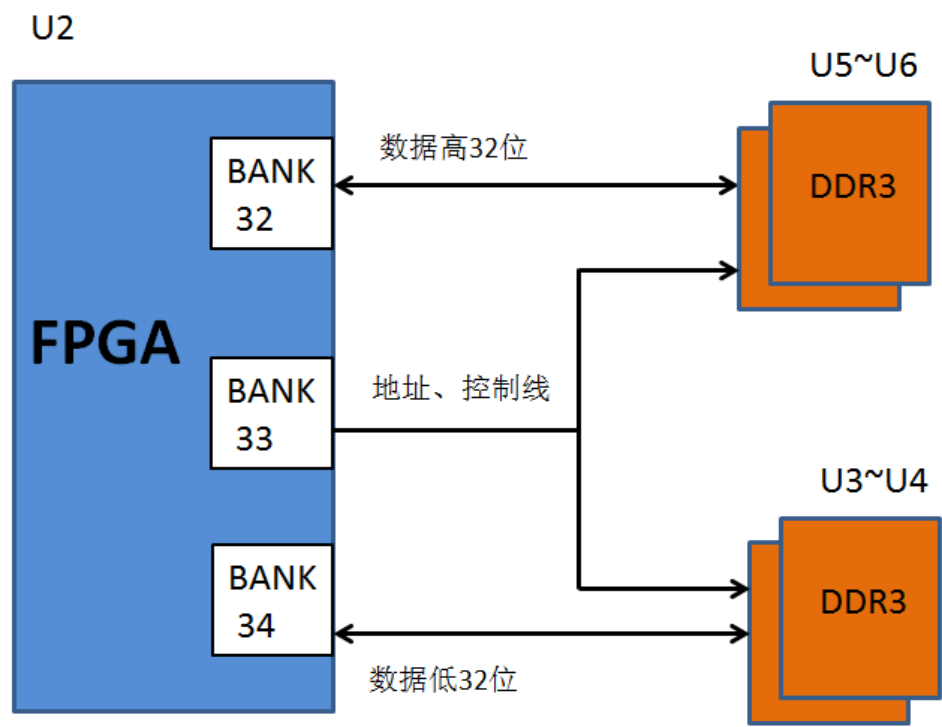


图 5-2-1 DDR3 原理图

5.2.2 PROM SPI FALSH



核心板具有一片 4bit SPI FLASH。FLASH 可用于保存数据和配置文件，初始化系统。

表 5-2-2-1 FLASH 型号

位号	芯片型号	容量	厂家
IC1(核心板)	MT25QL256ABA1Ew9-0SIT	256Mbit	Micron

QSPI -FLASH 时钟管脚 FLASH CLK 连接到 FPGA 的 BANK0；片选及数据管脚连接到 FPGA 的 BANK14。使用 FLASH CLK，即 FPGA 内部时钟，QSPI - FLASH 加载速度最高 66MHz。QSPI-FLASH

原理图如下：

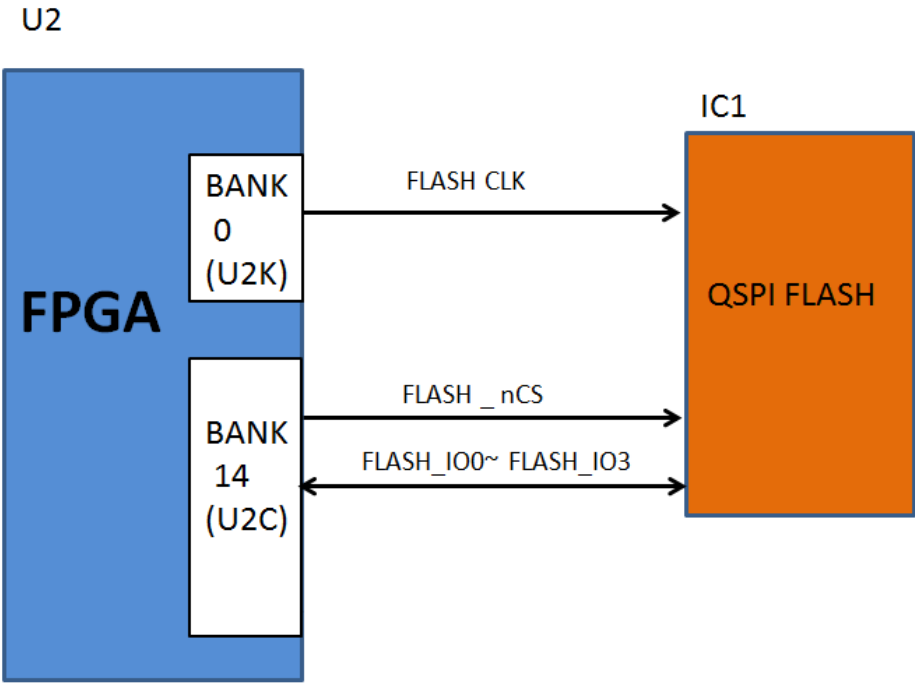


图 5-2-2 QSPI FLASH 原理图

QSPI-FLASH 管脚定义如下：

表 5-2-2-2 FLASH 的管脚定义

Signal Name	Description	FPGA Pin	QSPI Pin
FLASH_IO0	Data0	P24	5
FLASH_IO1	Data1	R25	2
FLASH_IO2	Data2	R20	3
FLASH_IO3	Data3	R21	7
FLASH_CLK	Serial Data Clock	B10	6
FLASH_nCS	Chip Select	U19	1

注意：根据实际情况（市场、应用）综合评估后，对核心板焊接的 FLASH 型号进行调整，上表中给出的 FLASH 型号是 2018 年 11 月后生产使用的型号。2018 年 11 月前生产的核心板使用的 FLASH 型号如下。前后两个版本的 FLASH 功能使用相同。开发人员请根据实际使用开发板为准，进行开发设计，如有疑问请咨询客服或技术支持。

表 5-2-2-3 核心板 FLASH 使用过的型号

芯片型号	容量	厂家	使用时间	图片
S25FL256SAGNFI00	256Mbit	Spansion	~2018-11	

5.2.3 TF 卡座



开发板底板具有一路 Micro 型的 SD 卡接口，用于用户访问 SD 卡存储器。SD 卡可以用来保存数据和程序，如 LIUNIX 操作系统。

TF 卡座原理图如下：

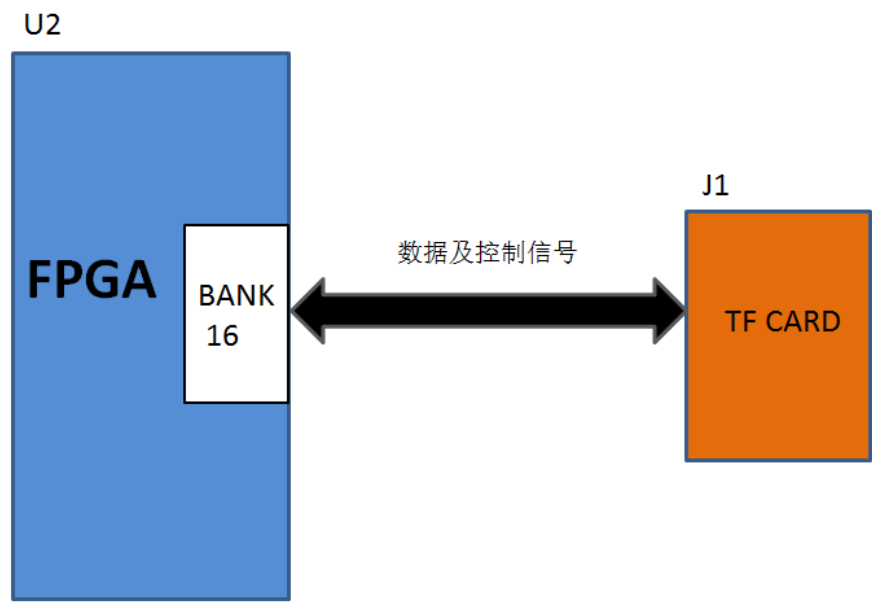


图 5-2-3 TF 卡座原理图

TF 引脚定义如下：

表 5-2-3 TF 卡管脚定义

Signal Name	Description	FPGA Pin	TF Card Pin
TF_CLK	Clock	H26	5
TF_CMD	Command	H24	3
TF_DATA0	Data0	F27	7
TF_DATA1	Data1	G27	8
TF_DATA2	Data2	H27	1
TF_DATA3	Data3	H25	2
TF_CD	Card Detect	F28	9

5.3 系统时钟

核心板上具备一颗 200MHz 的差分时钟；底板具备一个可编程芯片，输出时钟范围 62.5MHz~625MHz。

5.3.1 核心板时钟

核心板时钟 1：200MHz 差分时钟

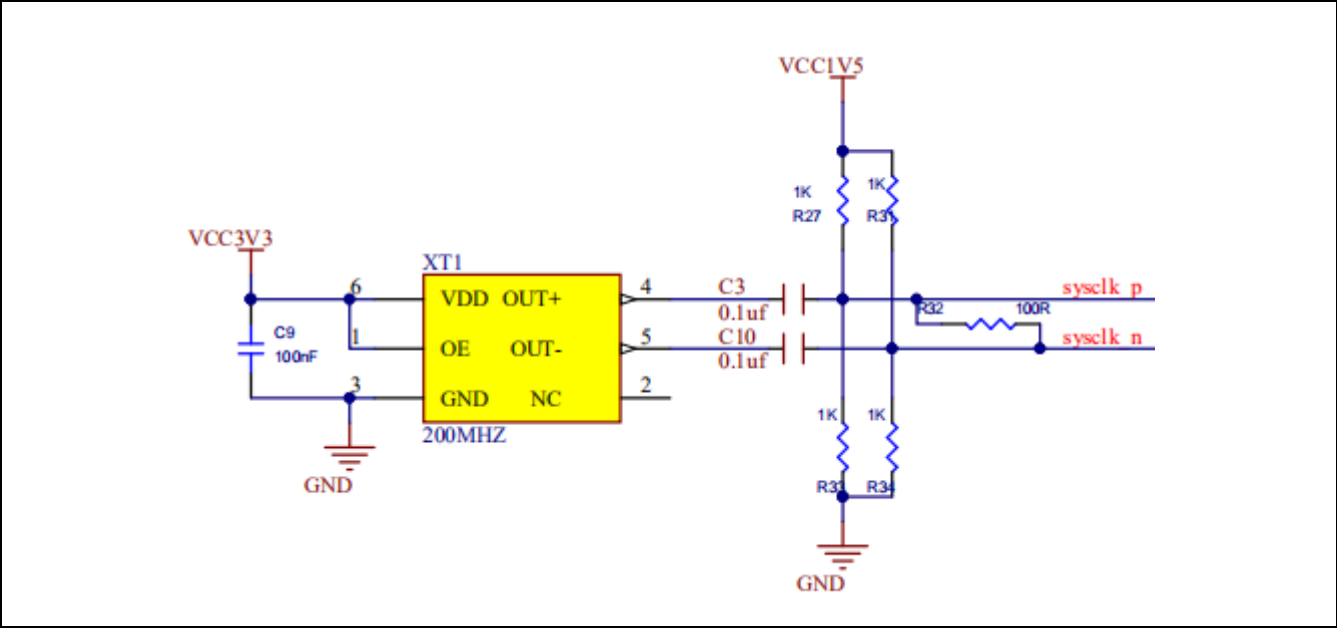
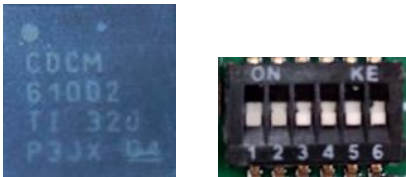


表 5-3-1-1 100MHZ 时钟管脚定义

位号	Signal Name	FPGA Pin
XT1(核心板)	sysclk_p	AD12
	sysclk_n	AD11

5.3.2 底板时钟



MK7325FA 板载可编程时钟芯片为高速收发器 GTX 提供可编程时钟源。可编程芯片生成两对差分时钟，分别是 MGT118_CLK1_P(MGT118_CLK1_N)、MGT116_CLK1_P(MGT116_CLK1_N)。其中 MGT118_CLK1_P(MGT118_CLK1_N) 为 SFPA 、SFPB 、SATA1 、SATA2 提供时钟源。MGT116_CLK1_P(MGT116_CLK1_N)为 FEP 中的 4 对用户 GTX 提供时钟源。

表 5-3-2-1 时钟芯片

位号	芯片型号	厂家
U5、SW2(底板)	CDCM61002	TI

可编程时钟芯片原理图如下：

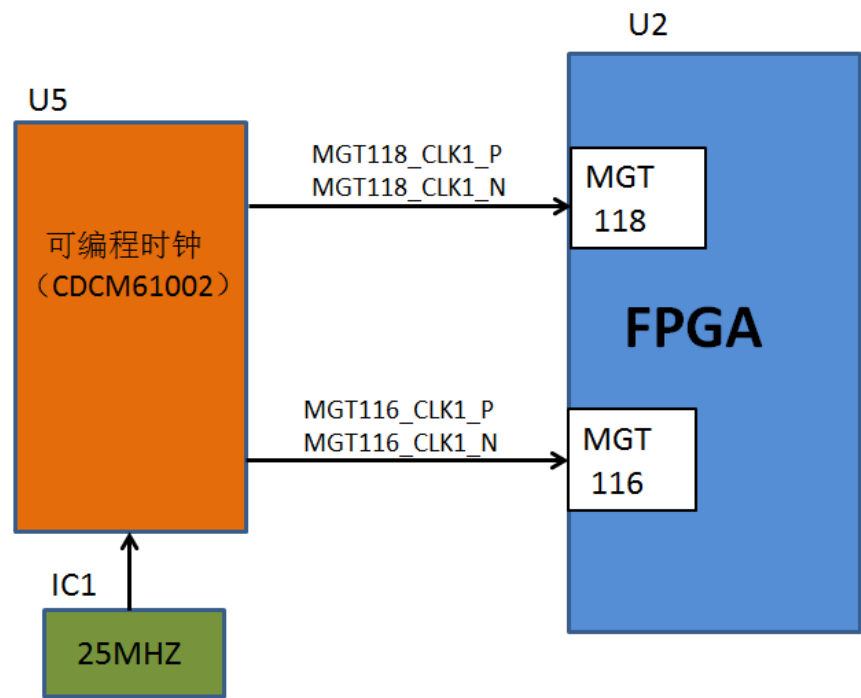


图 5-3-2 可编程时钟芯片原理图

可编程时钟芯片管脚定义如下

表 5-3-2-2 可编程时钟管脚定义(底板)

Signal Name	FPGA Pin
MGT118_CLK1_P	E8
MGT118_CLK1_N	E7
MGT116_CLK1_P	N8
MGT116_CLK1_N	N7

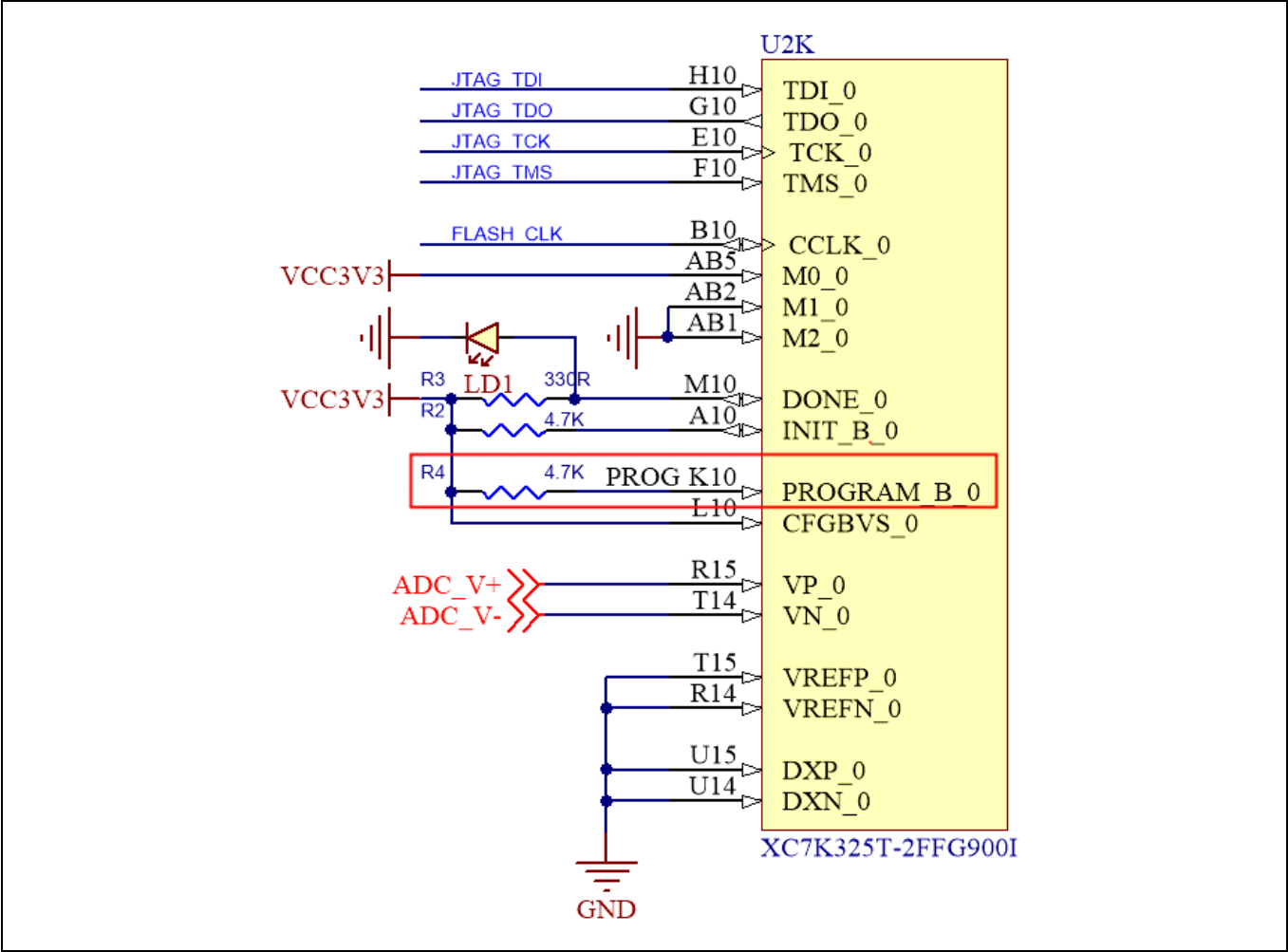
时钟选择模式开关对应模式如下：

表 5-3-2-3 可编程时钟模式

Prescale Divider	Feedback Divider	PR1/PR0	VCO MHZ	Output Divider	OD2/OD1 /OD0	Output MHZ	Application
4	20	11	2000	8	111	62.5	GigE
3	24	00	1800	8	111	75	SATA
3	24	00	1800	6	101	100	PCIE
4	20	11	2000	4	011	125	GigE
3	24	00	1800	4	011	150	SATA
3	25	10	1875	4	011	156.25	10GigE
5	15	01	1875	2	001	187.5	12GigE
3	24	00	1800	3	010	200	PCIE
4	20	11	2000	2	001	250	GigE
3	25	10	1875	2	001	312.5	XGMII
3	25	10	1875	1	000	625	10GigE

5.4 系统复位

芯片支持上电复位，复位整个芯片。



5.5 电源管理

5.5.1 核心板电源

核心板集成电源管理，+12V 电源输入通过电源芯片 TPS53355 产生+1.0V 的核心电源，输出电流高达 30A，满足 FPGA 核心电压的电流需求。

核心板电源启动顺序示意图如下：

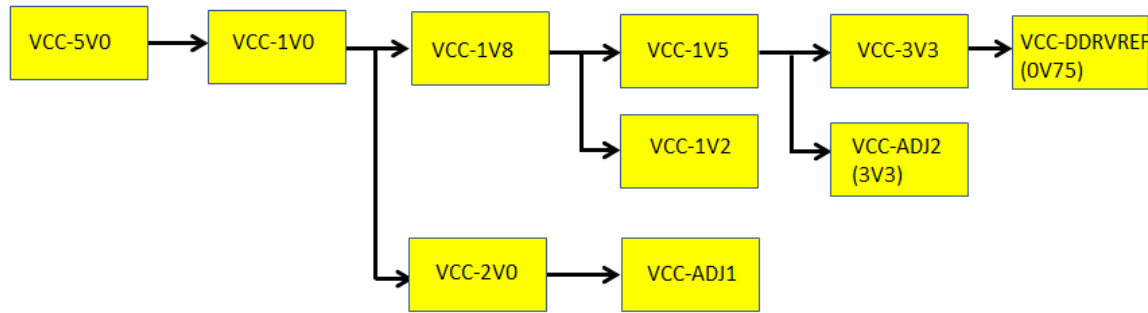


图 5-5-1 核心板电源启动顺序

电源对应功能如下：

表 5-5-1-1 电源功能对应表

电源	功能
+1.0V	FPGA 内核电压
+5V	
DDR1VREF	BANK 32 、BANK 33、 BANK 34
+1.8V	VCCAUX,\MGTaux、 VCCADC_0
+1.5V	BANK 32 、BANK 33、 BANK 34
+2.0V	VCCAUX_IO_G0
VADJ2（默认 3.3V，可调）	BANK 13、BANK 15
VADJ1（默认 3.3V，可调）	BANK 16、BANK 17
+3.3V	BANK 14、BANK 18
+1.2V（MGT1V2）	Bank115、Bank116、 Bank117、 Bank118

注意：只有当 VCCAUX_IO_G0 设置为 2.0V DDR 才能稳定运行与要 1600M

5.5.2 底板电源

MK7325FA 底板集成电源管理，电源输入 12V，输出 3.3V、5V。

5.6 USB to UART



底板具有一路 Uart 转 USB 接口，用于开发板串口通信和调试。

表 5-6 USB TO UART 管脚定义

位号	Signal Name	Description	FPGA Pin	CP2104 Pin
U1、J3(底板)	CP2104_TXD	TX	D18	21
	CP2104_RXD	RX	D17	20

5.7 USB3.0 DEVICE



MK7325FA 底板具有一路 USB3.0 DEVICE，芯片型号 FT601Q，可用于 USB3.0 通信。

表 5-7-1 USB3.0 DEVICE

位号	芯片型号	厂家
U3(底板)	FT601Q	FTDI

原理图如下：

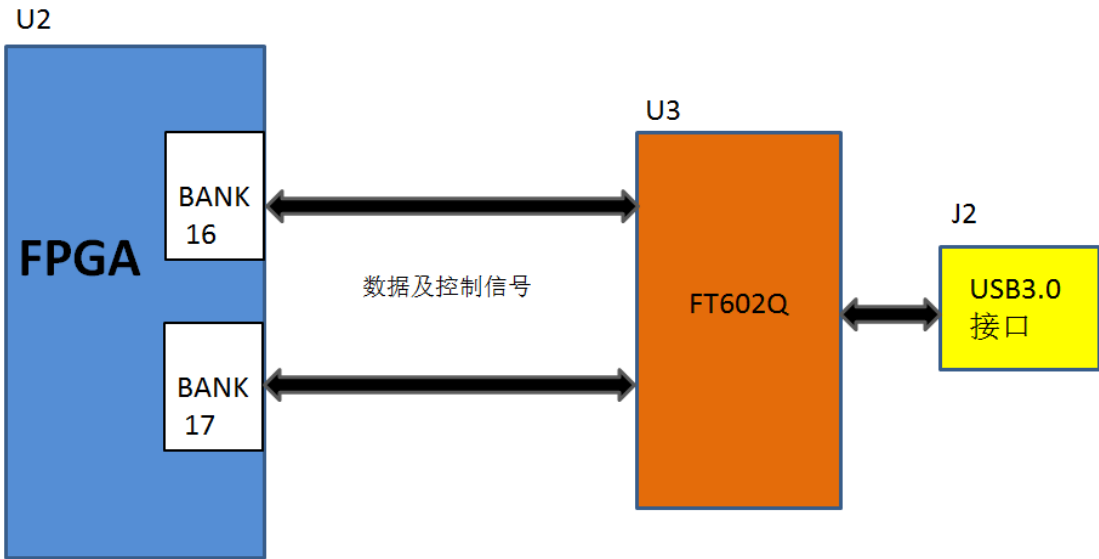


图 5-7 USB3.0 DEVICE 通信原理图

管脚定义如下：

表 5-7-2 USB TO UART 管脚定义


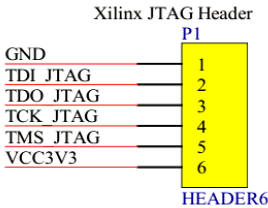

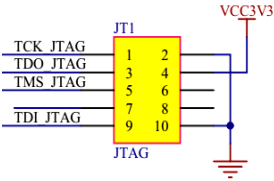
Signal Name	Description	FPGA Pin	FT602Q Pin	Usb3.0 接口	PAM3101
USBSS_CLK	CLK	C25	58		
USBSS_BE0	BE0	E28	4		
USBSS_BE1	BE1	D28	5		
USBSS_BE2	BE2	E29	6		
USBSS_BE3	BE3	E30	7		
USBSS_RESERVED	RESERVED		19		
USBSS_TXE	TXE	B27	8		
USBSS_RXF	RXE	E19	9		
USBSS_OE	OE	C21	13		
USBSS_RD	RD	D21	12		
USBSS_WR	WR	D19	11		
USBSS_SIWU	REV	D16	10		
USBSS_WAKEUP	INT	C16	16		
USBSS_VBUS	VBUS			1	

USBSS_EN	EN	A26			3
USBSS_SSRX_p	RIDP		35	10	
USBSS_SSRX_n	RIDN		34	9	
USB3_TOD_p (USBSS_SSTX_p)	TODP		32	7	
USB3_TOD_n (USBSS_SSTX_n)	TODN		31	6	
USBSS_D_p	DP		23	3	
USBSS_D_n	DM		25	2	
USBSS_SCL	SCL	E25	17		
USBSS_SDA	SDA	F25	18		
USBSS_D0	DATA_0	A22	40		
USBSS_D1	DATA_1	B22	41		
USBSS_D2	DATA_2	A21	42		
USBSS_D3	DATA_3	A20	43		
USBSS_D4	DATA_4	B20	44		
USBSS_D5	DATA_5	C20	45		
USBSS_D6	DATA_6	C22	46		
USBSS_D7	DATA_7	D22	47		
USBSS_D8	DATA_8	B23	50		
USBSS_D9	DATA_9	A23	51		
USBSS_D10	DATA_10	C24	52		
USBSS_D11	DATA_11	B24	53		
USBSS_D12	DATA_12	B25	54		
USBSS_D13	DATA_13	D26	55		
USBSS_D14	DATA_14	C26	56		
USBSS_D15	DATA_15	A25	57		
USBSS_D16	DATA_16	G23	60		
USBSS_D17	DATA_17	G24	61		
USBSS_D18	DATA_18	E23	62		
USBSS_D19	DATA_19	D23	63		
USBSS_D20	DATA_20	F26	64		
USBSS_D21	DATA_21	E26	65		
USBSS_D22	DATA_22	E24	66		
USBSS_D23	DATA_23	D24	67		
USBSS_D24	DATA_24	H20	69		
USBSS_D25	DATA_25	G20	70		
USBSS_D26	DATA_26	H21	71		
USBSS_D27	DATA_27	H22	72		
USBSS_D28	DATA_28	F21	73		
USBSS_D29	DATA_29	E21	74		
USBSS_D30	DATA_30	G22	75		
USBSS_D31	DATA_31	F22	76		

5.8 JTAG 接口

MK7325FA 核心板和底板分别具有一路 JTAG 接口，方便下载和调试。

表 5-8-1 JTAG 接口

JTAG 接口			
核心板 JTAG 接口	核心板 JTAG 接口定义	底板 JTAG 接口	底板 JTAG 接口定义
			

管脚定义如下

表 5-8-2 JTAG 管脚定义

Signal Name	FPGA Pin
TDI_JTAG	H10
TDO_JTAG	G10
TCK_JTAG	E10
TMS_JTAG	F10

5.9 HDMI 接口



MK7325FA 开发板底板具有一路 HDMI 接口。HDMI 部分采用了 FPGA 模拟 HDMI 信号，输出支持 1080P @60Hz 高清传输。

原理图如下：

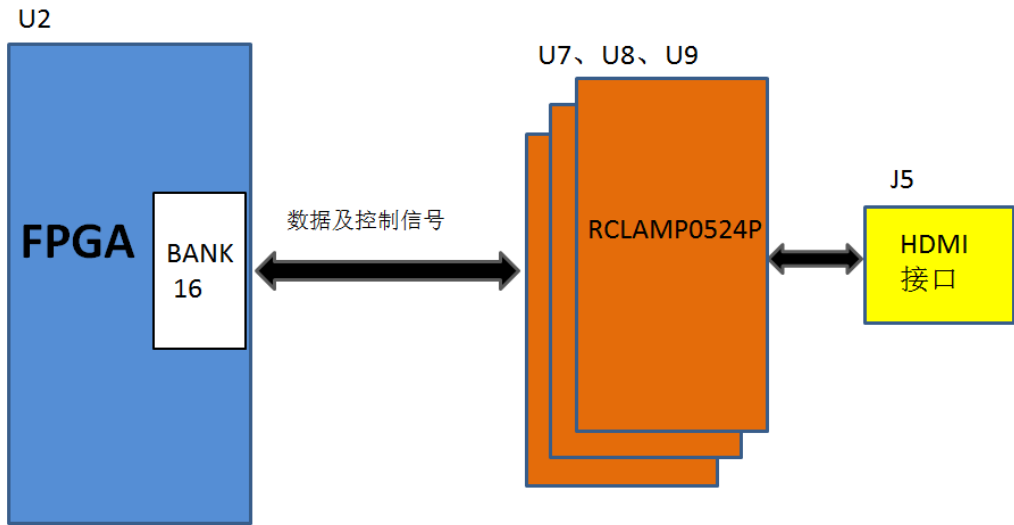


图 5-9 HDMI 通信原理图

HDMI 管脚定义如下：

表 5-9-1 HDMI 接口管脚定义

Signal Name	Description	FPGA pin	HDMI pin
HDMI1_F_HPD	Hot Plug Detect signal input	C29	19
5V	5V 电源		18
DDC/CECG	DDC/CEC GND		17
HDMI1_F_SDA	I2C SDA	A28	16
HDMI1_F_SCL	I2C SCL	B28	15
RES			14
HDMI1_F_CEC	CEC	B29	13
HDMI1_FCLK_N	时钟-	C27	12
CLK SHIELD	时钟屏蔽		11
HDMI1_FCLK_P	时钟+	D27	10
HDMI1_FD0_N	数据 0-	G30	9
DATA0 SHIELD	数据 0 屏蔽		8
HDMI1_FD0_P	数据 0+	H30	7
HDMI1_FD1_N	数据 1-	F30	6
DATA1 SHIELD	数据 1 屏蔽		5
HDMI1_FD1_P	数据 1+	G29	4
HDMI1_FD2_N	数据 2-	A30	3
DATA2 SHIELD	数据 2 屏蔽		2
HDMI1_FD2_P	数据 2+	B30	1

5.10 10/100/1000M 以太网



MK7325FA 开发板底板具有四路千兆以太网口，用户进行千兆网络通信开发，收发总线与对应时钟严格等长。采用的 PHY 型号为 B50610C1KMLG-UE1703-P31。

表 5-10-1 USB3.0 DEVICE

位号	芯片型号	厂家
U13、U14、U15、U16 (底板)	B50610	BROADCOM



原理图如下：

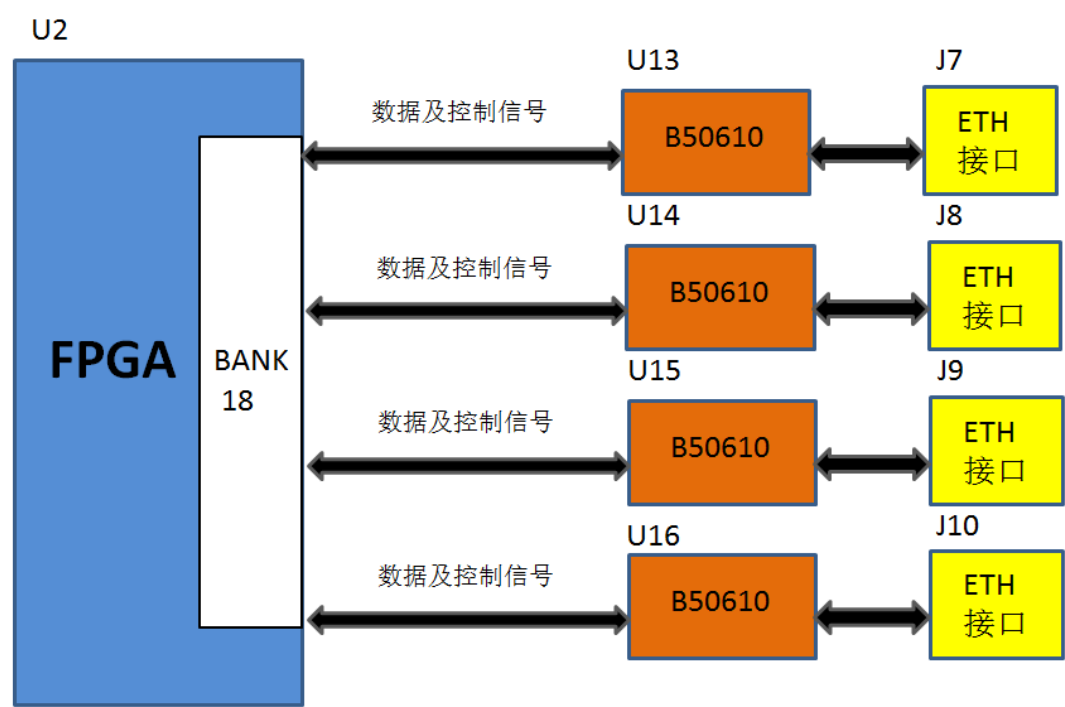


图 5-10 千兆网络通信原理图

四路 PHY 管脚定义如下：

表 5-10-2 PHY1 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH1_RXCK	Receive Clock	H14	33
ETH1_RXDV	RX_DV	B14	26
ETH1_RXD0	Receive Data 0	F15	32
ETH1_RXD1	Receive Data 1	B15	31
ETH1_RXD2	Receive Data 2	C15	28
ETH1_RXD3	Receive Data 3	A15	27
ETH1_TXCK	Transmit Clock	B17	40
ETH1_TXEN	TX_EN	E16	35
ETH1_TXD0	Transmit Data 0	C17	39
ETH1_TXD1	Transmit Data 1	G15	38
ETH1_TXD2	Transmit Data 2	H15	37
ETH1_TXD3	Transmit Data 3	G14	36
ETH_MDIO	Management Data	A12	35
ETH_MDC	Management Clock	A11	48
ETH_RST	RESET	E11	46

表 5-10-3 PHY2 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH2_RXCK	Receive Clock	D12	33
ETH2_RXDV	RX_DV	L13	26

ETH2_RXD0	Receive Data 0	K15	32
ETH2_RXD1	Receive Data 1	L15	31
ETH2_RXD2	Receive Data 2	J14	28
ETH2_RXD3	Receive Data 3	K14	27
ETH2_TXCK	Transmit Clock	F17	40
ETH2_TXEN	TX_EN	J16	35
ETH2_TXD0	Transmit Data 0	G17	39
ETH2_TXD1	Transmit Data 1	K16	38
ETH2_TXD2	Transmit Data 2	L16	37
ETH2_TXD3	Transmit Data 3	H16	36
ETH_MDIO	Management Data	A12	35
ETH_MDC	Management Clock	A11	48
ETH_RST	RESET	E11	46

表 5-10-4 PHY3 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH3_RXCK	Receive Clock	G13	33
ETH3_RXDV	RX_DV	E13	26
ETH3_RXD0	Receive Data 0	L11	32
ETH3_RXD1	Receive Data 1	F13	31
ETH3_RXD2	Receive Data 2	H12	28
ETH3_RXD3	Receive Data 3	H11	27
ETH3_TXCK	Transmit Clock	L12	40
ETH3_TXEN	TX_EN	K11	35
ETH3_TXD0	Transmit Data 0	J13	39
ETH3_TXD1	Transmit Data 1	K13	38
ETH3_TXD2	Transmit Data 2	J12	37
ETH3_TXD3	Transmit Data 3	J11	36
ETH_MDIO	Management Data	A12	35
ETH_MDC	Management Clock	A11	48
ETH_RST	RESET	E11	46

表 5-10-5 PHY4 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH4_RXCK	Receive Clock	F12	33
ETH4_RXDV	RX_DV	B13	26
ETH4_RXD0	Receive Data 0	C12	32
ETH4_RXD1	Receive Data 1	C11	31
ETH4_RXD2	Receive Data 2	D11	28
ETH4_RXD3	Receive Data 3	A13	27
ETH4_TXCK	Transmit Clock	E15	40
ETH4_TXEN	TX_EN	B12	35

ETH4_TXD0	Transmit Data 0	E14	39
ETH4_TXD1	Transmit Data 1	D13	38
ETH4_TXD2	Transmit Data 2	C14	37
ETH4_TXD3	Transmit Data 3	D14	36
ETH_MDIO	Management Data	A12	35
ETH_MDC	Management Clock	A11	48
ETH_RST	RESET	E11	46

5.11 SATA 接口



MK7325FA 开发板底板具有两路 SATA 接口，用于 SATA 高速信号传输。MK7325FA 开发板具有 16 对 GTX，其中 2 对用于 SATA 接口。

原理图如下：

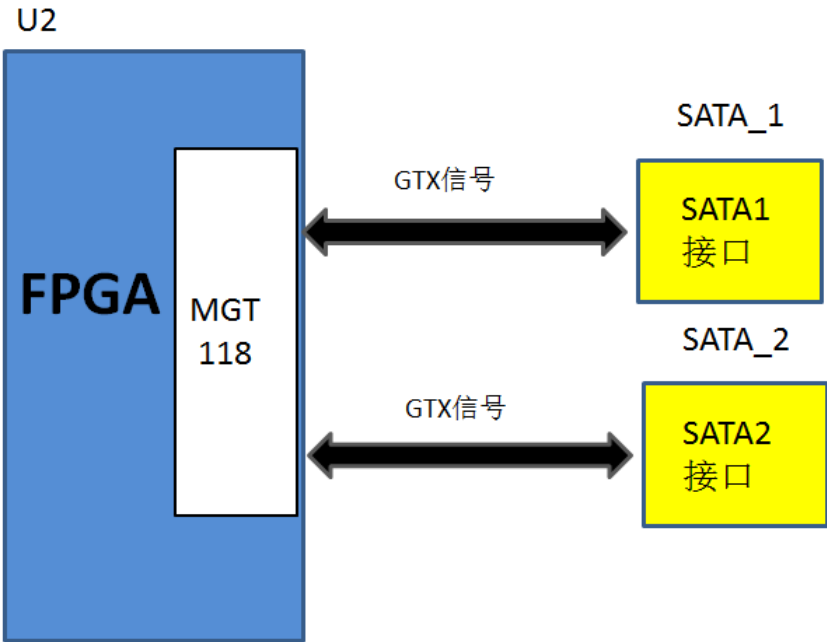


图 5-11 SATA 接口通信原理图

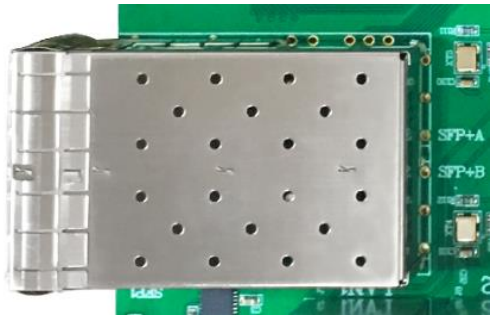
管脚定义如下：

表 5-11-1 SFPA、SFPB 接口定义

Signal Name	FPGA pin
SATA1_TX_P	B2
SATA1_TX_N	B1
SATA1_RX_P	B6
SATA1_RX_N	B5

SATA2_TX_P	A4
SATA2_TX_N	A3
SATA2_RX_P	A8
SATA2_RX_N	A7

5.12 SFP+接口



MK7325FA 开发板底板具有两路 SFP+接口，可接市场上通用的光模块，用于高速信号传输。

MK7325FA 开发板具有 16 对 GTX，其中 2 对用于 SFP+接口。

SFP+接口可以接千兆光模块，做千兆光纤通信；SFP+接口可以接万兆光模块，做万兆光纤通信。

SFP+接口可以接千兆电口模块，实现千兆以太网通信；SFP+接口可以接万兆模块，实现万兆以太网通信。

原理图如下：

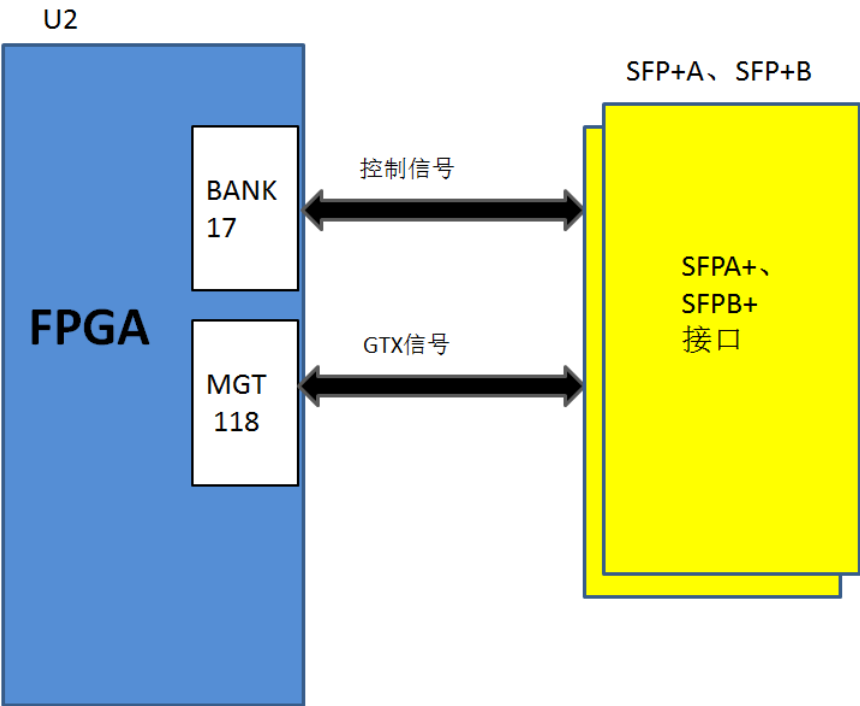


图 5-12 SFP+接口通信原理图

管脚定义如下

表 5-12-1 SFPA、SFPB 接口定义

Signal Name	Description	FPGA pin	SFP pin
SFPA_TX_Fault	发射失效报警	A17	2
SFPA_TX_DIS	关断发射	A16	3
SFPA_SCL	I2C 通信时钟	F20	4
SFPA_SDA	I2C 通信数据	E20	5
SFPA_PRESENT	复位	A18	6
SFPA_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	B18	7
SFPA_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	C19	9
SFPA_LOS	LOS 告警	B19	8
SFPA_TD_P	发射部分数据输入（正向）	D2	18
SFPA_TD_N	发射部分数据输入（反向）	D1	19
SFPA_RD_P	接收部分数据输出（正向）	E4	13
SFPA_RD_N	接收部分数据输出（反向）	E3	12
Signal Name	Description	FPGA pin	SFP pin
SFPB_TX_Fault	发射失效报警	F18	2
SFPB_TX_DIS	关断发射	G18	3
SFPB_SCL	I2C 通信时钟	K18	4
SFPB_SDA	I2C 通信数据	J18	5
SFPB_PRESENT	复位	L18	6
SFPB_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	L17	7
SFPB_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	J17	9
SFPB_LOS	LOS 告警	H17	8
SFPB_TD_P	发射部分数据输入（正向）	C4	18
SFPB_TD_N	发射部分数据输入（反向）	C3	19
SFPB_RD_P	接收部分数据输出（正向）	D6	13
SFPB_RD_N	接收部分数据输出（反向）	D5	12

5.13 PCIE 接口



MK7325FA 开发板底板具有 PCIeX8 接口，PCIe 卡的外形尺寸符合标准 PCIe 卡电器规范要求，可以直接在普通的 PC 机的 PCIe 插槽上使用。开发板和电脑之间能够实现 PCIeX8，PCIeX4，PCIeX1 的数据通信。MK7325FA 开发板具有 16 对 GTX，其中 8 对用于 PCIeX8 接口。

原理图如下：

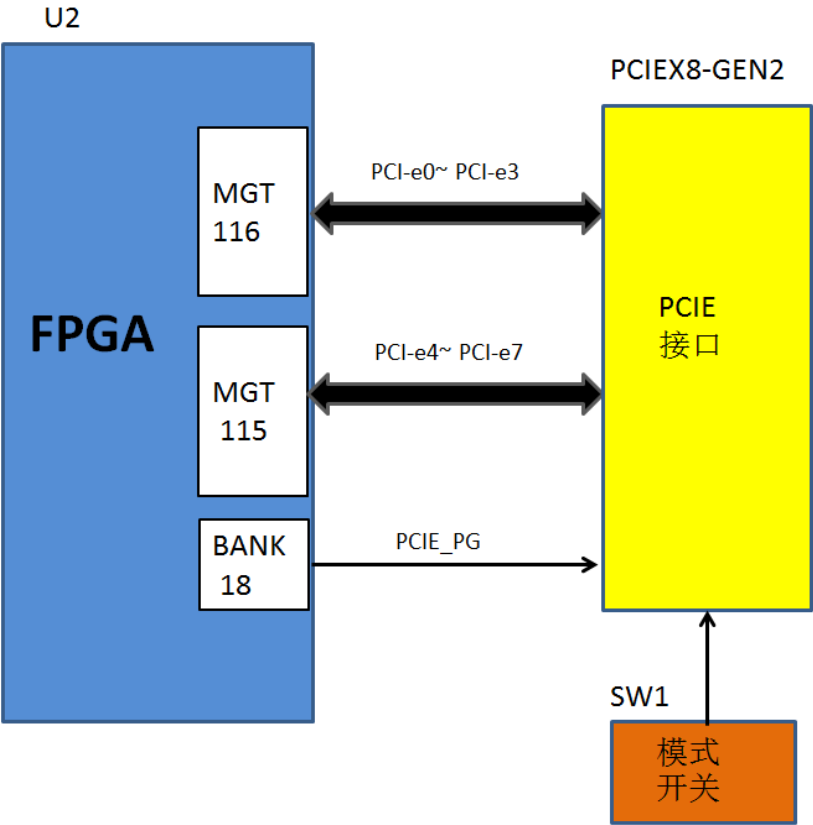


图 5-13 PCIE 接口通信原理图

管脚定义如下：

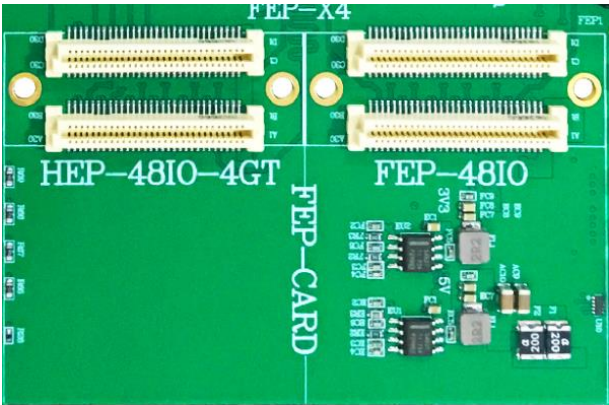
表 5-12-1 PCIE 接口定义

Signal Name	FPGA pin	PCIE finger pin
PCIE_PG	F11	A11
PCIE_CLK_P	U8	A13
PCIE_CLK_N	U7	A14
PCIE_TX0_P	L4	A16
PCIE_TX0_N	L3	A17
PCIE_TX1_P	M2	A21
PCIE_TX1_N	M1	A22
PCIE_TX2_P	N4	A25
PCIE_TX2_N	N3	A26
PCIE_TX3_P	P2	A29
PCIE_TX3_N	P1	A30
PCIE_TX4_P	T2	A35
PCIE_TX4_N	T1	A36
PCIE_TX5_P	U4	A39
PCIE_TX5_N	U3	A40
PCIE_TX6_P	V2	A43
PCIE_TX6_N	V1	A44
PCIE_TX7_P	Y2	A47
PCIE_TX7_N	Y1	A48
PCIE_RX0_P	M6	B14
PCIE_RX0_N	M5	B15
PCIE_RX1_P	P6	B19
PCIE_RX1_N	P5	B20
PCIE_RX2_P	R4	B23
PCIE_RX2_N	R3	B24
PCIE_RX3_P	T6	B27
PCIE_RX3_N	T5	B28
PCIE_RX4_P	V6	B33
PCIE_RX4_N	V5	B34
PCIE_RX5_P	W4	B37
PCIE_RX5_N	W3	B38
PCIE_RX6_P	Y6	B41
PCIE_RX6_N	Y5	B42
PCIE_RX7_P	AA4	B45
PCIE_RX7_N	AA3	B46

表 5-12-1 PCIE 模式开关

模式	拨码开关
PCIE X1	1-ON, 2-OFF, 3-OFF, 4-OFF
PCIE X4	2-ON, 1-OFF, 3-OFF, 4-OFF
PCIE X8	3-ON, 1-OFF, 2-OFF, 4-OFF

5.14 FEP 接口



MK7325FA 板载 4 个 FEP(Fast Expand Port) 60 PIN 的 HEADER。其中两个 FEP 接口构成一组 FEPX2，4 个 FEP 构成两组。

第一组 FEP-48IO-4GT，共有 48 个 IO/24 对差分 和 4 对 GTX(MK7325FA 开发板具有 16 对 GTX，其中 4 对用于 FEP 接口)；第二组 FEP-48GPIO，共有 48 个 IO/48 对差分。FEP 接口可用 96 个 IO/72 对差分,4 对 GTX。

原理图如下：

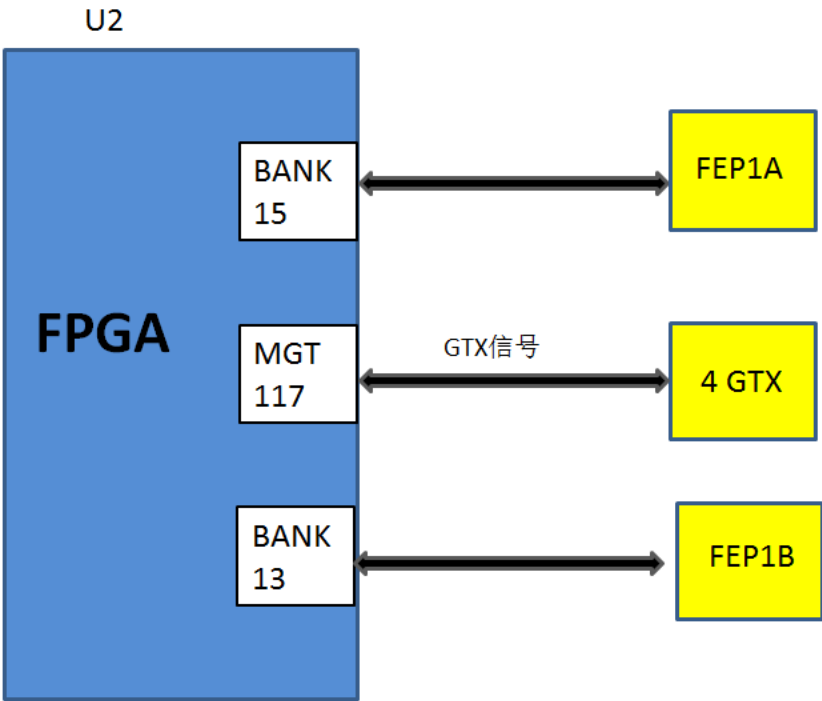


图 5-14 FEP 高速接口原理图

管脚定义如下：

表 5-14-1 FEP1A (HEP-48IO-4GT) 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	P21	B4	N29
A5	P22	B5	N30
A6	P23	B6	M29
A7	N24	B7	M30
A8	N21	B8	N27
A9	N22	B9	M27
A10	M22	B10	M28
A11	M23	B11	L28
A12	GND	B12	GND
A13	N25	B13	M24
A14	N26	B14	M25
A15	L22	B15	K28
A16	L23	B16	K29
A17	N19	B17	L25
A18	N20	B18	K25
A19	M20	B19	L26
A20	L20	B20	L27
A21	GND	B21	GND
A22	L21	B22	K26
A23	K21	B23	J26
A24	K23	B24	L30
A25	K24	B25	K30
A26	J21	B26	J27
A27	J22	B27	J28
A28	J23	B28	J29
A29	J24	B29	H29
A30	GND	B30	GND

表 5-14-2 FEP1A (HEP-48IO-4GT) 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	GND
C16		D16	F6
C17		D17	F5
C18	GND	D18	GND
C19	F2	D19	G4
C20	F1	D20	G3
C21	GND	D21	GND
C22	H2	D22	H6
C23	H1	D23	H5
C24	GND	D24	GND
C25	J4	D25	K6
C26	J3	D26	K5
C27	GND	D27	GND
C28	K2	D28	J8
C29	K1	D29	J7
C30	GND	D30	GND

表 5-14-3 FEP1B (FEP-48IO) 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	Y26	B4	W29
A5	AA26	B5	Y29
A6	AA27	B6	W27
A7	AB28	B7	W28
A8	AA25	B8	Y28
A9	AB25	B9	AA28
A10	AC26	B10	AD29
A11	AD26	B11	AE29
A12	GND	B12	GND
A13	AF26	B13	AJ28
A14	AF27	B14	AJ29
A15	AG27	B15	AG29
A16	AG28	B16	AH29
A17	AD27	B17	AB27
A18	AD28	B18	AC27
A19	Y30	B19	AB29
A20	AA30	B20	AB30
A21	GND	B21	GND
A22	AH26	B22	AC29
A23	AH27	B23	AC30
A24	AE28	B24	AE30
A25	AF28	B25	AF30
A26	AJ26	B26	AG30
A27	AK26	B27	AH30
A28	AJ27	B28	AK29
A29	AK28	B29	AK30
A30	GND	B30	GND

表 5-14-4 FEP1B（FEP-48IO）接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	
C16		D16	
C17		D17	
C18		D18	
C19		D19	
C20		D20	
C21	GND	D21	GND
C22		D22	
C23		D23	
C24		D24	
C25		D25	
C26		D26	
C27		D27	
C28		D28	
C29		D29	
C30	GND	D30	GND

5.15 按键

5.15.1 核心板按键



MK7325FA 核心板具备 1 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

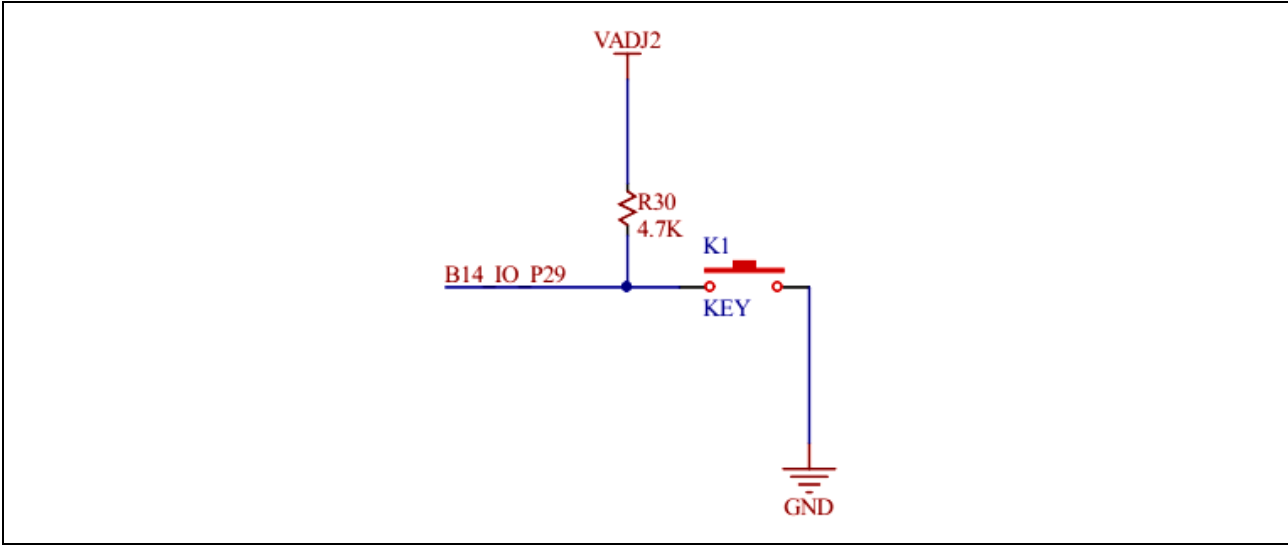


表 5-15-1 核心板按键接口定义

位号	Signal Name	FPGA pin	BANK
KEY1(核心板)	K1	P29	14

5.15.2 底板按键



MK7325FA 底板具备 4 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

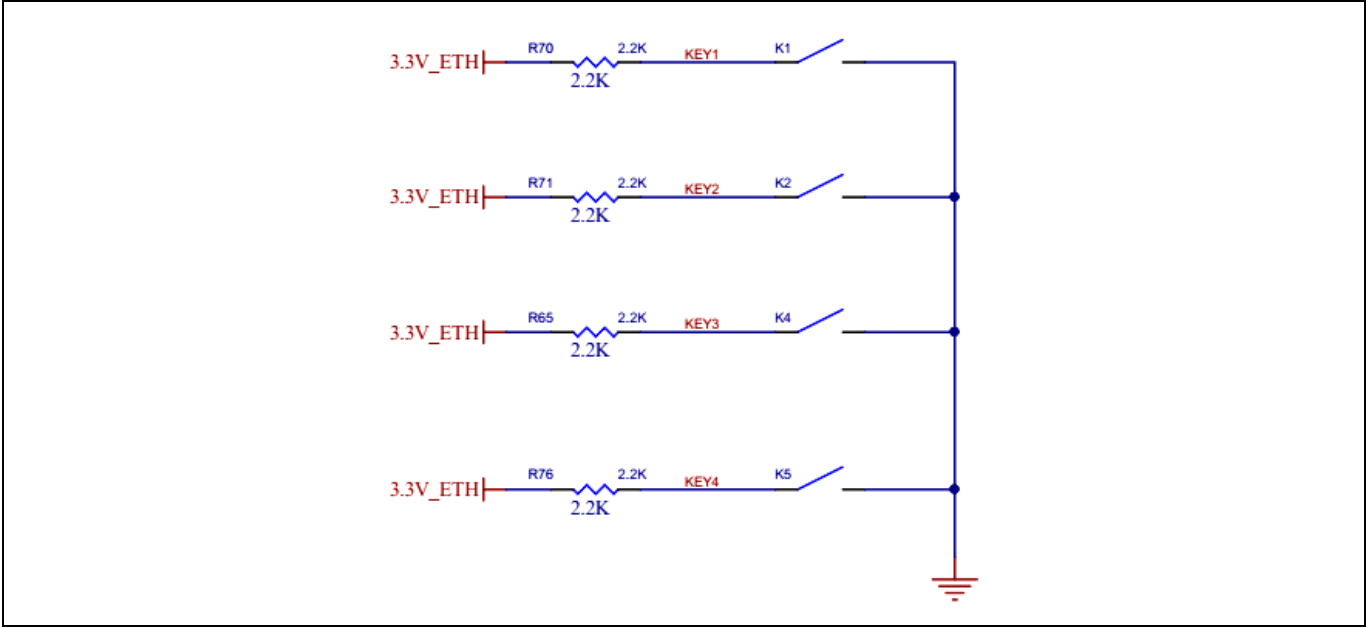


表 5-15-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
K1	KEY1	G28	16
K2	KEY2	C30	16
K3	KEY3	A27	16
K4	KEY4	D29	16

5.16 LED

5.16.1 核心板 LED



MK7325FA 核心板具有 1 个用户 LED。

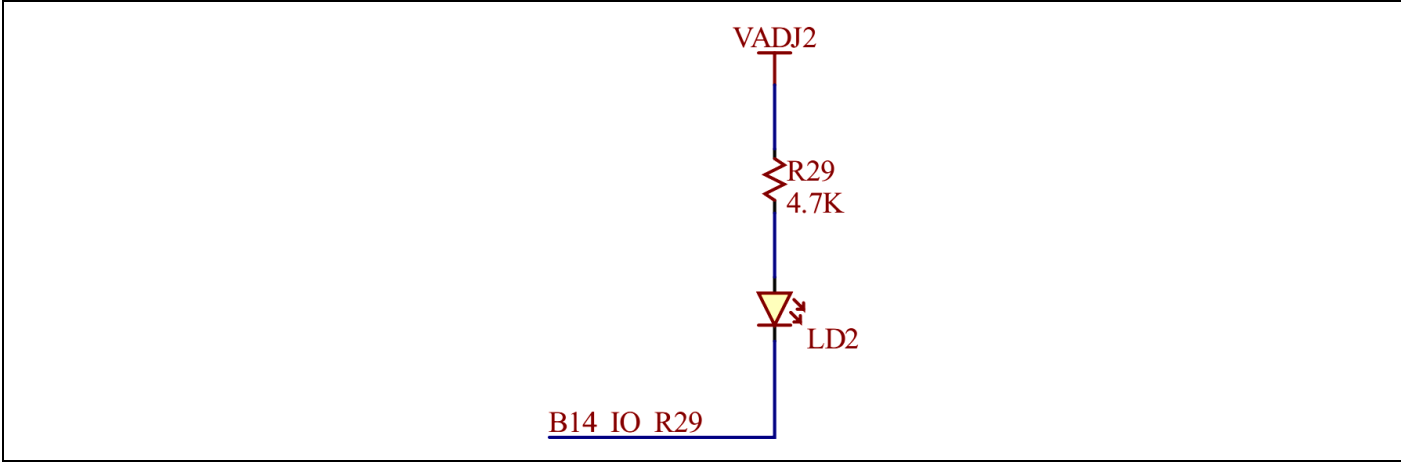


表 5-16-1 核心板 LED 定义

位号(核心板)	Signal Name	FPGA pin	BANK
LD2	LD2	R29	14

5.16.2 底板 led



MK7325FA 核心板具有 4 个用户 LED。

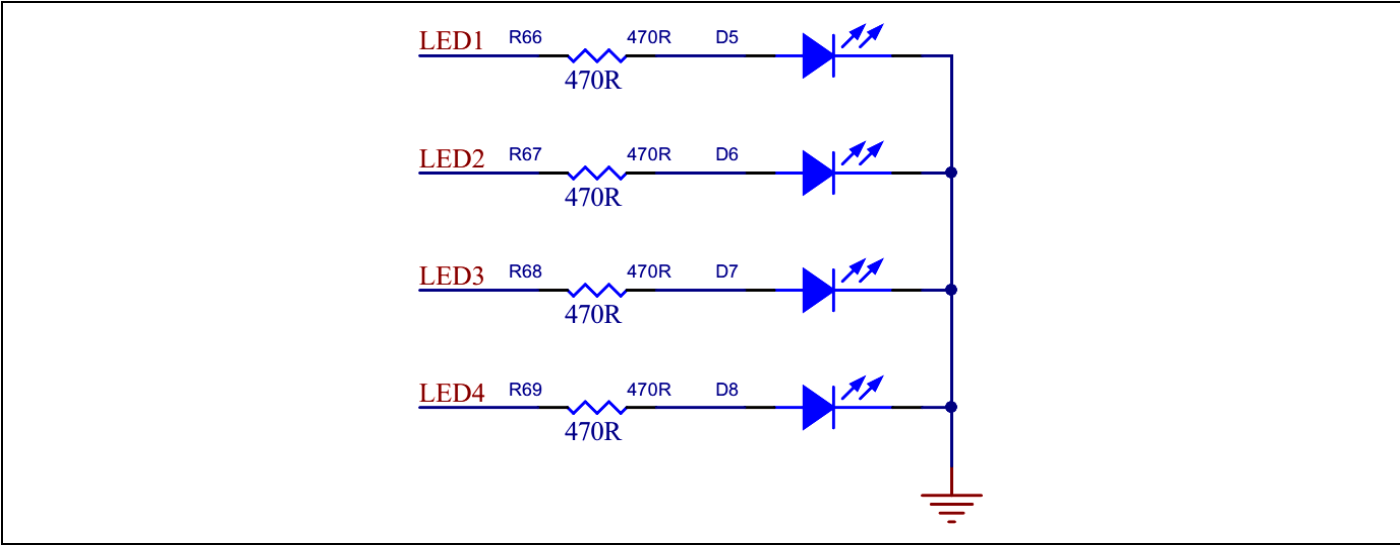


表 5-16-2 底板 LED 定义

位号(底板)	Signal Name	FPGA pin	BANK
D5	LED1	H19	17
D6	LED 2	J19	17
D7	LED 3	K20	17
D8	LED 4	K19	17

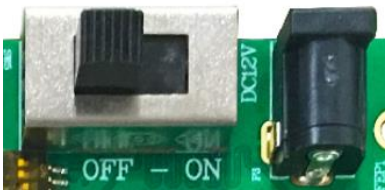
5.17 电源

5.17.1 核心板电源



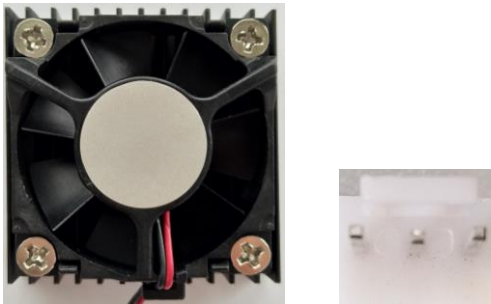
MK7325FA 核心板从底板获取电源，另外核心板具有一个 12V 电源供电接口，用于实验条件下单独的核​​心板调试。核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。

5.17.2 底板电源



MK7325FA 底板具有一个 12V 电源供电接口。此接口电源供电，可以用于实际开发和测试，请使用配套电源或稳压电源对开发板进行供电，板卡配套电源为 DC-12V/5A。

5.18 风扇



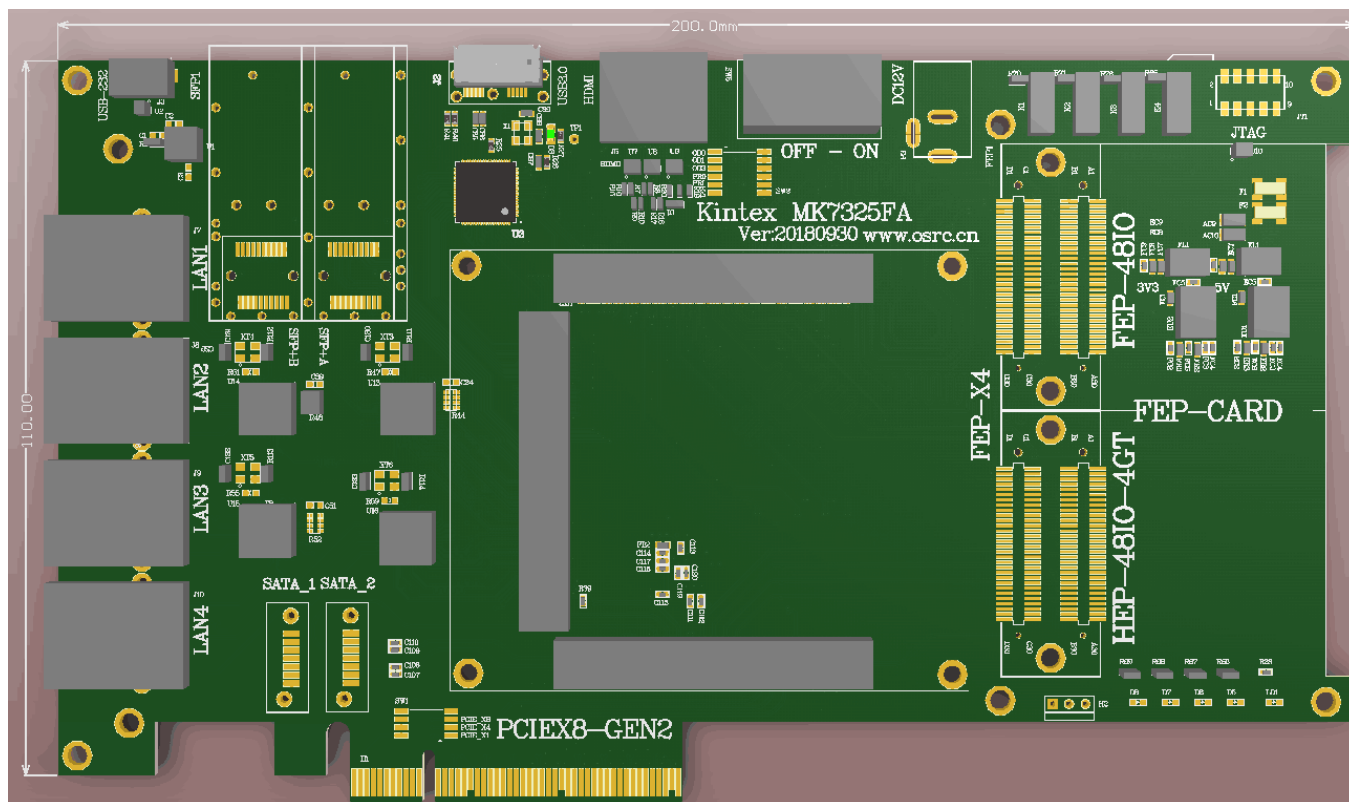
FPGA 正常工作时会产生大量的热量，MK7325FA 开发板主芯片增加了一套散热风扇（散热片+风扇），防止芯片过热。风扇由底板电源供电。MK7325FA 开发板出厂前，已安装风扇。

表 5-18-1 风扇

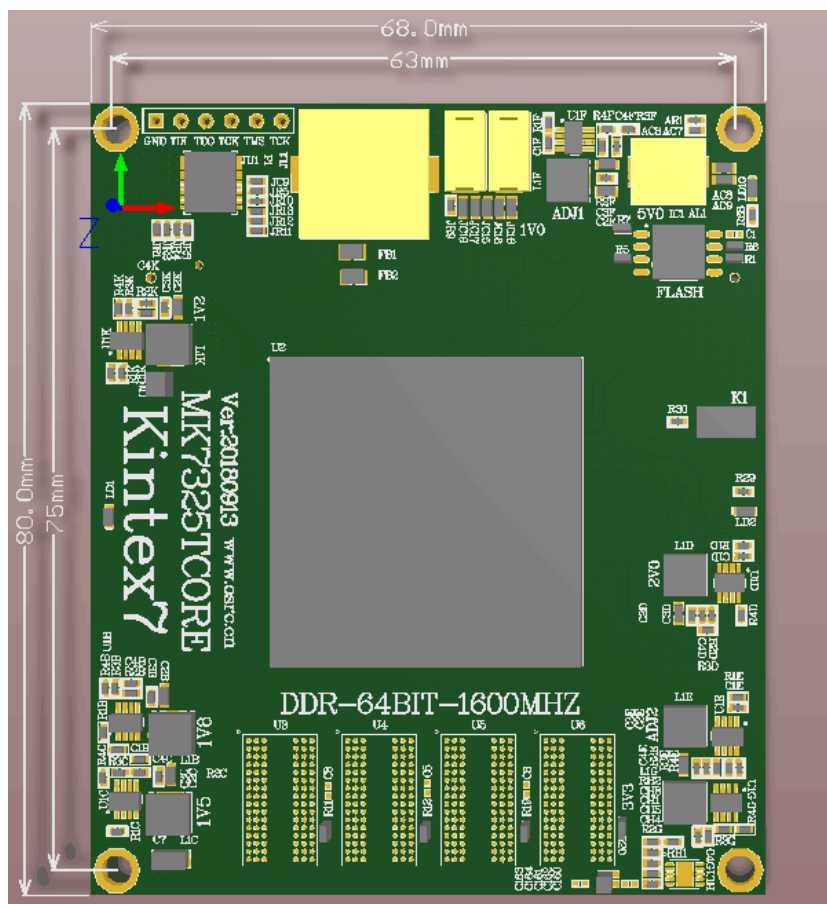
位号(底板)	功能
H2	风扇

六、结构尺寸图

底板结构尺寸图： 200(mm)x110(mm) PCB:6 层



核心板结构尺寸图：核心板 80(mm)x68(mm) 核心板：10 层



七、版本型号

版本日期	版本号	修改原因
2018-08-21	1.0	第一版改版
2019-08-14	1.2	对内容进行补充说明

八、联系方式

联系电话：0519-80699907

地址：溧阳市江苏软件园（天目云谷）3#楼

官方论坛：<http://www.osrc.cn/>

淘宝店铺：<http://osrc.taobao.com/>