

Kintex UltraScale MKU040FA 开发板硬件使用手册 V1.0

常州一二三电子科技有限公司
溧阳米联电子科技有限公司

官方论坛: <https://www.uisrc.com>
淘宝店铺: <https://milianke.taobao.com>
QQ 群 1: 34215299 (2000 人已满)
QQ 群 2: 86730608 (2000 人已满)
QQ 群 3: 543731097 (2000 人 VIP 群)
QQ 群 4: 516869816 (2000 人 VIP 群)

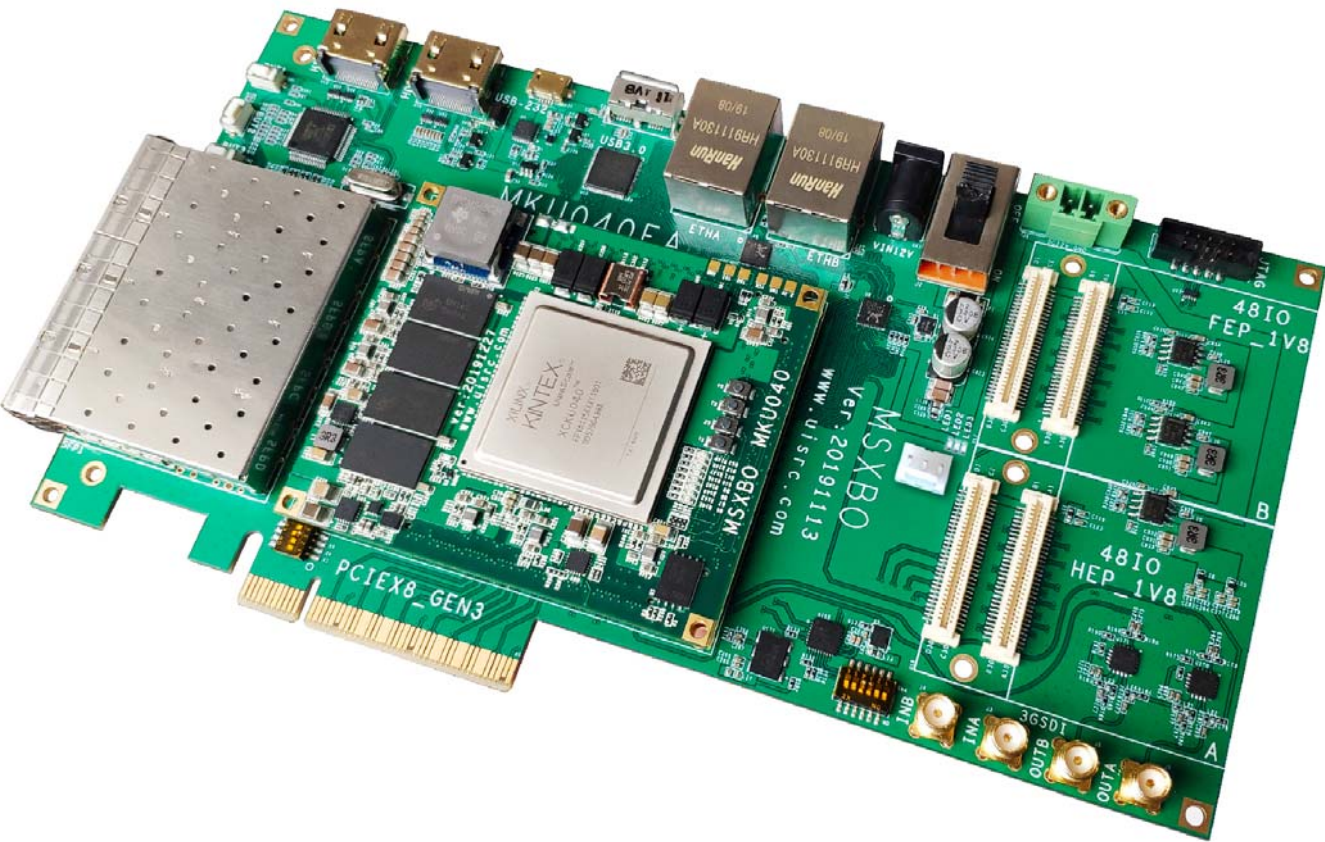
公司座机: 0519-80699907
地址: 溧阳市江苏软件园(天目云谷)3#楼

米联客 Kintex UltraScale 系列高品质开发板

----MKU040FA

适用领域：图像、通信、机器视觉、AI 加速等领域开发应用

高品质，性能优秀！



主芯片： XCKU040-FFVA1156-2I

DDR: 2GB DDR4（4 片 512MByte），数据时钟 2400MHz*64bit FLASH: 256Mbit

◆ PCIE3.0 X8	◆ SFP+ X4	◆ 千兆网 X2
◆ USB3.0 X1	◆ HDMI X2	◆ FEP X4

目录

Kintex UltraScale MKU040FA 开发板硬件使用手册 V1.0	1
用户须知—使用必看	4
一、整体概述	5
二、应用领域及人群	5
三、硬件配置	6
四、开发板图示	7
4.1 开发板	7
4.2 核心板	8
五、开发板功能描述	9
5.1 Kintex Ultrascale - XCKU040	9
5.2 内存（Memory）	9
5.2.1 DDR4	9
5.2.2 PROM SPI FLASH	10
5.3 系统时钟	11
5.3.1 核心板时钟	11
5.3.2 底板时钟	12
5.4 系统复位	14
5.5 电源管理	14
5.5.1 核心板电源	14
5.5.2 底板电源	15
5.6 USB to UART	15
5.7 USB3.0 DEVICE	16
5.8 JTAG 接口	18
5.9 HDMI 接口	18
5.10 10/100/1000M 以太网	21
5.11 SFP+接口	22
5.12 PCIE 3.0 接口	25
5.13 RTC 和 EEPROM	27
5.14 FEP 接口	28
5.15 按键	32
5.16 LED	33
5.17 电源	34
5.17.1 底板电源	34
5.18 风扇	34
六、结构尺寸图	34
七、版本型号	36
八、联系方式	36

用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

溧阳米联电子技术服务部

一、整体概述

Kintex UltraScale MKU040FA 系列开发平台是米联电子推出的一款高端产品。

主要特色是：

1) 高性价比：

核心板集成电源管理：内核 0.95V，提供 35A 电流能力，底板从核心板取电。

核心板+底板设计：用户基于核心板设计功能底板（提供底板设计方案）。降低项目底板设计难度和生产成本，加速项目开发。

2) 设计紧凑：核心板 68(mm)x80(mm)，底板 200(mm)x115.5(mm)。

3) 资源丰富：

主芯片：XCKU040-FFVA1156-2I

DDR：2GB DDR4（4 片 512MByte），数据时钟 2400Hz*64bit

高性能接口：

◆ PCIE3.0	X8	◆ SFP+	X4
◆ USB3.0	X1	◆ HDMI	X2
◆ 千兆网	X 2	◆ FEP	X4

GPIO/差分对：核心板可用 20 对 GTH，240 个 IO/120 对差分；底板 FEPx4 扩展接口具备 96 个 GPIO/48 对差分。

FEP 接口：高速通信接口，可外接子卡，实现功能扩展。

4) DEMO 丰富：PCIE 通信、千兆/万兆光通信、图像采集处理等

5) 免费源码：购买板子的用户免费获得设计源码及视频课程。

6) 贴心技术支持：为客户提供开发板相关的硬件和软件技术支持，加速产品化开发过程。

二、应用领域及人群

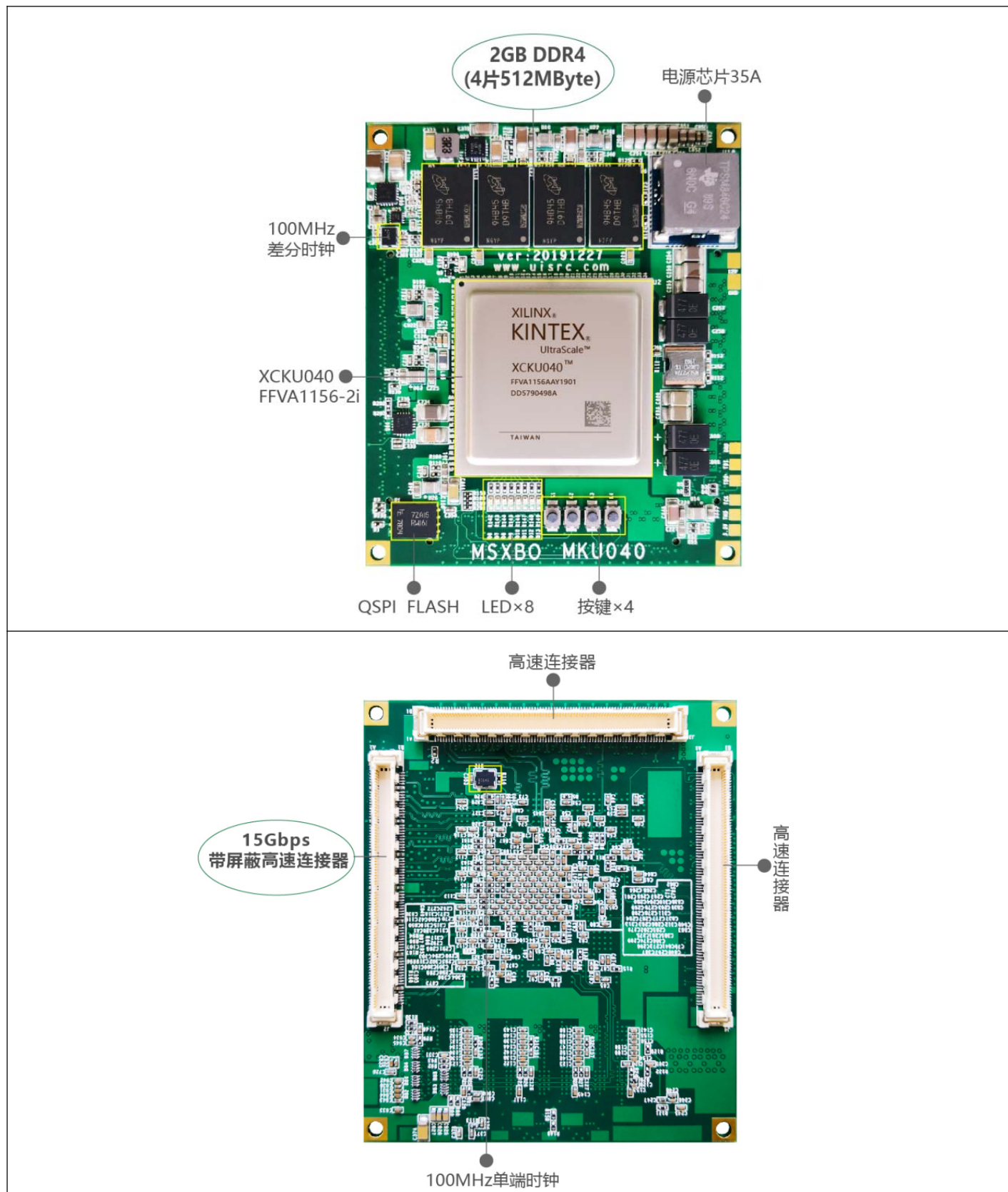
- 高速数据通信
- 机器视觉、工业控制
- 视频采集、视频输出、消费电子
- 项目研发前期验证
- 电子信息工程、自动化、通信工程等电子类相关专业开发人员学习

三、硬件配置

名称	具体参数
FPGA	XCKU040-FFVA1156-2I
DDR4	2GB(单片 512MB*4 片), 数据时钟 2400MHz*64bit
FLASH	256Mbit FLASH, 用于固化程序, 存放数据
晶振	100MHz 差分时钟; 100M 单端时钟; 底板板载一颗可编程时钟芯片, 为 GTH 信号提供时钟源
电源管理	核心板集成电源管理, 内核 0.95V, 提供 35A 电流能力
PCIE 接口	PCIE 3.0 X8
SFP+接口	4 路 SFP+, 单路最大支持 16.375Gbps
HDMI 接口	1 路 HDMI 输入, 1 路 HDMI 输出, 支持 1080P
千兆以太网	2 路千兆以太网
USB 3.0 接口	一路 USB 3.0 DEVICE
USB 串口	底板具有一路 USB-232 串口
JTAG 接口	使用下载器进行调试和下载
FEP 接口	FEPX4, 提供 96 个 GPIO/48 对差分, 4 对 GTH
LED	底板 3 个, 核心板 8 个
按键	底板 3 个, 核心板 4 个
外形	核心板 68(mm)x80(mm), 底板 210(mm)x115.5(mm)
连接器	168PIN X2, 140PIN X1, 0.5mm
电源	DC-12V/5A

4.2 核心板

MKU040FA 核心板正反面标注如下：



五、开发板功能描述

5.1 Kintex Ultrascale - XCKU040



MKU040FA 核心板搭载一颗 Xilinx Kintex Ultrascale 芯片，型号：FPGA-XCKU040-FFVA1156-2I。此芯片封装是 FFVA1156，速度等级是-2，温度等级是工业级。

表 5-1-1 FPGA 芯片资源

名称	具体参数
Logic Cells	530,250
Total Block RAM (Mb)	21.1
DSP48 Slices	1920
CLB Flip-Flops	484,800
GTH Transceivers (16.375 Gb/s Max Rate)	20
速度等级	-2
温度等级	工业级

5.2 内存（Memory）

5.2.1 DDR4



核心板搭载了 4 片镁光（Micron）DDR4 内存。单片 DDR 内存大小是 512MB ，数据接口是 16bit，四片 DDR4 内存共有 2GB。内存数据主频高达 2400MHz，数据带宽可达 2400MHz*64bit。

表 5-2-1 DDR4 SDRAM

开发板型号	DDR 型号	DDR 容量	厂家	位号
核心板（工业级）	MT40A256M16GE_083E	单片 512MB x 16bit，共 4 片	Micron	U3、U4、U5、U6

开发板采用高速布线，DDR4 的硬件设计需要严格考虑信号完整性，开发板的电路及 PCB 设计已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，以确保 DDR4 稳定工作。

DDR4 原理图如下：

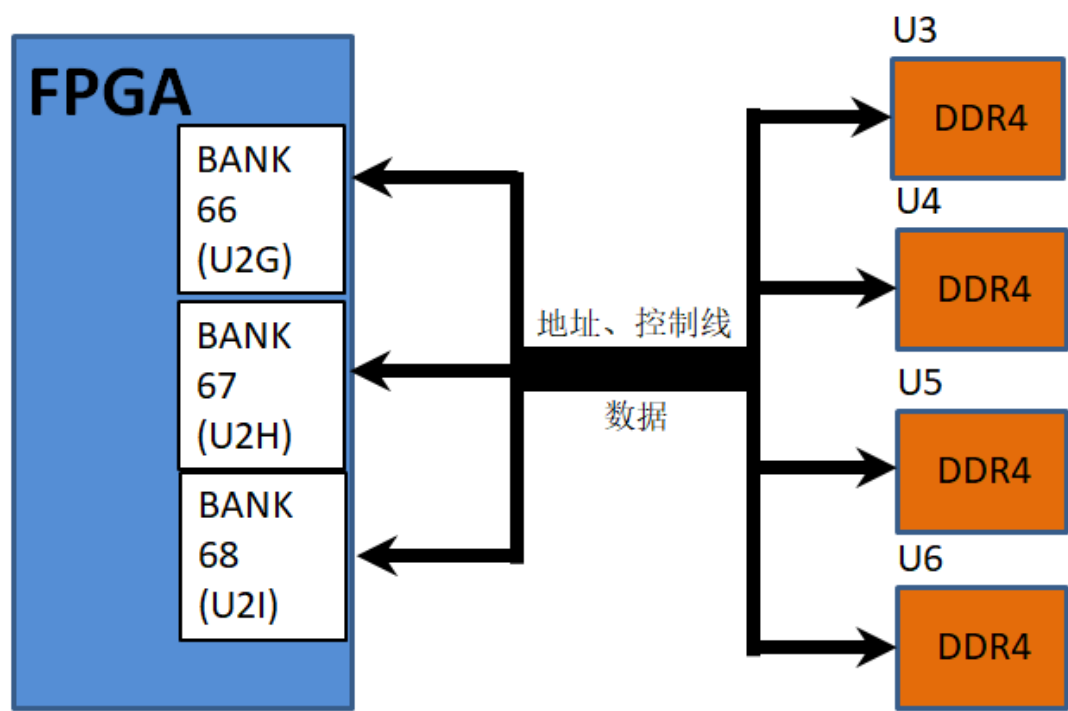
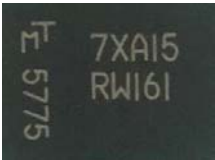


图 5-2-1 DDR4 原理图

5.2.2 PROM SPI FLASH



核心板具有一片 4bit SPI FLASH。FLASH 可用于保存数据和配置文件，初始化系统。

表 5-2-2-1 FLASH 型号

位号	芯片型号	容量	厂家
IC1(核心板)	MT25QL256ABA1Ew9-0SIT	256Mbit	Micron

QSPI -FLASH 时钟管脚 FLASH CLK、片选管脚 FLASH_nCS 及数据管脚 FLASH_IO 都连接到 FPGA 的 BANK0；使用 FLASH CLK，即 FPGA 内部时钟，QSPI –FLASH 加载速度最高 66MHz。

QSPI-FLASH 原理图如下：

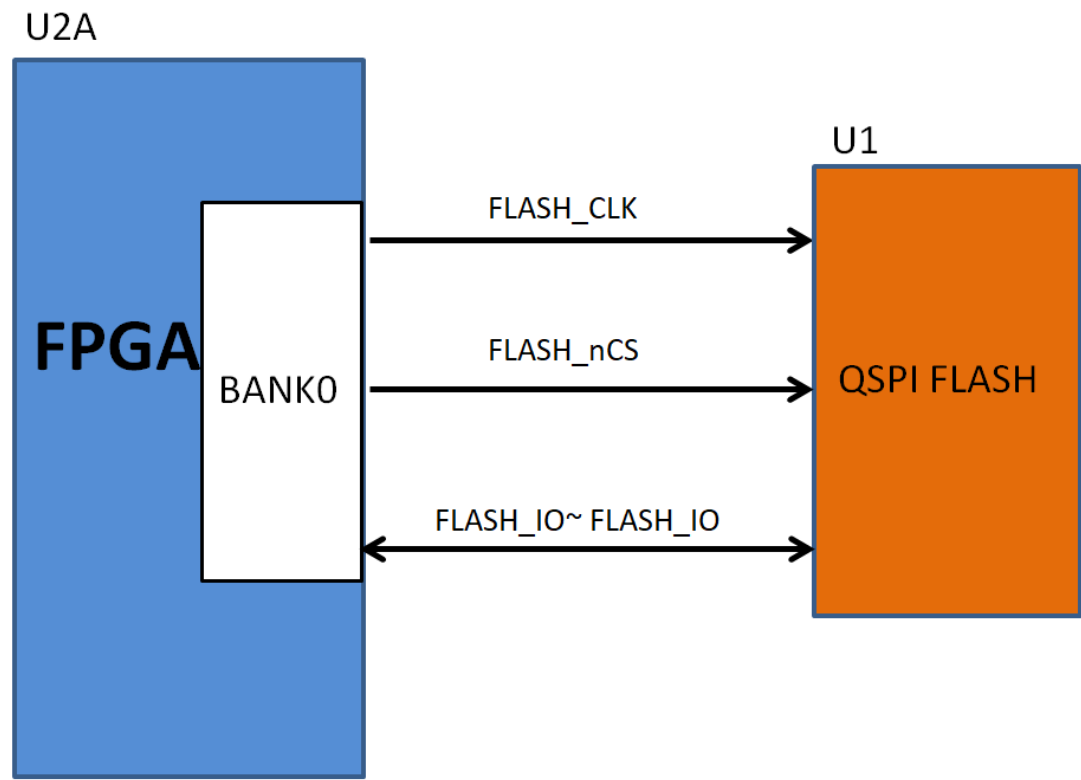


图 5-2-2 QSPI FLASH 原理图

QSPI-FLASH 管脚定义如下：

表 5-2-2-2FLASH 的管脚定义

Signal Name	Description	FPGA Pin	QSPI Pin
FLASH_IO0	Data0	AC7	5
FLASH_IO1	Data1	AB7	2
FLASH_IO2	Data2	AA7	3
FLASH_IO3	Data3	Y7	7
FLASH_CLK	Serial Data Clock	AA9	6
FLASH_nCS	Chip Select	U7	1

5.3 系统时钟

核心板上具备一颗 100M 的有源差分时钟和一颗 100M 的单端时钟；底板具备一个可编程芯片，输出时钟范围 62.5MHz~625MHz（非线性）。还预留了一路可编程晶振焊接位置（默认不焊接），时钟 10M~1.4GHz 可编程。用户可根据需要选择焊接此晶振。

5.3.1 核心板时钟

核心板时钟 1：100MHz 单端时钟

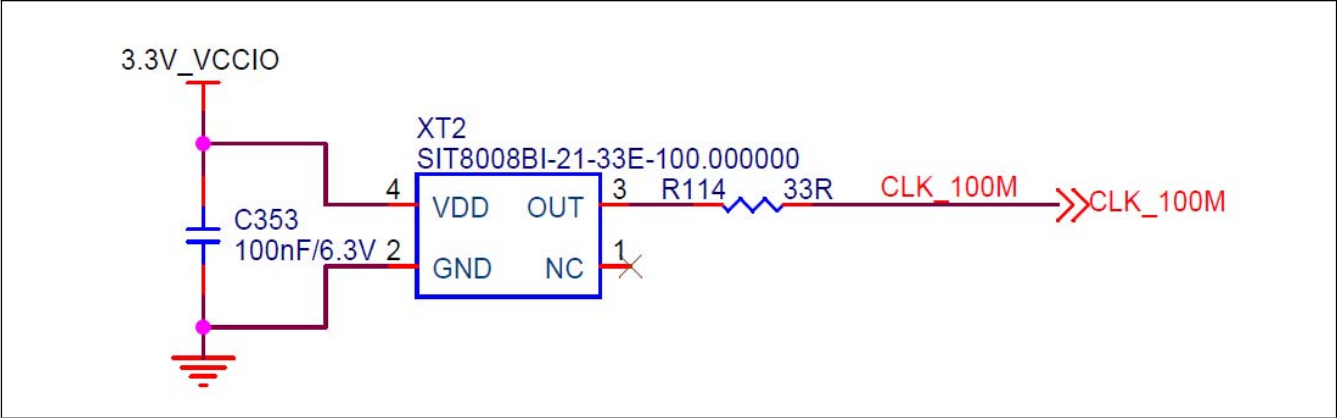


表 5-3-1-1 100MHz 单端时钟管脚定义

位号	Signal Name	FPGA Pin
XT2 (核心板)	CLK_100M	AG11

核心板时钟 2：100MHz 差分时钟

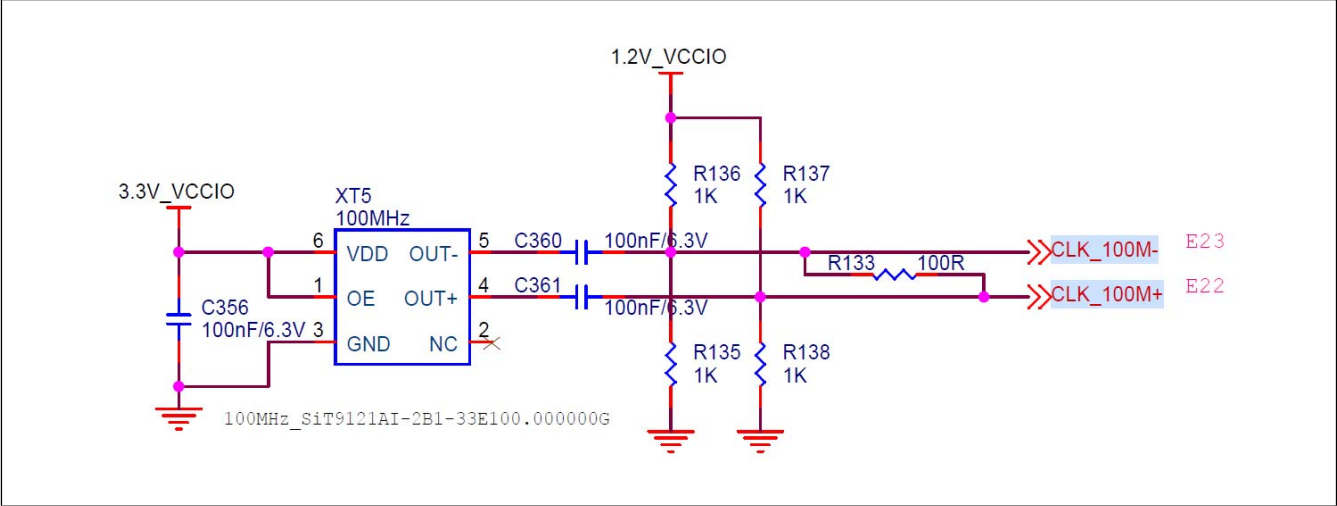


表 5-3-1-2 100MHz 差分时钟管脚定义

位号	Signal Name	FPGA Pin
XT5 (核心板)	CLK_100M+	E22
	CLK_100M-	E23

5.3.2 底板时钟



底板板载可编程时钟芯片为高速收发器 GTH 提供可编程时钟源。可编程芯片生成两对差分时钟，

分别是（MGT228_CLK1_P、MGT228_CLK1_N）、（MGT227_CLK1_P 、MGT227_CLK1_N）。

其中（MGT228_CLK1_P、MGT228_CLK1_N）用于通过 SFP+接口时钟。

表 5-3-2-1 时钟芯片

位号	芯片型号	厂家
U160、SW4(底板)	CDCM61002	TI

可编程时钟芯片原理图如下：

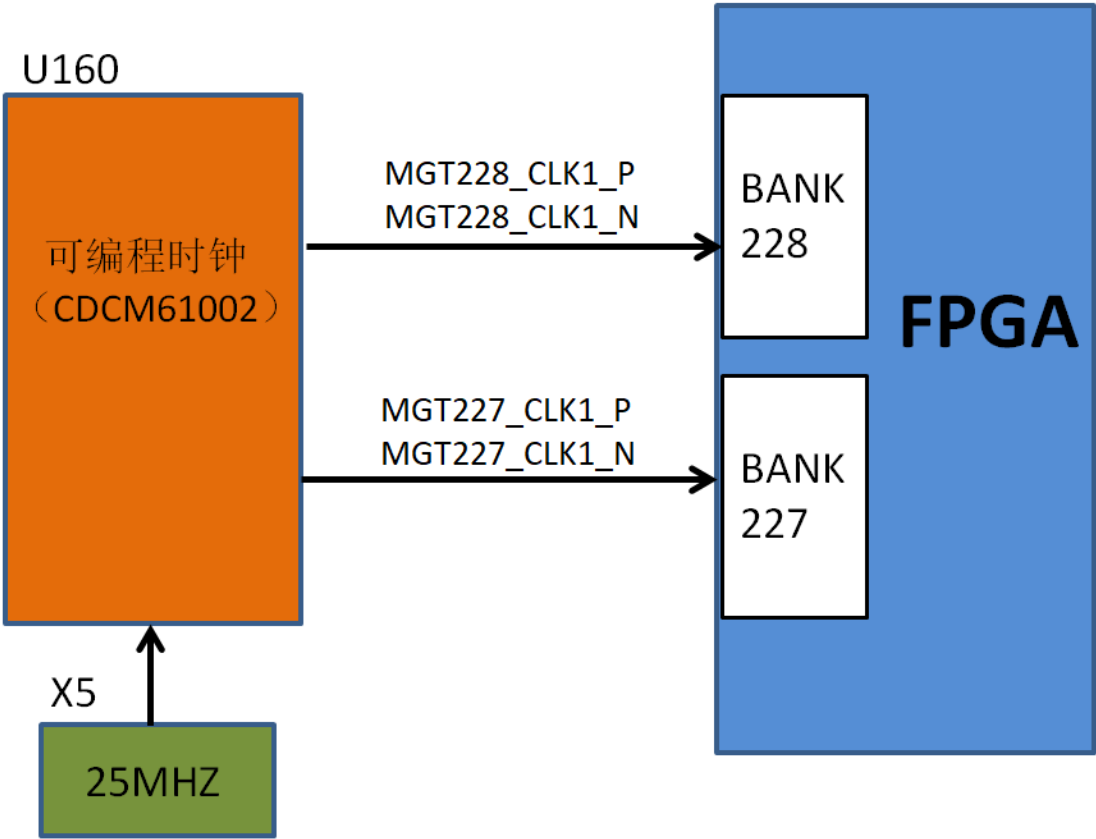


图 5-3-2 可编程时钟芯片原理图

可编程时钟芯片管脚定义如下

表 5-3-2-2 可编程时钟管脚定义(底板)

Signal Name	FPGA Pin
MGT228_CLK1_P	H6
MGT228_CLK1_N	H5
MGT227_CLK1_P	M6
MGT227_CLK1_N	M5

时钟选择模式开关对应模式如下：

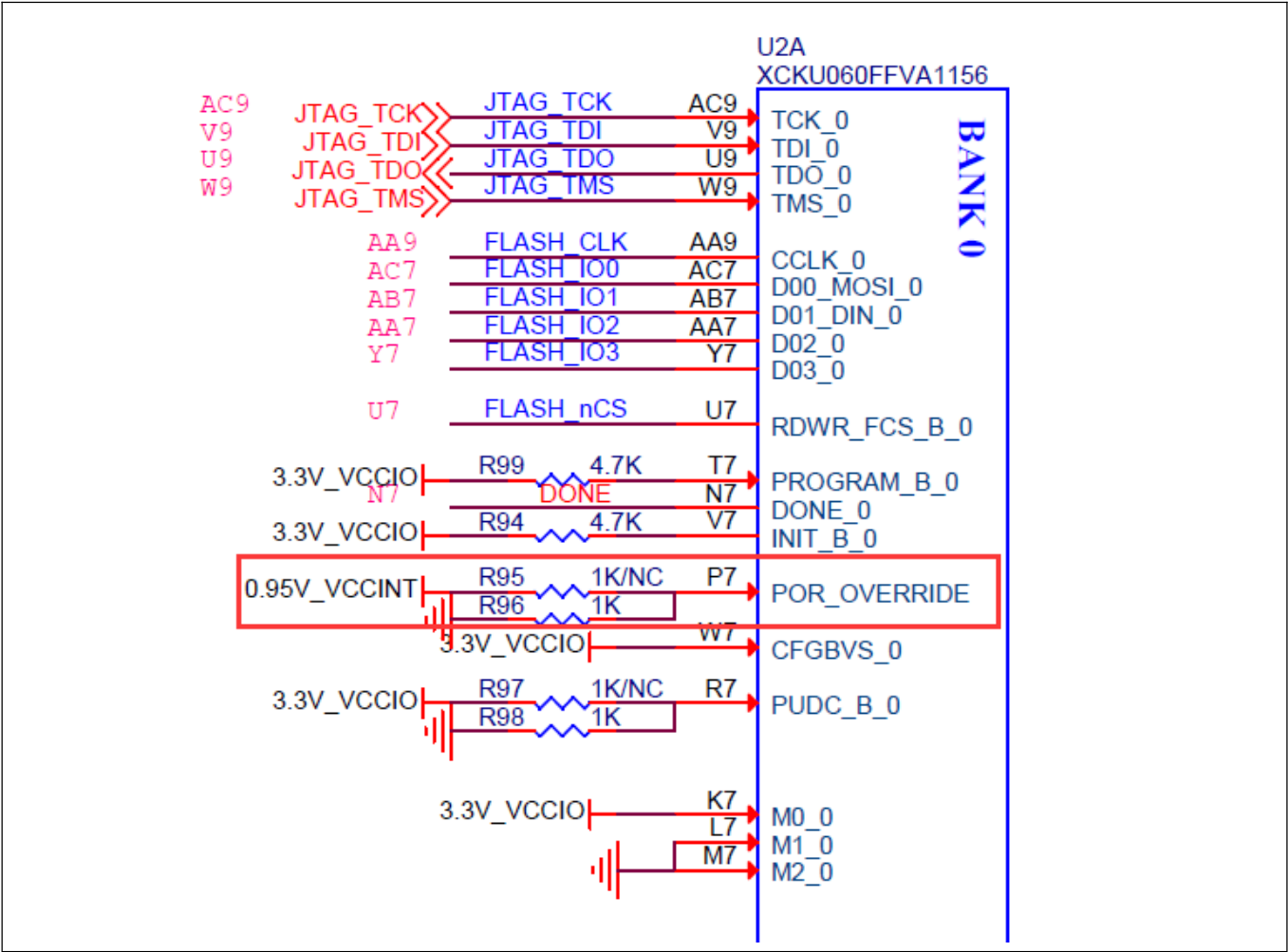
表 5-3-2-3 可编程时钟模式

Prescale Divider	Feedback Divider	PR1/PR0	VCO MHz	Output Divider	OD2/OD1 /OD0	Output MHz	Application
4	20	11	2000	8	111	62.5	GigE
3	24	00	1800	8	111	75	SATA
3	24	00	1800	6	101	100	PCIE

4	20	11	2000	4	011	125	GigE
3	24	00	1800	4	011	150	SATA
3	25	10	1875	4	011	156.25	10GigE
5	15	01	1875	2	001	187.5	12GigE
3	24	00	1800	3	010	200	PCIE
4	20	11	2000	2	001	250	GigE
3	25	10	1875	2	001	312.5	XGMII
3	25	10	1875	1	000	625	10GigE

5.4 系统复位

芯片支持上电复位，复位整个芯片。



5.5 电源管理

5.5.1 核心板电源

核心板集成电源管理，+12V 电源输入通过 TI 电源芯片 TPSM846C24MOLR 产生+0.95V 的核心电源，输出电流高达 35A，满足 FPGA 核心电压的电流需求。

核心板电源启动顺序示意图如下：

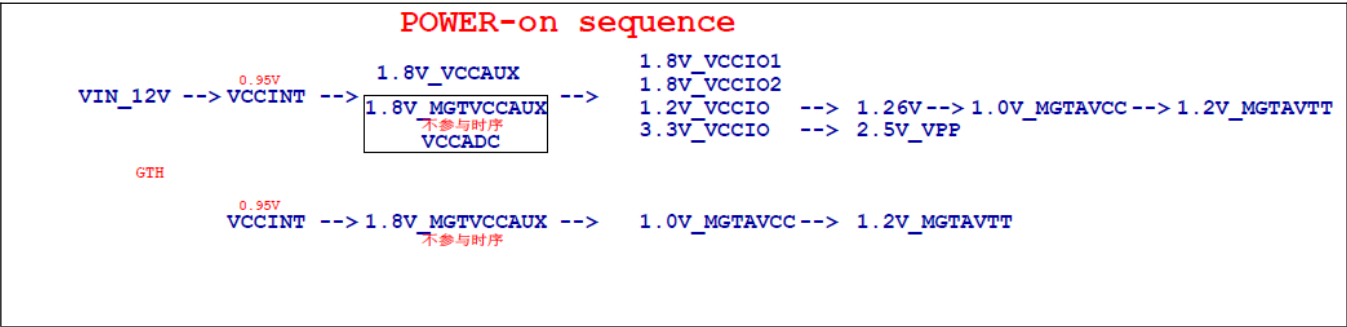


图 5-5-1 核心板电源启动顺序

电源对应功能如下：

表 5-5-1-1 电源功能对应表

电源	功能
+0.95V	FPGA 内核电压
+1.0V	MGTAVCC
+12V	输入电源
+1.8V	BANK 44 、BANK 45、 BANK46、BANK 47、BANK 48、MGTVCCAUX
+1.2V	BANK 66 、BANK 67、 BANK 68、MGTAVTT
+3.3V	BANK 0 、BANK 64 、BANK 65

5.5.2 底板电源

底板集成电源管理，电源输入 12V，输出 1.8V、3.3V、5V。

5.6 USB to UART



底板具有一路 CP2104 转串口，用于开发板串口通信和调试。

表 5-6 USB TO UART 管脚定义

位号	Signal Name	Description	FPGA Pin	CP2104 Pin
U4、U35(底板)	UART_TXD	TX	AK32	21
	UART_RXD	RX	AK31	20

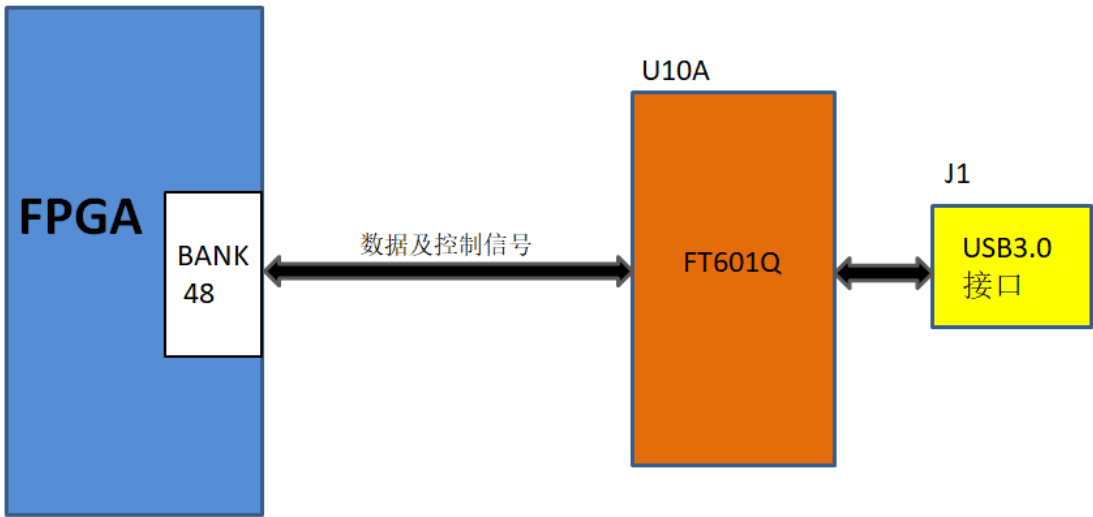
5.7 USB3.0 DEVICE



底板具有一路 USB3.0 DEVICE，使用芯片型号 FT601Q-B-T，可用于 USB3.0 通信。

表 5-7-1 USB3.0 DEVICE

位号	芯片型号	厂家
U10A(底板)	FT601Q	FTDI



原理图如下：

图 5-7 USB3.0 DEVICE 通信原理图

管脚定义如下：

表 5-7-2 USB TO UART 管脚定义

Signal Name	Description	FPGA Pin	FT601Q Pin	Usb3.0 接口	PAM3101
USBSS_CLK	CLK	AA32	58		
USBSS_BE0	BE0	AB32	4		
USBSS_BE1	BE1	AA34	5		
USBSS_BE2	BE2	AB34	6		
USBSS_BE3	BE3	AC34	7		
USBSS_RESERVED	RESERVED		19		
USBSS_TXE	TXE	AD34	8		
USBSS_RXF	RXE	AC33	9		
USBSS_OE	OE	AF33	13		
USBSS_RD	RD	AF34	12		
USBSS_WR	WR	AE33	11		

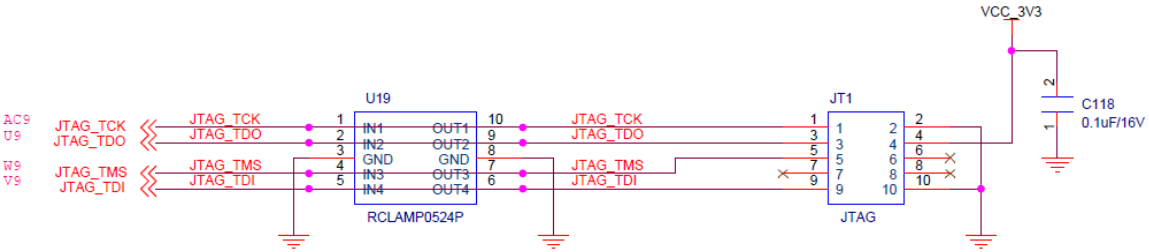

USBSS_SIWU	REV	AD33	10		
USBSS_WAKEUP	INT	AG34	16		
USBSS_VBUS	VBUS			1	
USBSS_EN	EN	Y30			3
USBSS_SSRX_p	RIDP		35	10	
USBSS_SSRX_n	RIDN		34	9	
USB3_TOD_p (USBSS_SSTX_p)	TODP		32	7	
USB3_TOD_n (USBSS_SSTX_n)	TODN		31	6	
USBSS_D_p	DP		23	3	
USBSS_D_n	DM		25	2	
USBSS_SCL	SCL	AG31	17		
USBSS_SDA	SDA	AG32	18		
USBSS_D0	DATA_0	AA29	40		
USBSS_D1	DATA_1	AB29	41		
USBSS_D2	DATA_2	AB30	42		
USBSS_D3	DATA_3	AB31	43		
USBSS_D4	DATA_4	AC31	44		
USBSS_D5	DATA_5	AC32	45		
USBSS_D6	DATA_6	AC28	46		
USBSS_D7	DATA_7	AD28	47		
USBSS_D8	DATA_8	AD29	50		
USBSS_D9	DATA_9	AE30	51		
USBSS_D10	DATA_10	AD30	52		
USBSS_D11	DATA_11	AD31	53		
USBSS_D12	DATA_12	AE32	54		
USBSS_D13	DATA_13	AF32	55		
USBSS_D14	DATA_14	AE28	56		
USBSS_D15	DATA_15	AF28	57		
USBSS_D16	DATA_16	AF30	60		
USBSS_D17	DATA_17	AG30	61		
USBSS_D18	DATA_18	AF29	62		
USBSS_D19	DATA_19	AG29	63		
USBSS_D20	DATA_20	AE27	64		
USBSS_D21	DATA_21	AF27	65		
USBSS_D22	DATA_22	U34	66		
USBSS_D23	DATA_23	V34	67		
USBSS_D24	DATA_24	V33	69		
USBSS_D25	DATA_25	W34	70		
USBSS_D26	DATA_26	V31	71		
USBSS_D27	DATA_27	W31	72		
USBSS_D28	DATA_28	W33	73		
USBSS_D29	DATA_29	Y33	74		
USBSS_D30	DATA_30	Y31	75		
USBSS_D31	DATA_31	Y32	76		

5.8 JTAG 接口

底板具有一路 JTAG 接口，以供下载和调试。

表 5-8-1 JTAG 接口

JTAG 接口	
底板 JTAG 接口	底板 JTAG 接口定义



管脚定义如下

表 5-8-2 JTAG 管脚定义

Signal Name	FPGA Pin
TDI_JTAG	V9
TDO_JTAG	U9
TCK_JTAG	AC9
TMS_JTAG	W9

5.9 HDMI 接口



底板具有两路 HDMI 接口，一路作为 HDMI 输入，一路作为 HDMI 输出。
HDMI 输入使用 ADV7611 解码芯片，实现 HDMI 输入功能，输入可以达到 1080P @60Hz。
HDMI 输出采用了 IO 模拟 HDMI 信号，输出可以达到 1080P@60Hz 高清传输。

原理图如下：

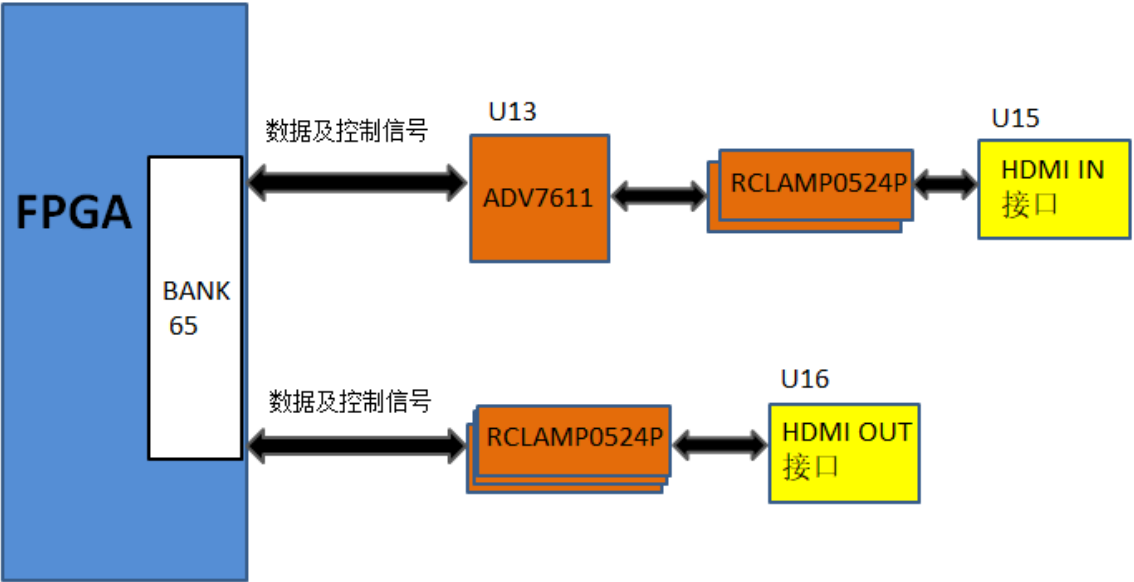


图 5-9 HDMI 通信原理图

表 5-9-1 HDMI 芯片型号

HDMI	芯片型号	位号	接口位号
输入	ADV7611	U13	U15(底板)
输出	/	/	U16(底板)

表 5-9-2 HDMI IN 接口管脚定义

Signal Name	Description	FPGA pin	ADV7611 pin
7611_FSCL	SCL	R27	53
7611_FSDA	SDA	T24	54
7611_FPCLK	LLC	P26	25
7611_FVS	VS	R21	47
7611_FHS	HS	K25	46
7611_FDE	DE	R22	45
ETH_RST	RESET	T25	56
7611_FD0	数据	L25	43
7611_FD1	数据	P23	42
7611_FD2	数据	K27	41
7611_FD3	数据	R23	39
7611_FD4	数据	K26	38
7611_FD5	数据	N26	37
7611_FD6	数据	J25	36
7611_FD7	数据	M22	35
7611_FD8	数据	J24	33
7611_FD9	数据	L20	32
7611_FD10	数据	K23	31
7611_FD11	数据	N21	30

7611_FD12	数据	L23	29
7611_FD13	数据	M21	28
7611_FD14	数据	L24	27
7611_FD15	数据	P20	26
7611_FD16	数据	P21	22
7611_FD17	数据	M25	21
7611_FD18	数据	P24	20
7611_FD19	数据	M26	19
7611_FD20	数据	P25	18
7611_FD21	数据	M20	17
7611_FD22	数据	M27	16
7611_FD23	数据	L27	15

表 5-9-3 HDMI OUT 接口管脚定义

Signal Name	Description	FPGA pin	HDMI pin
HDMI1 _ HPD	Hot Plug Detect signal input		19
5V	5V 电源		18
DDC/CECG	DDC/CEC GND		17
HDMI1 _ SDA	I2C SDA	L22	16
HDMI1 _ SCL	I2C SCL	K21	15
RES			14
HDMI1 _ CEC	CEC		13
HDMI1 _ CLK _ N	时钟-	M24	12
CLK SHIELD	时钟屏蔽		11
HDMI1 _ CLK _ P	时钟+	N24	10
HDMI1 _ D0 _ N	数据 0-	H26	9
DATA0 SHIELD	数据 0 屏蔽		8
HDMI1 _ D0 _ P	数据 0+	J26	7
HDMI1 _ D1 _ N	数据 1-	G27	6
DATA1 SHIELD	数据 1 屏蔽		5
HDMI1 _ D1 _ P	数据 1+	H27	4
HDMI1 _ D2 _ N	数据 2-	G26	3
DATA2 SHIELD	数据 2 屏蔽		2
HDMI1 _ D2 _ P	数据 2+	G25	1

5.10 10/100/1000M 以太网



开发板底板具有 2 路千兆以太网口，用户进行千兆网络通信开发，收发总线与对应时钟严格等长。采用的 PHY 型号为 RTL8211FD。

表 5-10-1 USB3.0 DEVICE

位号	芯片型号	厂家
U8、U9 (底板)	RTL8211FD	Realtek

原理图如下：

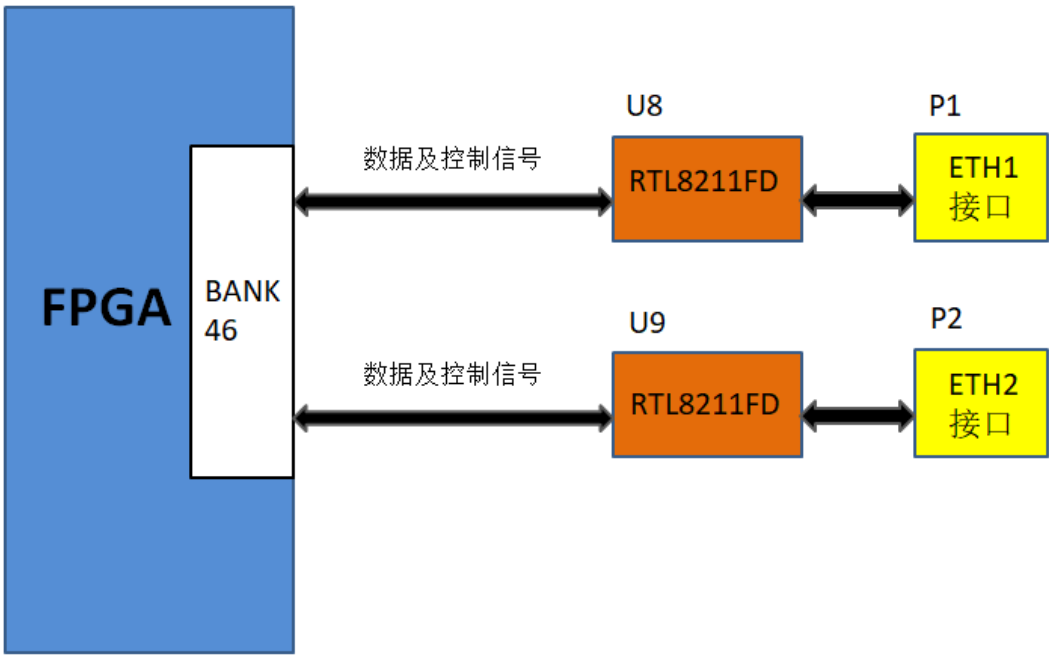


图 5-10 千兆网络通信原理图

表 5-10-2 PHY1 管脚定义

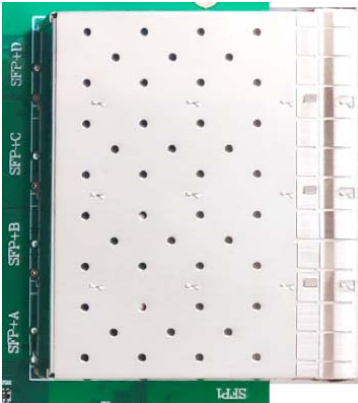
Signal Name	Description	FPGA pin	PHY pin
ETH1_RXCK	Receive Clock	AL30	27
ETH1_RXCTL	RX_CTL	AP33	26
ETH1_RXD0	Receive Data 0	AN33	25
ETH1_RXD1	Receive Data 1	AN32	24
ETH1_RXD2	Receive Data 2	AM32	23

ETH1_RXD3	Receive Data 3	AM30	22
ETH1_TXCK	Transmit Clock	AM29	20
ETH1_TXCTL	TX_CTL	AL29	19
ETH1_TXD0	Transmit Data 0	AL28	18
ETH1_TXD1	Transmit Data 1	AL27	17
ETH1_TXD2	Transmit Data 2	AK27	16
ETH1_TXD3	Transmit Data 3	AK26	15
ETH_MDIO	Management Data	AJ26	14
ETH_MDC	Management Clock	AH26	13
ETH_RST	RESET	AP31	12

表 5-10-3 PHY2 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH2_RXCK	Receive Clock	AJ29	27
ETH2_RXCTL	RX_CTL	AN26	26
ETH2_RXD0	Receive Data 0	AP26	25
ETH2_RXD1	Receive Data 1	AM26	24
ETH2_RXD2	Receive Data 2	AM27	23
ETH2_RXD3	Receive Data 3	AN27	22
ETH2_TXCK	Transmit Clock	AN28	20
ETH2_TXCTL	TX_CTL	AP28	19
ETH2_TXD0	Transmit Data 0	AP29	18
ETH2_TXD1	Transmit Data 1	AN29	17
ETH2_TXD2	Transmit Data 2	AP30	16
ETH2_TXD3	Transmit Data 3	AN31	15
ETH_MDIO	Management Data	AP34	14
ETH_MDC	Management Clock	AN34	13
ETH_RST	RESET	AP31	12

5.11 SFP+接口



开发板底板具有 4 路 SFP+接口，可接市场上通用的光模块，用于高速信号传输。MKU040FA 开米联客 开发板 Kintex UltraScale 系列

发板具有 20 对 GTH，其中 4 对用于 SFP+接口。

SFP+接口可以接千兆光模块，做千兆光纤通信；SFP+接口可以接万兆光模块，做万兆光纤通信。

SFP+接口可以接千兆电口模块，实现千兆以太网通信；SFP+接口可以接万兆模块，实现万兆以太网通信。

原理图如下：

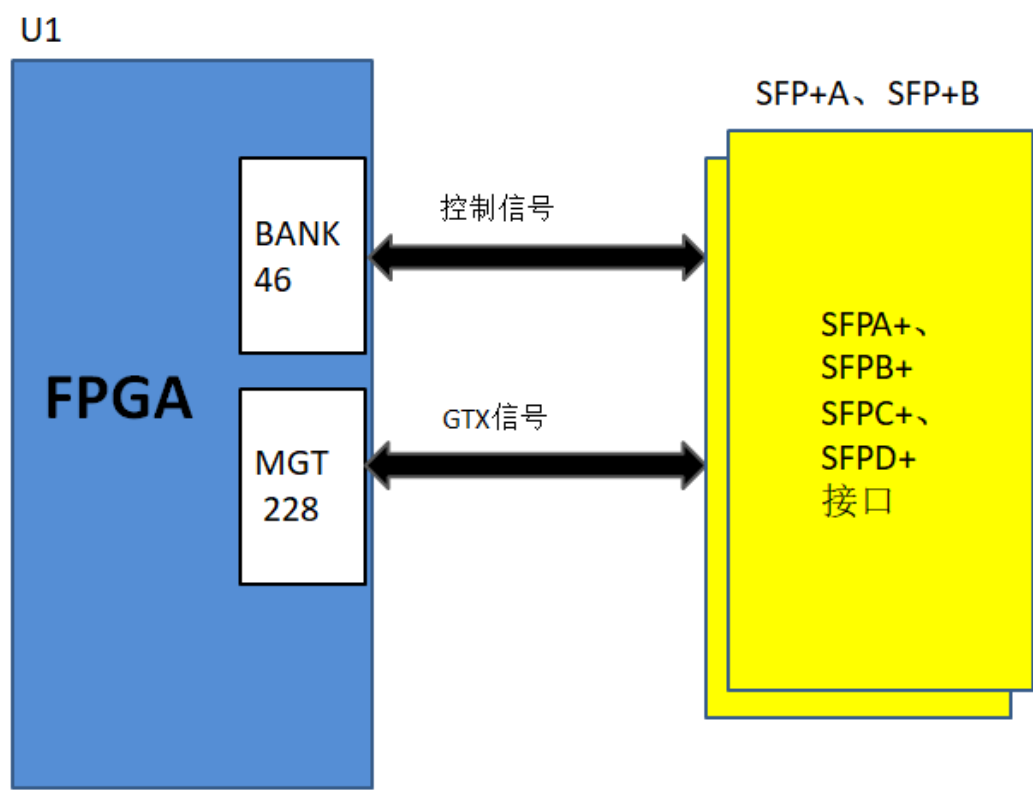


图 5-11 SFP+接口通信原理图

管脚定义如下

表 5-11-1 SFPA、SFPB 接口定义

Signal Name	Description	FPGA pin	SFP pin
SFPA_TX_Fault	发射失效报警		2
SFPA_TX_DIS	关断发射	J23	3
SFPA_SCL	I2C 通信时钟		4
SFPA_SDA	I2C 通信数据		5
SFPA_PRESENT	复位		6
SFPA_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	H24	7
SFPA_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	K20	9
SFPA_LOS	LOS 告警		8
SFPA_TD_P	发射部分数据输入（正向）	F6	18
SFPA_TD_N	发射部分数据输入（反向）	F5	19
SFPA_RD_P	接收部分数据输出（正向）	E4	13

SFPA_RD_N	接收部分数据输出（反向）	E3	12
Signal Name	Description	FPGA pin	SFP pin
SFPB_TX_Fault	发射失效报警		2
SFPB_TX_DIS	关断发射	AH31	3
SFPB_SCL	I2C 通信时钟		4
SFPB_SDA	I2C 通信数据		5
SFPB_PRESENT	复位		6
SFPB_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	AH32	7
SFPB_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AH34	9
SFPB_LOS	LOS 告警		8
SFPB_TD_P	发射部分数据输入（正向）	D6	18
SFPB_TD_N	发射部分数据输入（反向）	D5	19
SFPB_RD_P	接收部分数据输出（正向）	D2	13
SFPB_RD_N	接收部分数据输出（反向）	D1	12
Signal Name	Description	FPGA pin	SFP pin
SFPC_TX_Fault	发射失效报警		2
SFPC_TX_DIS	关断发射	AJ34	3
SFPC_SCL	I2C 通信时钟		4
SFPC_SDA	I2C 通信数据		5
SFPC_PRESENT	复位		6
SFPC_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	AH33	7
SFPC_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AJ33	9
SFPC_LOS	LOS 告警		8
SFPC_TD_P	发射部分数据输入（正向）	C4	18
SFPC_TD_N	发射部分数据输入（反向）	C3	19
SFPC_RD_P	接收部分数据输出（正向）	B2	13
SFPC_RD_N	接收部分数据输出（反向）	B1	12
Signal Name	Description	FPGA pin	SFP pin
SFPD_TX_Fault	发射失效报警		2
SFPD_TX_DIS	关断发射	AL32	3
SFPD_SCL	I2C 通信时钟		4
SFPD_SDA	I2C 通信数据		5
SFPD_PRESENT	复位		6
SFPD_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	AL33	7
SFPD_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	AL34	9
SFPD_LOS	LOS 告警		8

SFPD_TD_P	发射部分数据输入（正向）	B6	18
SFPD_TD_N	发射部分数据输入（反向）	B5	19
SFPD_RD_P	接收部分数据输出（正向）	A4	13
SFPD_RD_N	接收部分数据输出（反向）	A3	12

5.12 PCIE 3.0 接口



开发板底板具有 PCIe 3.0X8 接口，PCIe 卡的外形尺寸符合标准 PCIe 卡电器规范要求，可以直接在普通的 PC 机的 PCIe 插槽上使用。开发板和电脑之间能够实现 PCIeX8 的数据通信。MKU040FA 开发板具有 20 对 GTH，其中 8 对用于 PCIe 3.0 X8 接口。



我们可以通过调节相应的模式开关来调整对应的 PCIE 模式
管脚定义如下：

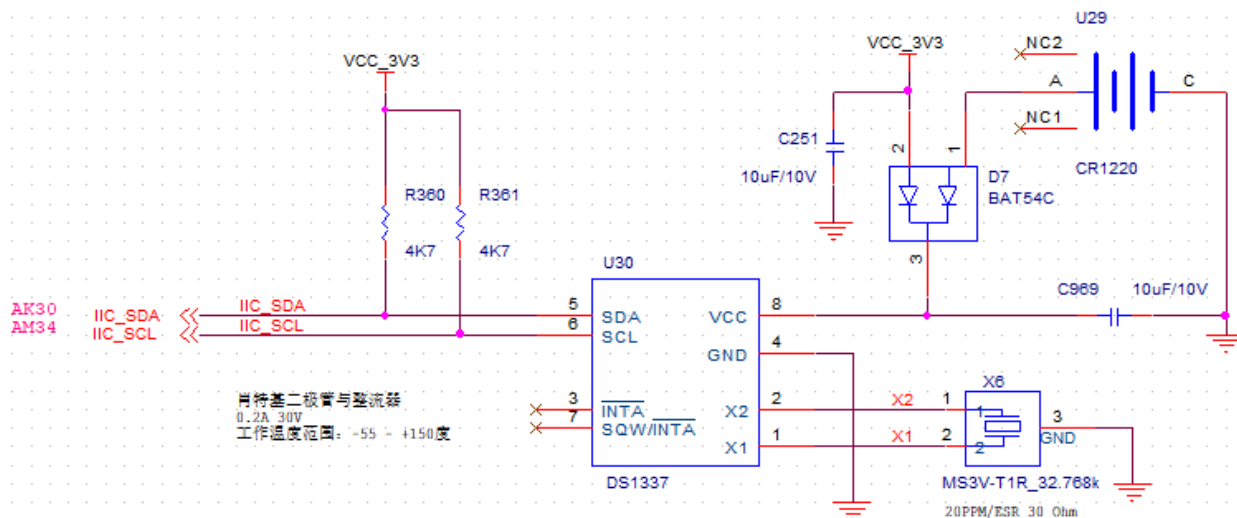
表 5-12-1 PCIE 接口定义

Signal Name	FPGA pin	PCIE finger pin
PCIE_PG	K22	A11
PCIE_CLK_P	P6	A13
PCIE_CLK_N	P5	A14
PCIE_TX0_P	G4	A16
PCIE_TX0_N	G3	A17
PCIE_TX1_P	J4	A21
PCIE_TX1_N	J3	A22
PCIE_TX2_P	L4	A25
PCIE_TX2_N	L3	A26
PCIE_TX3_P	N4	A29
PCIE_TX3_N	N3	A30
PCIE_TX4_P	R4	A35
PCIE_TX4_N	R3	A36
PCIE_TX5_P	U4	A39
PCIE_TX5_N	U3	A40
PCIE_TX6_P	W4	A43

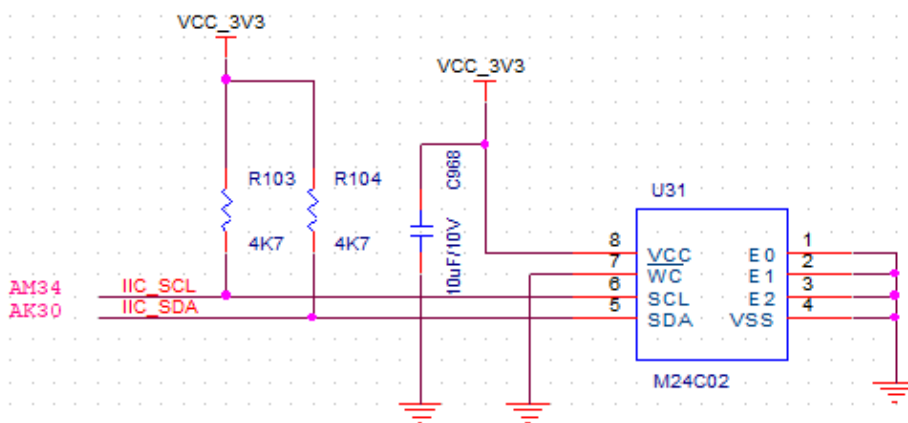
PCIE_TX6_N	W3	A44
PCIE_TX7_P	AA4	A47
PCIE_TX7_N	AA3	A48
PCIE_RX0_P	F2	B14
PCIE_RX0_N	F1	B15
PCIE_RX1_P	H2	B19
PCIE_RX1_N	H1	B20
PCIE_RX2_P	K2	B23
PCIE_RX2_N	K1	B24
PCIE_RX3_P	M2	B27
PCIE_RX3_N	M1	B28
PCIE_RX4_P	P2	B33
PCIE_RX4_N	P1	B34
PCIE_RX5_P	T2	B37
PCIE_RX5_N	T1	B38
PCIE_RX6_P	V2	B41
PCIE_RX6_N	V1	B42
PCIE_RX7_P	Y2	B45
PCIE_RX7_N	Y1	B46

5.13 RTC 和 EEPROM

RTC



EEPROM

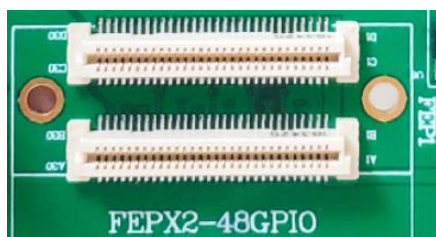


DS1337 是一款低功耗, 具有 56 字节非失性 RAM 的全 BCD 码时钟日历实时时钟芯片。

M24C02 是基于 I2C 总线的存储器件，遵循二线制协议，它具有接口方便，体积小，数据掉电不丢失等特点

	RTC	EEPROM
SDA	AK30	AK30
SCL	AM34	AM34

5.14 FEP 接口



MKU040FA 板载 4 个 FEP(Fast Expand Port) 60 PIN 的 HEADER 。其中两个 FEP 接口构成一组 FEPX2, 4 个 FEP 构成两组。第一组共有 96 个 IO/48 对差分，第二组 FEP 48IO/24 对差分和 4 对 GTH(MKU040FA 开发板具有 20 对 GTH 其中 4 对用于 FEP 接口) 。

管脚定义如下：

表 5-14-1 FEP1A 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	AG24	B4	AE25
A5	AG25	B5	AE26
A6	AH24	B6	AE22
A7	AJ25	B7	AE23
A8	AF23	B8	AF22
A9	AF24	B9	AG22
A10	AG21	B10	AD21
A11	AH21	B11	AE21
A12	GND	B12	GND
A13	AJ20	B13	AF20
A14	AK20	B14	AG20
A15	AP24	B15	AJ21
A16	AP25	B16	AK21
A17	AM24	B17	AH22
A18	AN24	B18	AH23
A19	AN23	B19	AD20
A20	AP23	B20	AE20
A21	GND	B21	GND
A22	AM22	B22	AL24
A23	AN22	B23	AL25
A24	AP20	B24	AJ23
A25	AP21	B25	AJ24
A26	AM21	B26	AK22

A27	AN21	B27	AK23
A28	AL20	B28	AL22
A29	AM20	B29	AL23
A30	GND	B30	GND

表 5-14-2 FEP1B 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	
C16		D16	
C17		D17	
C18		D18	
C19		D19	
C20		D20	
C21	GND	D21	GND
C22		D22	
C23		D23	
C24		D24	
C25		D25	
C26		D26	
C27		D27	
C28		D28	
C29		D29	
C30	GND	D30	GND

表 5-14-2 HEP1A 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	AG19	B4	AE18
A5	AH19	B5	AF18
A6	AJ18	B6	AD19
A7	AK18	B7	AD18
A8	AH16	B8	AE17
A9	AJ16	B9	AF17
A10	AG17	B10	AE16
A11	AG16	B11	AE15
A12	GND	B12	GND
A13	AF15	B13	AG15
A14	AF14	B14	AG14
A15	AL19	B15	AH18
A16	AM19	B16	AH17
A17	AN19	B17	AK17
A18	AP18	B18	AK16
A19	AM17	B19	AD16
A20	AN16	B20	AD15
A21	GND	B21	GND
A22	AP16	B22	AN18
A23	AP15	B23	AN17
A24	AN14	B24	AL18
A25	AP14	B25	AL17
A26	AL14	B26	AM16
A27	AM14	B27	AM15
A28	AJ15	B28	AK15
A29	AJ14	B29	AL15
A30	GND	B30	GND

表 5-14-4 HEP1B 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	
C16	AD6	D16	AP2
C17	AD5	D17	AP1
C18	GND	D18	GND
C19	AN4	D19	AM2
C20	AN3	D20	AM1
C21	GND	D21	GND
C22	AM6	D22	AK2
C23	AM5	D23	AK1
C24	GND	D24	GND
C25	AL4	D25	AJ4
C26	AL3	D26	AJ3
C27	GND	D27	GND
C28	AK6	D28	AF6
C29	AK5	D29	AF5
C30	GND	D30	GND

5.15 按键



开发板底板具备 3 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

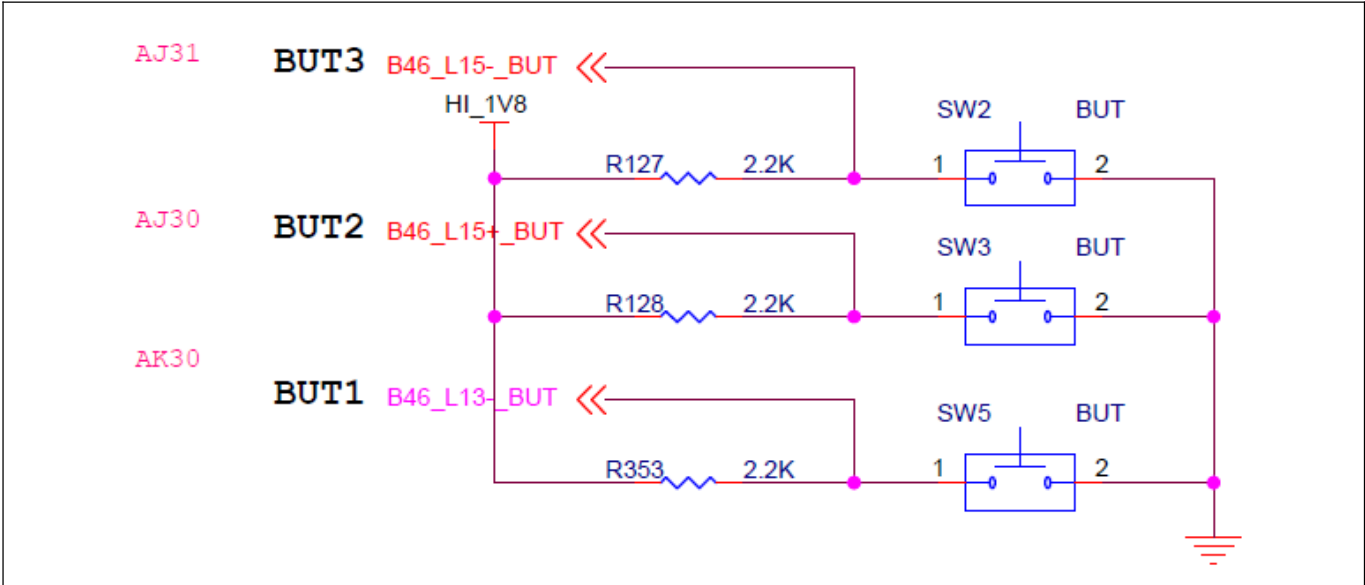


表 5-15-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
BUT3	BUT	AJ31	46
BUT2	BUT	AJ30	46
BUT1	BUT	AK30	46

开发板核心板具备 4 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

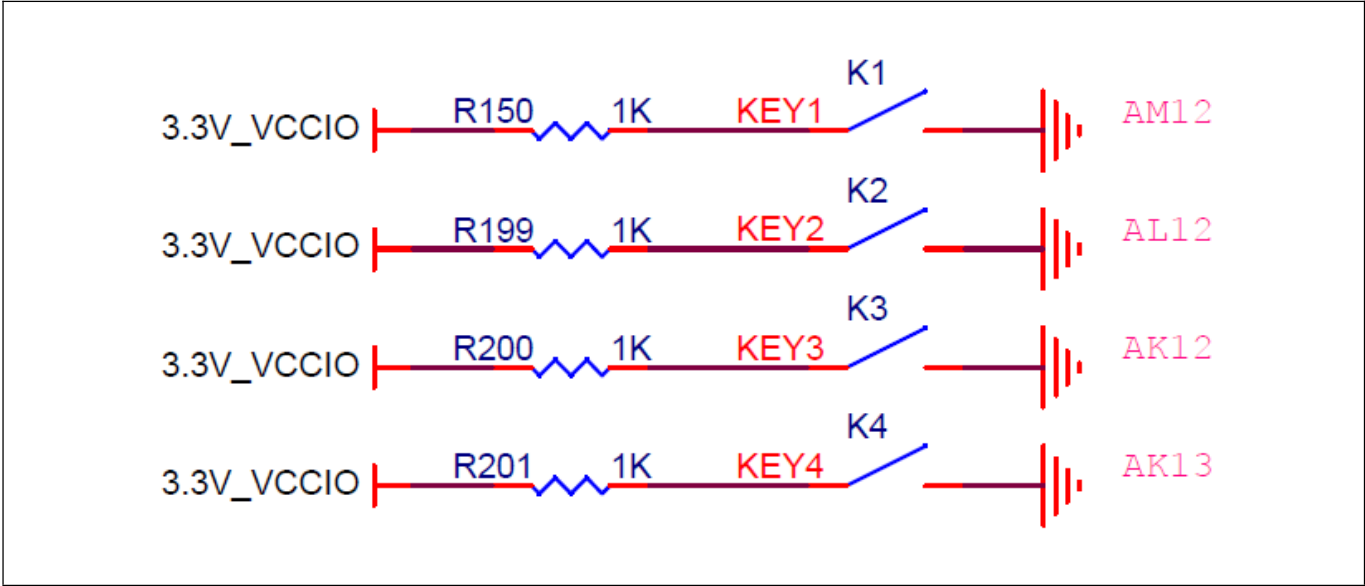


表 5-15-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
K1	KEY1	AM12	64
K2	KEY2	AL12	64
K3	KEY3	AK12	64
K4	KEY4	AK13	64

5.16 LED



开发板底板具有 3 个用户 LED。

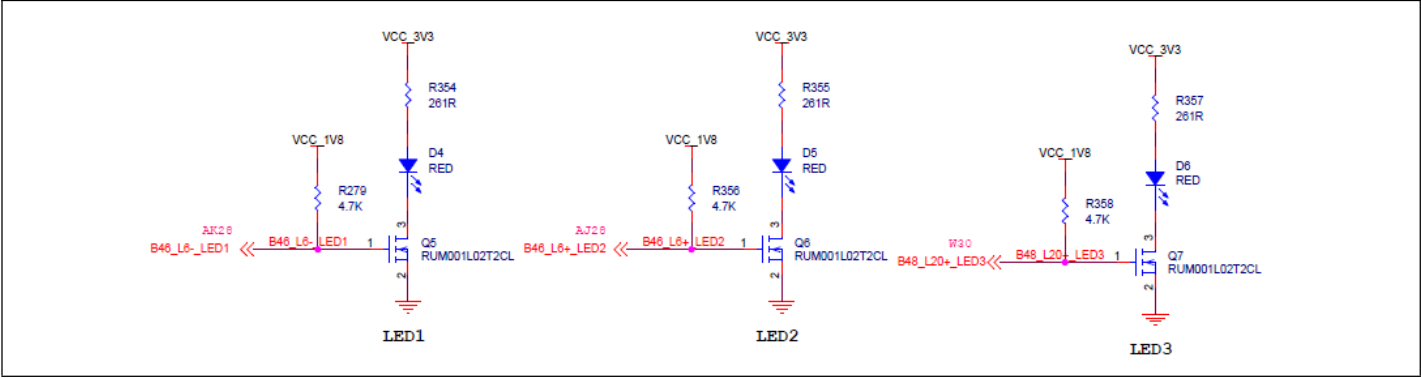


表 5-16-2 底板 LED 定义

位号(底板)	Signal Name	FPGA pin	BANK
D4	LED1	AK28	46
D5	LED2	AJ28	46
D6	LED3	W30	46



开发板核心板具有 8 个用户 LED。

表 5-16-3 核心板 LED 定义

位号(底板)	Signal Name	FPGA pin	BANK
D6	LED1	AP8	64
D7	LED2	AN9	64
D8	LED3	AP9	64
D9	LED4	AP10	64
D10	LED5	AN11	64
D11	LED6	AP11	64

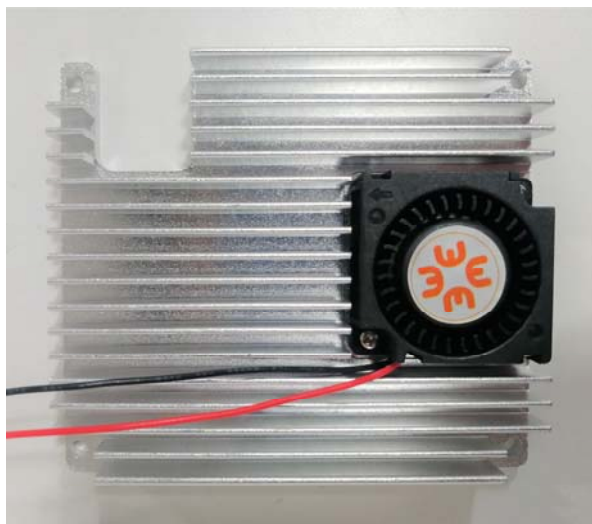
D12	LED7	AN12	64
D13	LED8	AN13	64

5.17 电源

5.17.1 底板电源

MKU040FA 底板具有一个 12V 电源供电接口。此接口电源供电，可以用于实际开发和测试，请使用配套电源或稳压电源对开发板进行供电，板卡配套电源为 DC-12V/5A。

5.18 风扇



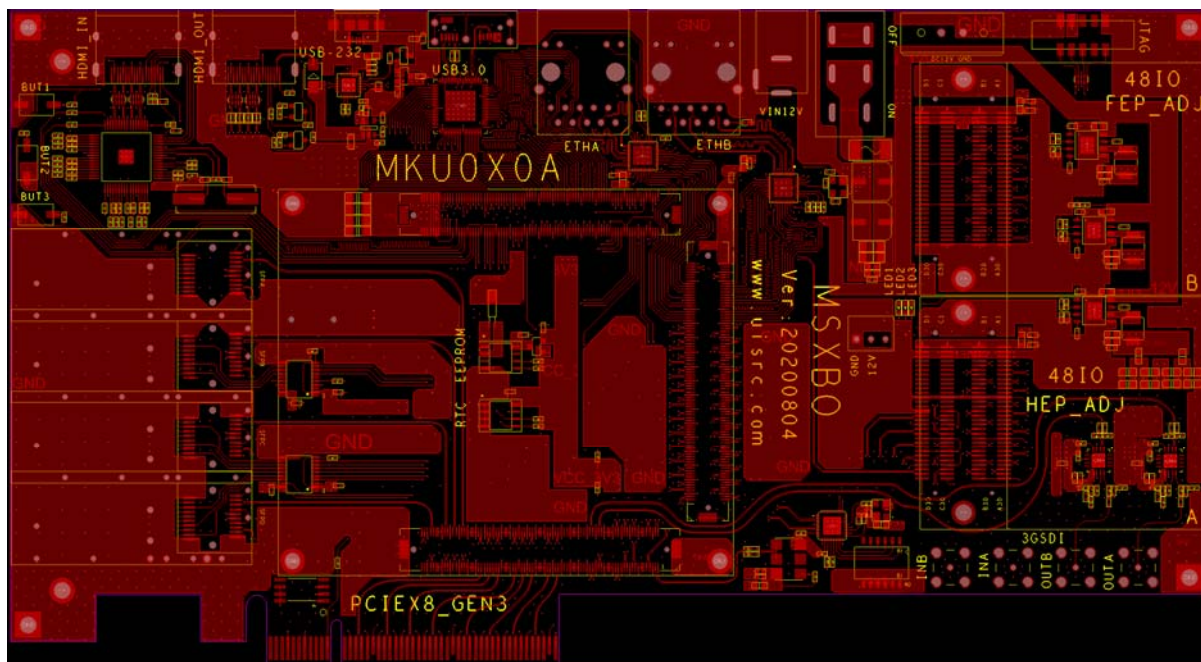
FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热风扇（散热片+风扇），防止芯片过热。风扇由底板电源供电。开发板出厂前，已安装风扇。

表 5-18-1 风扇

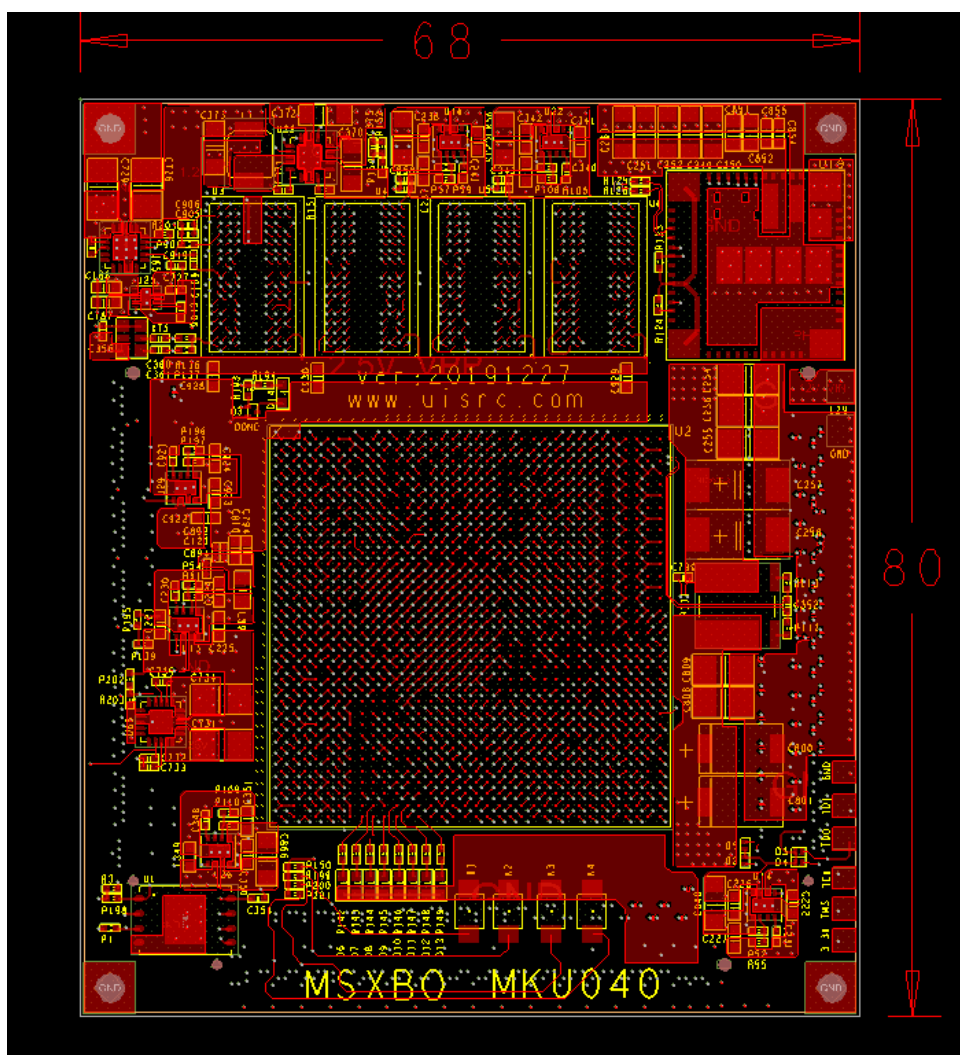
位号(底板)	功能
U6	风扇

六、结构尺寸图

底板结构尺寸图：210(mm)x115(mm) PCB：6 层



核心板结构尺寸图：68(mm)x80(mm) PCB：14 层



七、版本型号

版本日期	版本号	修改原因
2020-07-27	1.0	第一版

八、联系方式

联系电话：0519-80699907

地址：溧阳市江苏软件园（天目云谷）3#楼

官方论坛：<https://www.uisrc.com>

淘宝店铺：<https://milianke.taobao.com>