

Kintex-7 MK7160 开发板硬件使用手册 V1.0

常州一二三电子科技有限公司
溧阳米联电子科技有限公司

官方论坛: <http://www.osrc.cn>
淘宝店铺: <http://osrc.taobao.com>
QQ 群 1: 34215299 (2000 人已满)
QQ 群 2: 86730608 (2000 人已满)
QQ 群 3: 543731097 (2000 人 VIP 群)
QQ 群 4: 516869816 (2000 人 VIP 群)

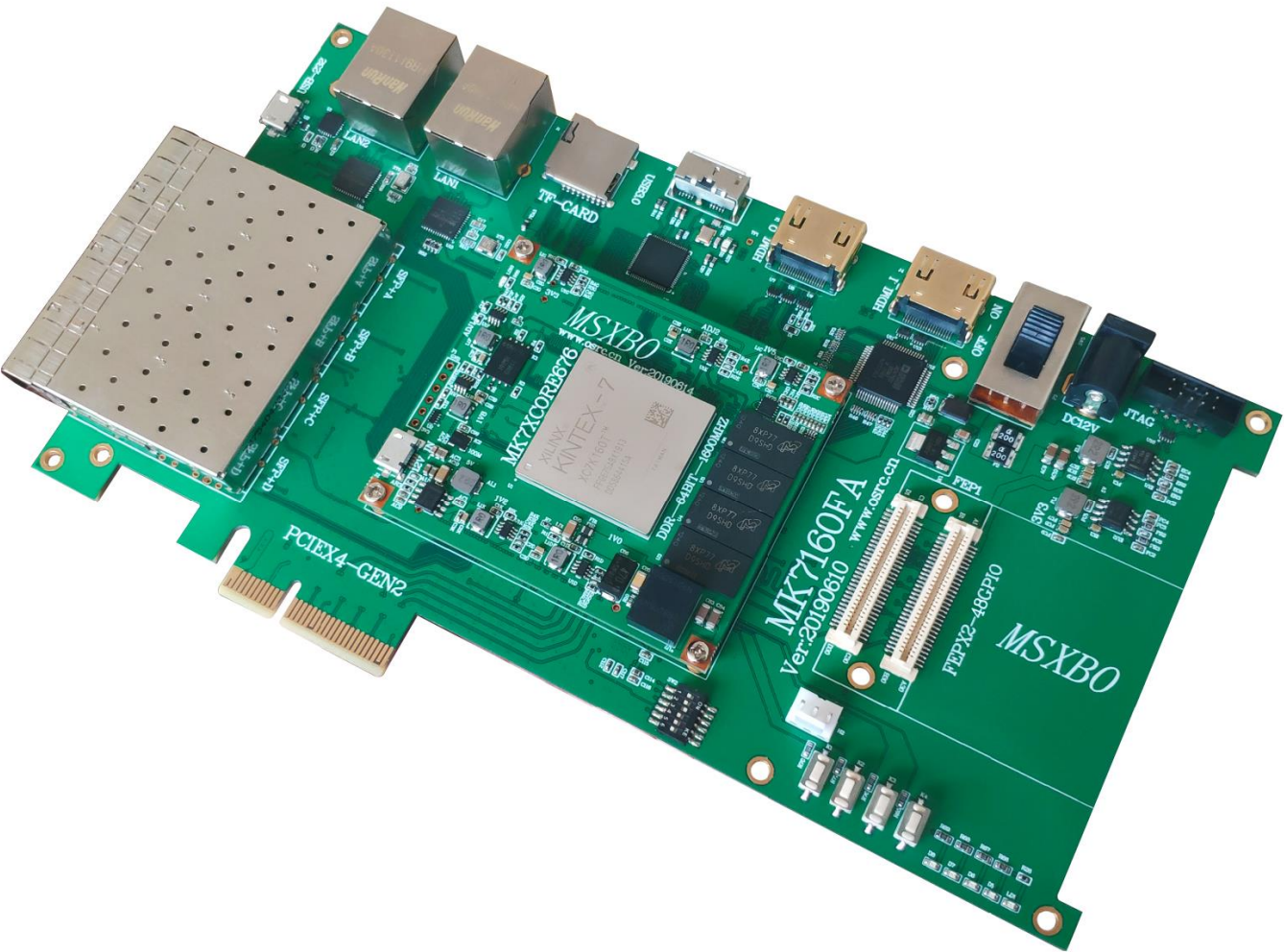
公司座机: 0519-80699907
地址: 溧阳市江苏软件园(天目云谷)3#楼

米联客 Kintex7 系列高品质开发板

----MK7160FA

适用领域：图像、通信、机器视觉等领域开发应用

高品质，性能优秀！



主芯片：FPGA-XC7K160T-FFG676-2I

DDR: 2GB DDR3（4 片 512MByte），数据时钟 1600MHZ*64bit			FLASH: 256Mbit		
◆ PCIE2.0	X4	◆ SFP+	X4	◆ 千兆网	X 2
◆ USB3.0	X1	◆ HDMI	X2	◆ FEP	X2

目录

Kintex-7 MK7160 开发板硬件使用手册 V1.0	1
目录.....	1
用户须知—使用必看	1
一、整体概述.....	1
二、应用领域及人群	1
三、硬件配置.....	2
四、开发板图示.....	3
4.1 开发板.....	3
4.2 核心板.....	4
五、开发板功能描述	5
5.1 KINTEX7- XC7K160T	5
5.2 内存（Memory）	5
5.2.1 DDR3.....	5
5.2.2 PROM SPI FLASH	6
5.2.3 TF 卡座.....	7
5.3 系统时钟	8
5.3.1 核心板时钟.....	8
5.3.2 底板时钟.....	9
5.4 系统复位	10
5.5 电源管理	11
5.5.1 核心板电源.....	11
5.5.2 底板电源.....	11
5.6 USB to UART	12
5.7 USB3.0 DEVICE	12
5.8 JTAG 接口	14
5.9 HDMI 接口	15
5.10 10/100/1000M 以太网	17
5.11 SFP+接口.....	19
5.12 PCIE 接口.....	21
5.13 FEP 接口.....	23
5.14 按键.....	26
5.15 LED.....	26
5.16 电源.....	27
5.16.1 核心板电源.....	27
5.16.2 底板电源.....	27
5.17 风扇.....	28
六、结构尺寸图.....	28
七、版本型号.....	29
八、联系方式.....	29

用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

溧阳米联电子技术服务部

一、整体概述

MK7160FA Kintex-7 系列开发平台是米联电子推出的一款高端产品。

主要特色是：

1) 高性价比：

核心板集成电源管理：内核 1.0V，提供 20A 电流能力，底板从核心板取电。

核心板+底板设计：用户基于核心板设计功能底板（提供底板设计方案）。降低项目底板设计难度和生产成本，加速项目开发。

2) 设计紧凑：核心板 60 (mm) x70 (mm)，底板 200 (mm) x110 (mm)。

3) 资源丰富：

主芯片：FPGA-XC7K160T-FFG676-2i

DDR：2GB DDR3（4 片 512MByte），数据时钟 1600MHZ*64bit

高性能接口：

◆ PCIE2.0	X4	◆ SFP+	X4
◆ USB3.0	X1	◆ HDMI	X2
◆ 千兆网	X 2	◆ FEP	X2

GPIO/差分对：核心板可用 8 对 GTX，232 个 IO/116 对差分；底板 FEPx2 扩展接口具备 48 个 GPIO/24 对差分。

FEP 接口：高速通信接口，可外接子卡，实现功能扩展。

4) DEMO 丰富：PCIE 通信、千兆/万兆光通信、图像采集处理等

5) 免费源码：购买板子的用户免费获得设计源码及视频课程。

6) 贴心技术支持：为客户提供开发板相关的硬件和软件技术支持，加速产品化开发过程。

二、应用领域及人群

- 高速数据通信
- 机器视觉、工业控制
- 视频采集、视频输出、消费电子
- 项目研发前期验证
- 电子信息工程、自动化、通信工程等电子类相关专业开发人员学习

三、硬件配置

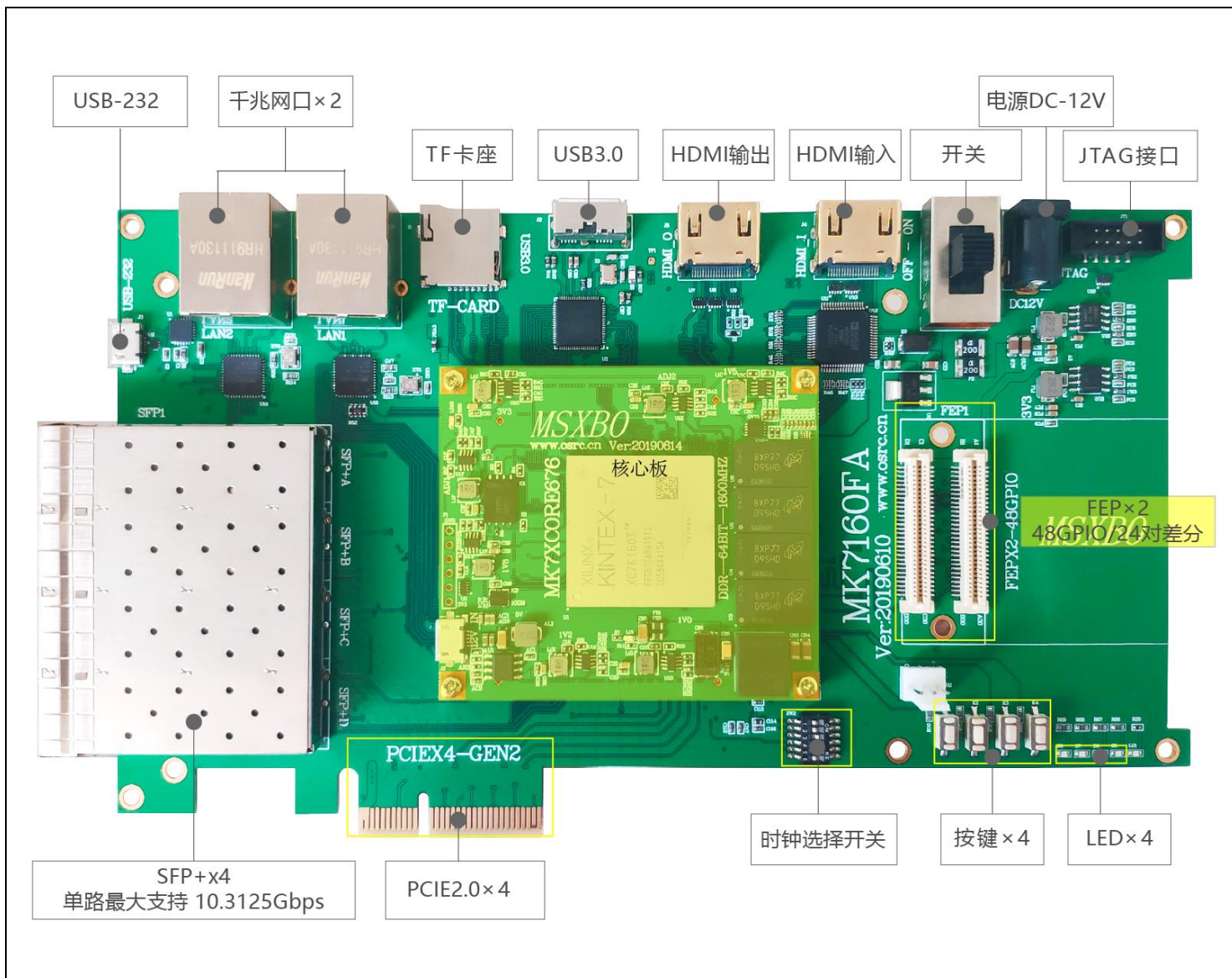
名称	具体参数
FPGA	XC7K160T-FFG676-2i
DDR3	2GB(4 片 512MByte)，数据时钟 1600MHZ*64bit
FLASH	256Mbit QSPI FLASH，用于固化程序，存放数据
晶振	100MHZ x1，用户时钟 底板板载一颗可编程时钟芯片，为 GTX 信号提供时钟源
电源管理	核心板集成电源管理，内核 1.0V，提供 20A 电流能力
PCIE 接口	PCIE 2.0 X4
SFP+接口	4 路 SFP+，单路最大支持 10.3125Gbps
HDMI 接口	1 路 HDMI 输入，1 路 HDMI 输出，支持 1080P
千兆以太网	2 路千兆以太网
USB 3.0 接口	一路 USB 3.0 DEVICE
USB 串口	底板具有一路 USB-232 串口
TF 卡座	插入 SD 卡
JTAG 接口	使用下载器进行调试和下载
FEP 接口	FEPX2，提供 48 个 GPIO/24 对差分
LED	底板 4 个
按键	底板 4 个
外形	核心板 60(mm)x70(mm)，底板 200(mm)x110(mm)
连接器	120PIN X3，0.6 mm
电源	DC-12V/2A

四、开发板图示

注意：示意图只标识芯片位置，并不代表实物，使用者请根据实际使用板卡进行开发。

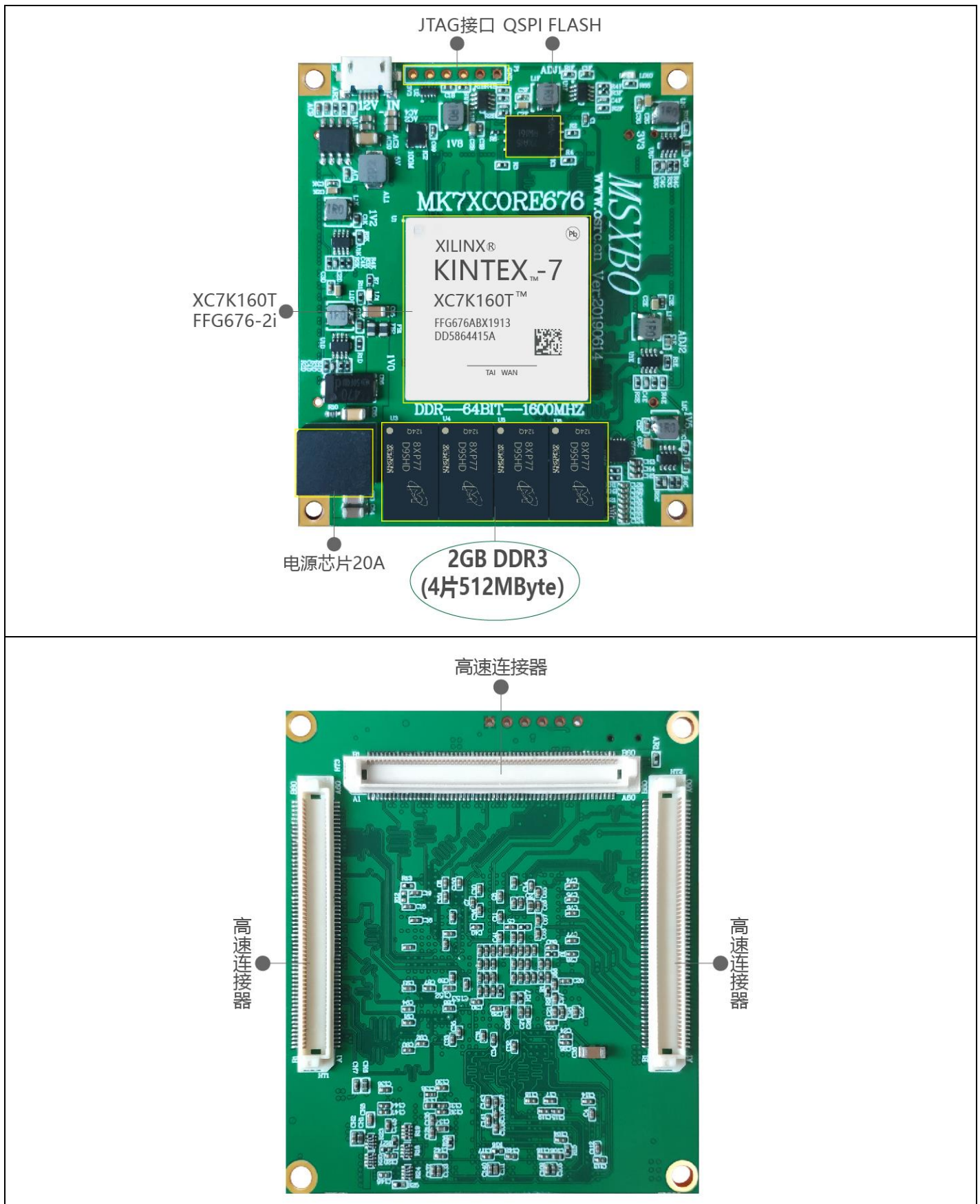
4.1 开发板

MK7160FA 开发板标注如下：



4.2 核心板

MK7160FA 核心板正反面标注如下：



五、开发板功能描述

5.1 KINTEX7- XC7K160T



MK7160FA 核心板搭载一颗 Xilinx KINTEX-7 FPGA 芯片，型号：FPGA-XC7K160T-FFG676-2i。此芯片封装是 FFG676，速度等级是-2，温度等级是工业级。

表 5-1-1 FPGA 芯片资源

名称	具体参数
Logic Cells	162,240
Slices	25,350
Total Block RAM (Kb)	11,700
DSP48 Slices	600
CLB Flip-Flops	202,800
GTX Transceivers (12.5 Gb/s Max Rate)	8
速度等级	-2
温度等级	工业级

5.2 内存（Memory）

5.2.1 DDR3



核心板搭载了 4 片镁光（Micron）DDR3 内存。单片 DDR 内存大小是 512MB，数据接口是 16bit，四片 DDR3 内存共有 2GB。内存数据主频高达 1600MHZ，数据带宽可达 1600MHz*64bit。

表 5-2-1 DDR3 SDRAM

开发板型号	DDR 型号	DDR 容量	厂家	位号
核心板（商业级）	MT41K256M16TW-107:P	单片 512MB x 16bit，共 4 片	Micron	U3、U4、U5、U6
核心板（工业级）	MT41K256M16TW-107 IT	单片 512MB x 16bit，共 4 片	Micron	U3、U4、U5、U6

开发板采用高速布线，DDR3 的硬件设计需要严格考虑信号完整性，开发板的电路及 PCB 设计已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，以确保 DDR3 稳定工作。

DDR3 原理图如下：

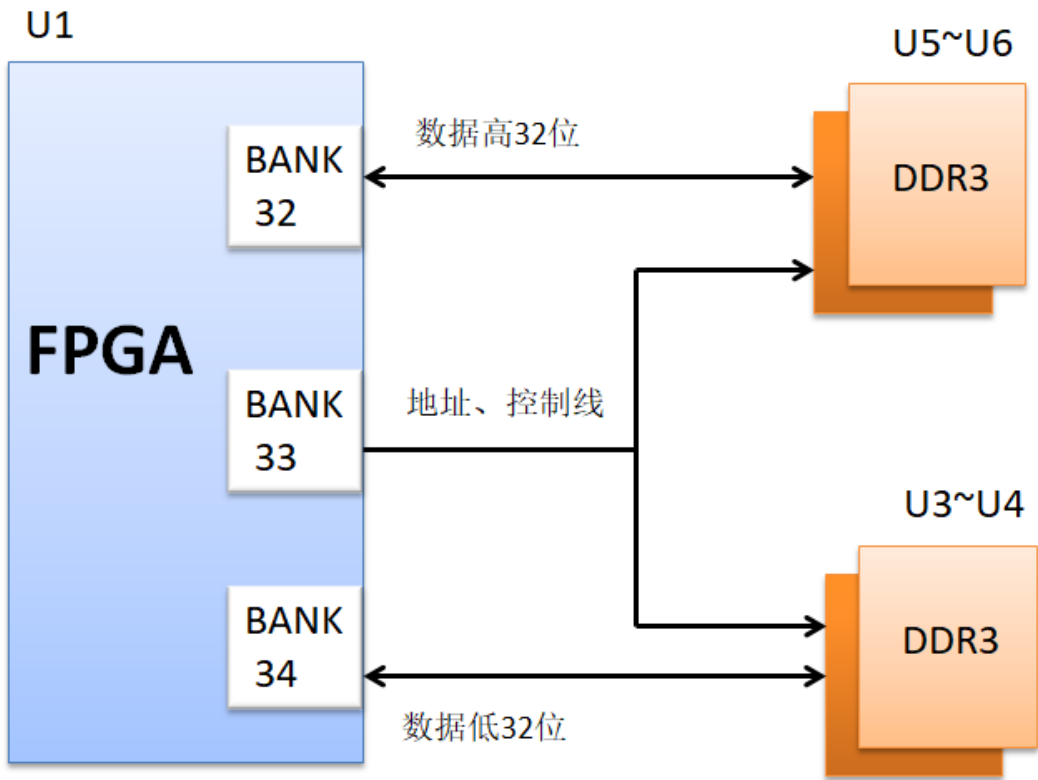


图 5-2-1 DDR3 原理图

5.2.2 PROM SPIFLASH



核心板具有一片 4bit SPI FLASH。FLASH 可用于保存数据和配置文件，初始化系统。

表 5-2-2-1 FLASH 型号

位号	芯片型号	容量	厂家
IC1(核心板)	MT25QL256ABA1Ew9-0SIT	256Mbit	Micron

QSPI -FLASH 时钟管脚 FLASH CLK 连接到 FPGA 的 BANK0；片选及数据管脚连接到 FPGA 的 BANK14。使用 FLASH CLK，即 FPGA 内部时钟，QSPI -FLASH 加载速度最高 66MHz。

QSPI-FLASH 原理图如下：

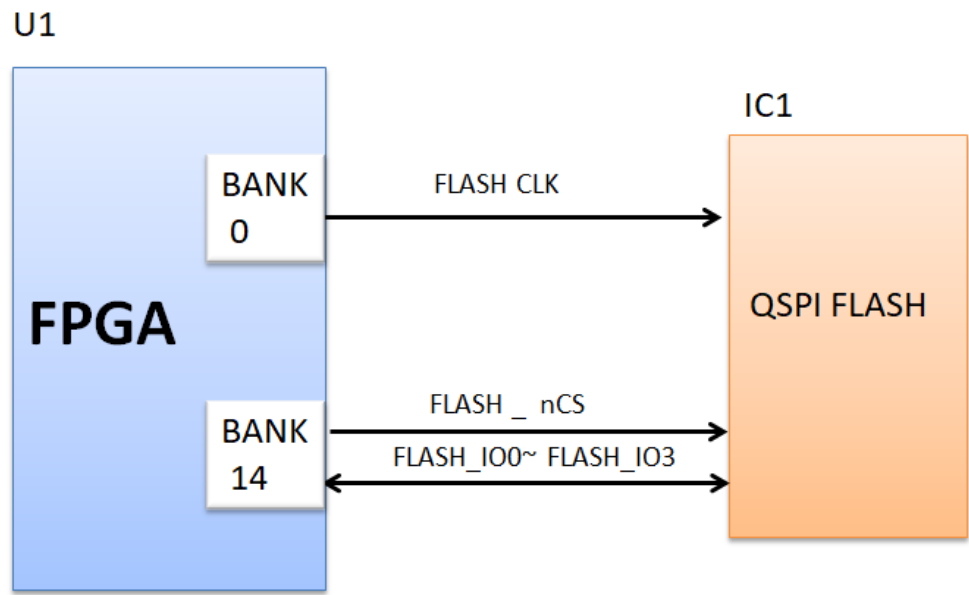


图 5-2-2 QSPI FLASH 原理图

QSPI-FLASH 管脚定义如下：

表 5-2-2-2 FLASH 的管脚定义

Signal Name	Description	FPGA Pin	QSPI Pin
FLASH_IO0	Data0	B24	5
FLASH_IO1	Data1	A25	2
FLASH_IO2	Data2	B22	3
FLASH_IO3	Data3	A22	7
FLASH_CLK	Serial Data Clock	C8	6
FLASH_nCS	Chip Select	C23	1

5.2.3 TF 卡座



开发板底板具有一路 Micro 型的 SD 卡接口，用于用户访问 SD 卡存储器。SD 卡可以用来保存数据和程序，如 LIUNIX 操作系统。

TF 卡座原理图如下：

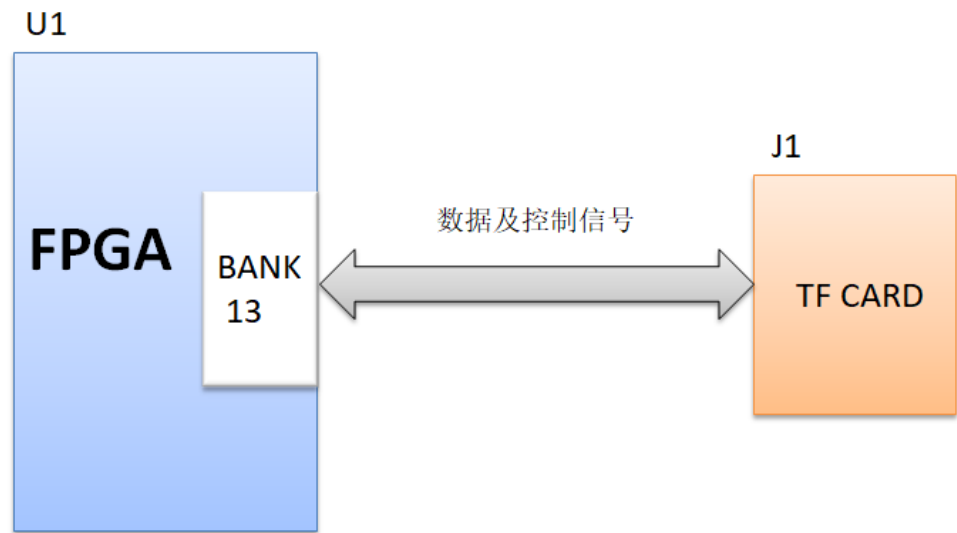


图 5-2-3 TF 卡座原理图

TF 引脚定义如下：

表 5-2-3 TF 卡管脚定义

Signal Name	Description	FPGA Pin	TF Card Pin
TF_CLK	Clock	R25	5
TF_CMD	Command	P21	3
TF_DATA0	Data0	P25	7
TF_DATA1	Data1	P23	8
TF_DATA2	Data2	P20	1
TF_DATA3	Data3	R21	2
TF_CD	Card Detect	N23	9

5.3 系统时钟

核心板上具备一颗 100MHz 的有源时钟；底板具备一个可编程芯片，输出时钟范围 62.5MHz~625MHz。

5.3.1 核心板时钟

核心板时钟 1：100MHz

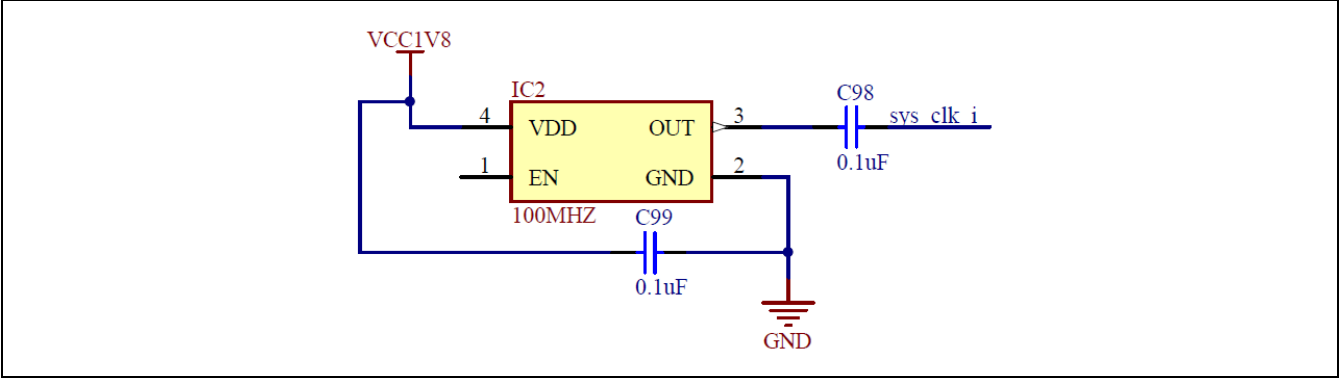
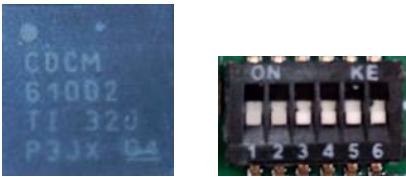


表 5-3-1-1 100MHZ 时钟管脚定义

位号	Signal Name	FPGA Pin
IC2(核心板)	sys_clk_i	AA3

5.3.2 底板时钟



底板板载可编程时钟芯片为高速收发器 GTX 提供可编程时钟源。可编程芯片生成两对差分时钟，分别是 MGT116_CLK0_P(MGT116_CLK0_N)、MGT115_CLK0_P(MGT115_CLK0_N)。

其中 MGT116_CLK0_P(MGT116_CLK0_N)用于通过 SFP+接口时钟。

表 5-3-2-1 时钟芯片

位号	芯片型号	厂家
U5、SW2(底板)	CDCM61002	TI

可编程时钟芯片原理图如下：

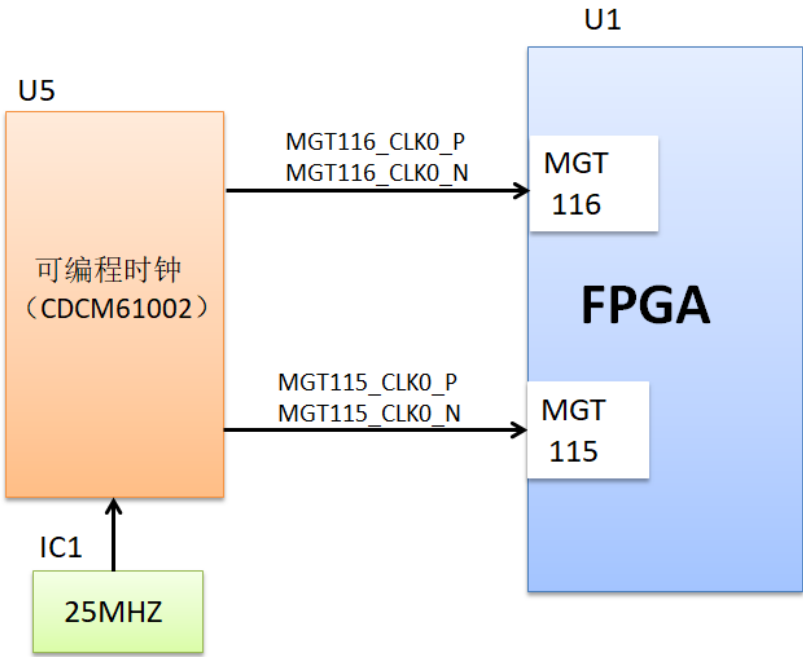


图 5-3-2 可编程时钟芯片原理图

可编程时钟芯片管脚定义如下

表 5-3-2-2 可编程时钟管脚定义(底板)

Signal Name	FPGA Pin
MGT116_CLK0_P	D6
MGT116_CLK0_N	D5
MGT115_CLK0_P	H6
MGT115_CLK0_N	H5

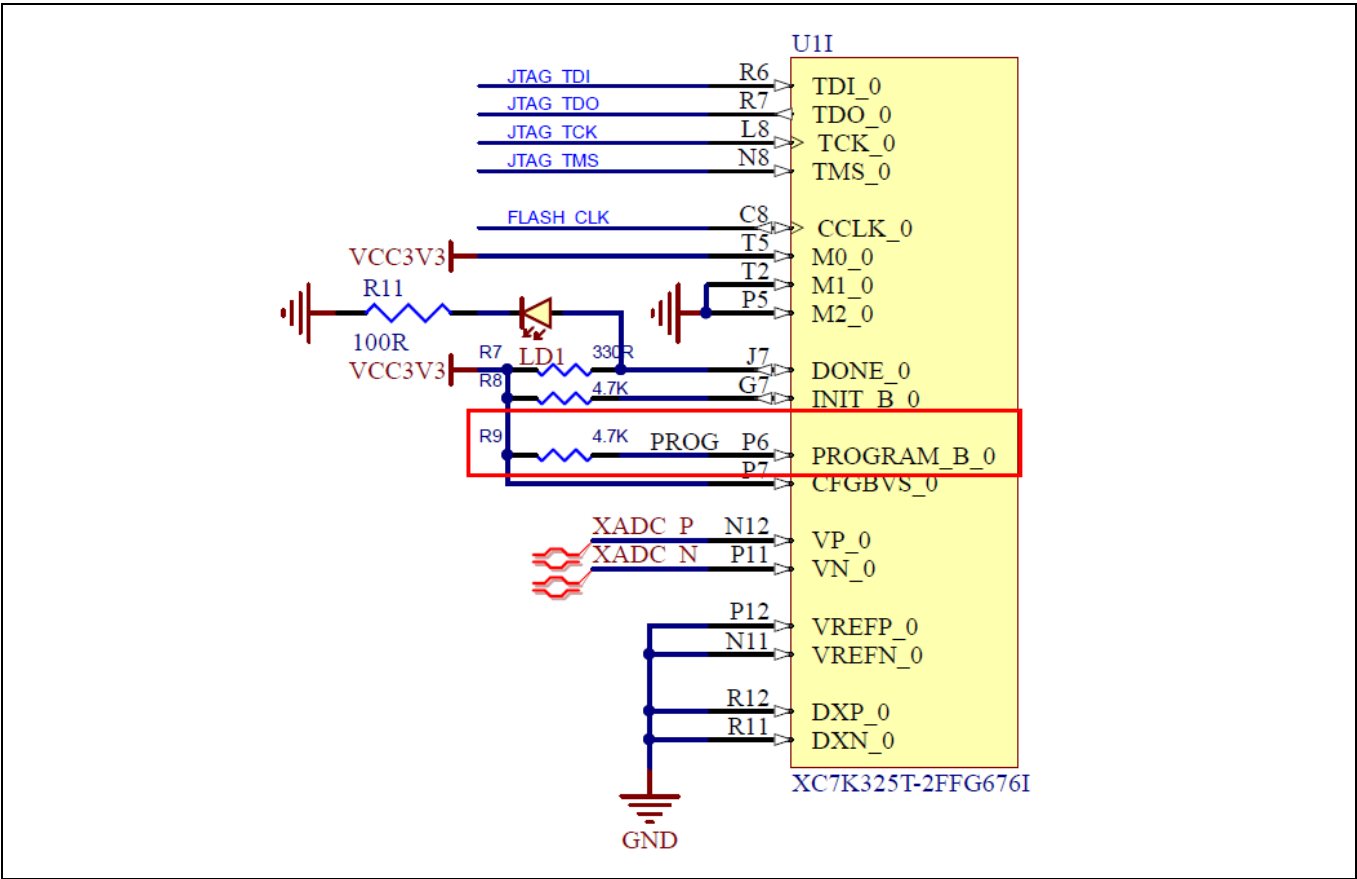
时钟选择模式开关对应模式如下：

表 5-3-2-3 可编程时钟模式

Prescale Divider	Feedback Divider	PR1/PR0	VCO MHZ	Output Divider	OD2/OD1 /OD0	Output MHZ	Application
4	20	11	2000	8	111	62.5	GigE
3	24	00	1800	8	111	75	SATA
3	24	00	1800	6	101	100	PCIE
4	20	11	2000	4	011	125	GigE
3	24	00	1800	4	011	150	SATA
3	25	10	1875	4	011	156.25	10GigE
5	15	01	1875	2	001	187.5	12GigE
3	24	00	1800	3	010	200	PCIE
4	20	11	2000	2	001	250	GigE
3	25	10	1875	2	001	312.5	XGMII
3	25	10	1875	1	000	625	10GigE

5.4 系统复位

芯片支持上电复位，复位整个芯片。



5.5 电源管理

5.5.1 核心板电源

核心板集成电源管理，+12V 电源输入通过村田电源芯片 MYMGK1R820ERSR 产生+1.0V 的核心电源，输出电流高达 20A，满足 FPGA 核心电压的电流需求。

核心板电源启动顺序示意图如下：

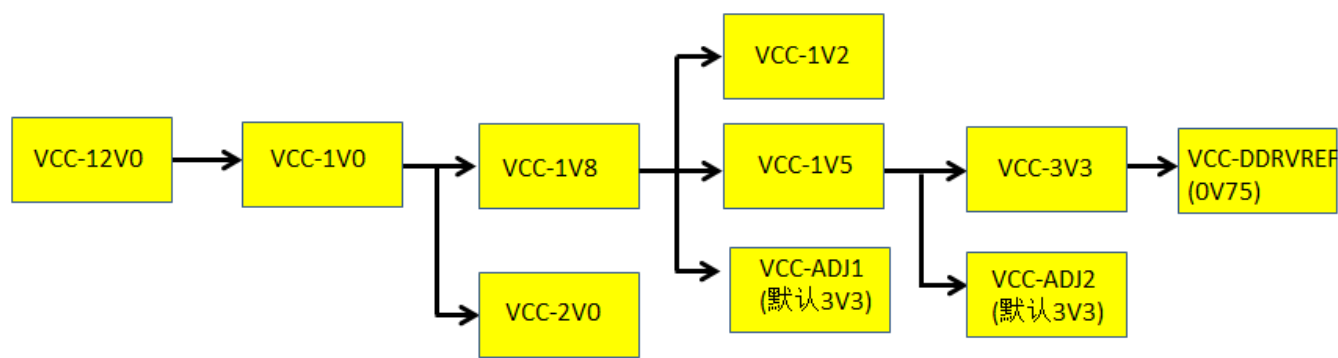


图 5-5-1 核心板电源启动顺序

电源对应功能如下：

表 5-5-1-1 电源功能对应表

电源	功能
+1.0V	FPGA 内核电压
+12V	输入电源
DDR1VREF	BANK 32 、BANK 33、 BANK 34
+1.8V	VCCAUX\MGTAUX、VCCADC_0
+1.5V	BANK 32 、BANK 33、 BANK 34
+2.0V	VCCAUX_IO_G0
VADJ2（默认 3.3V，可调）	BANK 12、BANK 13
VADJ1（默认 3.3V，可调）	BANK 14、BANK 15
+3.3V	BANK 0、BANK 16
+1.2V（MGT1V2）	Bank115、Bank116

注意：只有当 VCCAUX_IO_G0 设置为 2.0V ， DDR 才能稳定运行与要 1600M。

5.5.2 底板电源

底板集成电源管理，电源输入 12V，输出 3.3V、5V。

5.6 USB to UART



底板具有一路 CP2104 转串口，用于开发板串口通信和调试。

表 5-6 USB TO UART 管脚定义

位号	Signal Name	Description	FPGA Pin	CP2104 Pin
U1、J3(底板)	CP2104_TXD	TX	V24	21
	CP2104_RXD	RX	U22	20

5.7 USB3.0 DEVICE



底板具有一路 USB3.0 DEVICE，使用芯片型号 FT601Q，可用于 USB3.0 通信。

表 5-7-1 USB3.0 DEVICE

位号	芯片型号	厂家
U3(底板)	FT601Q	FTDI

原理图如下：

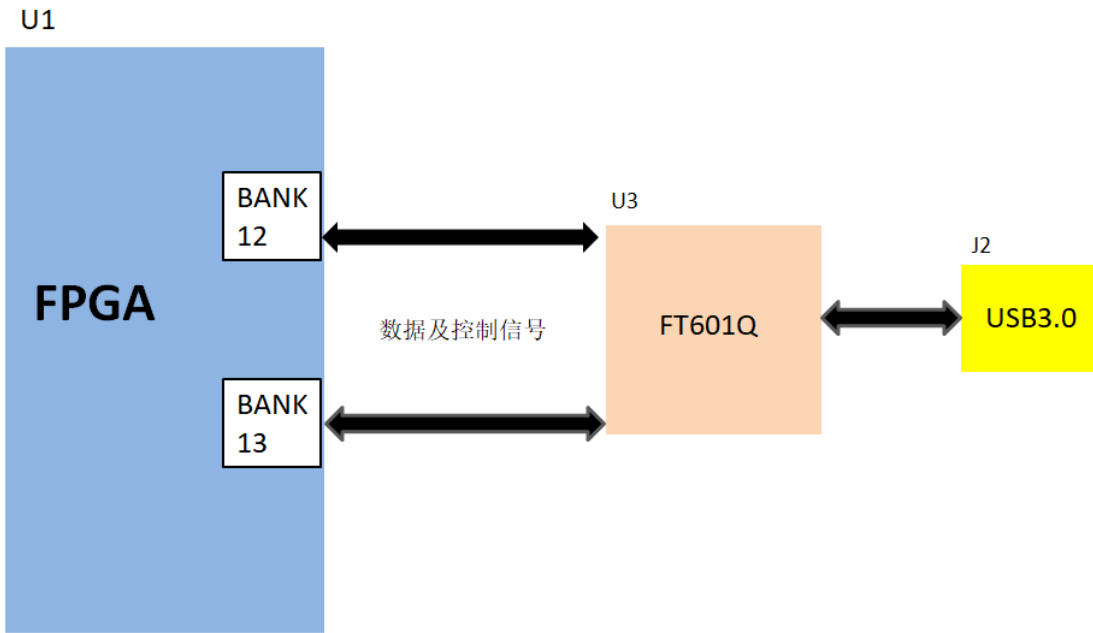


图 5-7 USB3.0 DEVICE 通信原理图

管脚定义如下：

表 5-7-2 USB TO UART 管脚定义



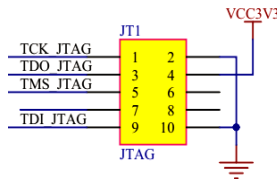
Signal Name	Description	FPGA Pin	FT601Q Pin	Usb3.0 接口	PAM3101
USBSS_CLK	CLK	N21	58		
USBSS_BE0	BE0	P19	4		
USBSS_BE1	BE1	R23	5		
USBSS_BE2	BE2	R22	6		
USBSS_BE3	BE3	M26	7		
USBSS_RESERVED	RESERVED		19		
USBSS_TXE	TXE	N26	8		
USBSS_RXF	RXE	T25	9		
USBSS_OE	OE	V26	13		
USBSS_RD	RD	R26	12		
USBSS_WR	WR	P26	11		
USBSS_SIWU	REV	T24	10		
USBSS_WAKEUP	INT	U26	16		
USBSS_VBUS	VBUS			1	
USBSS_EN	EN	V21			3
USBSS_SSRX_p	RIDP		35	10	
USBSS_SSRX_n	RIDN		34	9	
USB3_TOD_p (USBSS_SSTX_p)	TODP		32	7	
USB3_TOD_n (USBSS_SSTX_n)	TODN		31	6	
USBSS_D_p	DP		23	3	
USBSS_D_n	DM		25	2	
USBSS_SCL	SCL	U25	17		
USBSS_SDA	SDA	U24	18		
USBSS_D0	DATA_0	K26	40		
USBSS_D1	DATA_1	K25	41		
USBSS_D2	DATA_2	L25	42		
USBSS_D3	DATA_3	M25	43		
USBSS_D4	DATA_4	L24	44		
USBSS_D5	DATA_5	M24	45		
USBSS_D6	DATA_6	N24	46		
USBSS_D7	DATA_7	P24	47		
USBSS_D8	DATA_8	M22	50		
USBSS_D9	DATA_9	M21	51		
USBSS_D10	DATA_10	N22	52		
USBSS_D11	DATA_11	M20	53		
USBSS_D12	DATA_12	N19	54		
USBSS_D13	DATA_13	M19	55		
USBSS_D14	DATA_14	N18	56		
USBSS_D15	DATA_15	P18	57		
USBSS_D16	DATA_16	R18	60		

USBSS_D17	DATA_17	R17	61		
USBSS_D18	DATA_18	R16	62		
USBSS_D19	DATA_19	N17	63		
USBSS_D20	DATA_20	P16	64		
USBSS_D21	DATA_21	R20	65		
USBSS_D22	DATA_22	T20	66		
USBSS_D23	DATA_23	U20	67		
USBSS_D24	DATA_24	U19	69		
USBSS_D25	DATA_25	T19	70		
USBSS_D26	DATA_26	T18	71		
USBSS_D27	DATA_27	T23	72		
USBSS_D28	DATA_28	T22	73		
USBSS_D29	DATA_29	T17	74		
USBSS_D30	DATA_30	U17	75		
USBSS_D31	DATA_31	V22	76		

5.8 JTAG 接口

核心板和底板分别具有一路 JTAG 接口，方便下载和调试。

表 5-8-1 JTAG 接口

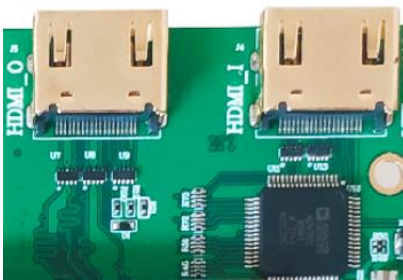
JTAG 接口		JTAG 接口													
核心板 JTAG 接口	核心板 JTAG 接口定义	底板 JTAG 接口	底板 JTAG 接口定义												
	<p>Xilinx JTAG Header</p> <p>P1</p> <table><tr><td>GND</td><td>1</td></tr><tr><td>TDI JTAG</td><td>2</td></tr><tr><td>TDO JTAG</td><td>3</td></tr><tr><td>TCK JTAG</td><td>4</td></tr><tr><td>TMS JTAG</td><td>5</td></tr><tr><td>VCC3V3</td><td>6</td></tr></table> <p>HEADER6</p>	GND	1	TDI JTAG	2	TDO JTAG	3	TCK JTAG	4	TMS JTAG	5	VCC3V3	6		
GND	1														
TDI JTAG	2														
TDO JTAG	3														
TCK JTAG	4														
TMS JTAG	5														
VCC3V3	6														

管脚定义如下

表 5-8-2 JTAG 管脚定义

Signal Name	FPGA Pin
TDI_JTAG	R6
TDO_JTAG	R7
TCK_JTAG	L8
TMS_JTAG	N8

5.9 HDMI 接口



底板具有两路 HDMI 接口，一路作为 HDMI 输入，一路作为 HDMI 输出。
HDMI 输入使用 ADV7611 解码芯片，实现 HDMI 输入功能，输入可以达到 1080P @60HZ。
HDMI 输出采用了 IO 模拟 HDMI 信号，输出可以达到 1080P@60HZ 高清传输。

原理图如下：

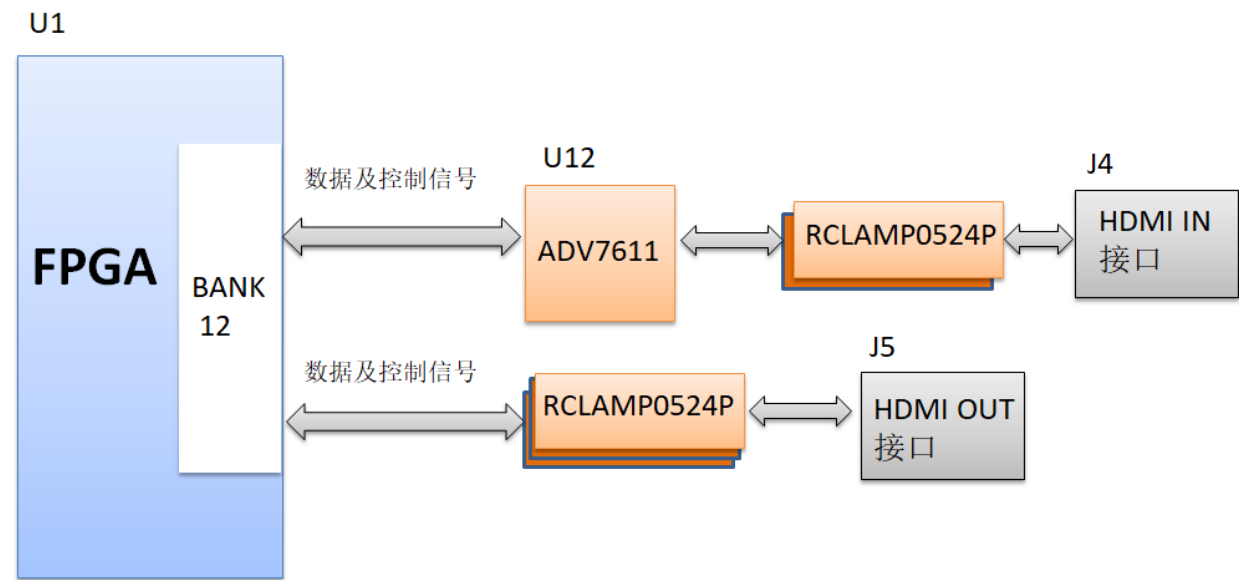


图 5-9 HDMI 通信原理图

表 5-9-1 HDMI 芯片型号

HDMI	芯片型号	位号	接口位号
输入	ADV7611	U12	J4 (底板)
输出			J5(底板)

表 5-9-2 HDMI IN 接口管脚定义

Signal Name	Description	FPGA pin	ADV7611 pin
7611_FSCL	SCL	AD23	53
7611_FSDA	SDA	AD24	54
7611_FPCLK	LLC	AA23	25
7611_FVS	VS	AD21	47
7611_FHS	HS	AF22	46
7611_FDE	DE	AE22	45

ETH_RST	RESET	A13	56
7611_FD0	数据	W20	43
7611_FD1	数据	AC22	42
7611_FD2	数据	AB22	41
7611_FD3	数据	AF25	39
7611_FD4	数据	AF24	38
7611_FD5	数据	AF23	37
7611_FD6	数据	AE23	36
7611_FD7	数据	AE21	35
7611_FD8	数据	Y21	33
7611_FD9	数据	AB24	32
7611_FD10	数据	AB21	31
7611_FD11	数据	AC21	30
7611_FD12	数据	W23	29
7611_FD13	数据	W24	28
7611_FD14	数据	AD25	27
7611_FD15	数据	AE25	26
7611_FD16	数据	AC23	22
7611_FD17	数据	AC24	21
7611_FD18	数据	AD26	20
7611_FD19	数据	AE26	19
7611_FD20	数据	AA25	18
7611_FD21	数据	AB25	17
7611_FD22	数据	AB26	16
7611_FD23	数据	AC26	15

表 5-9-3 HDMI OUT 接口管脚定义

Signal Name	Description	FPGA pin	HDMI pin
HDMI1 _ HPD	Hot Plug Detect signal input		19
5V	5V 电源		18
DDC/CECG	DDC/CEC GND		17
HDMI1 _ SDA	I2C SDA	V23	16
HDMI1 _ SCL	I2C SCL	W21	15
RES			14
HDMI1 _ CEC	CEC		13
HDMI1_ CLK_N	时钟-	AA24	12
CLK SHIELD	时钟屏蔽		11
HDMI1_ CLK_P	时钟+	Y23	10
HDMI1_ D0_N	数据 0-	W26	9
DATA0 SHIELD	数据 0 屏蔽		8

HDMI1_ D0_P	数据 0+	W25	7
HDMI1_ D1_N	数据 1-	AA22	6
DATA1 SHIELD	数据 1 屏蔽		5
HDMI1_ D1_P	数据 1+	Y22	4
HDMI1_ D2_N	数据 2-	Y26	3
DATA2 SHIELD	数据 2 屏蔽		2
HDMI1_ D2_P	数据 2+	Y25	1

5.10 10/100/1000M 以太网



开发板底板具有 2 路千兆以太网口，用户进行千兆网络通信开发，收发总线与对应时钟严格等长。采用的 PHY 型号为 B50610C1KMLG-UE1703-P31。

表 5-10-1 USB3.0 DEVICE

位号	芯片型号	厂家
U15、U16 (底板)	B50610	BROADCOM

原理图如下：

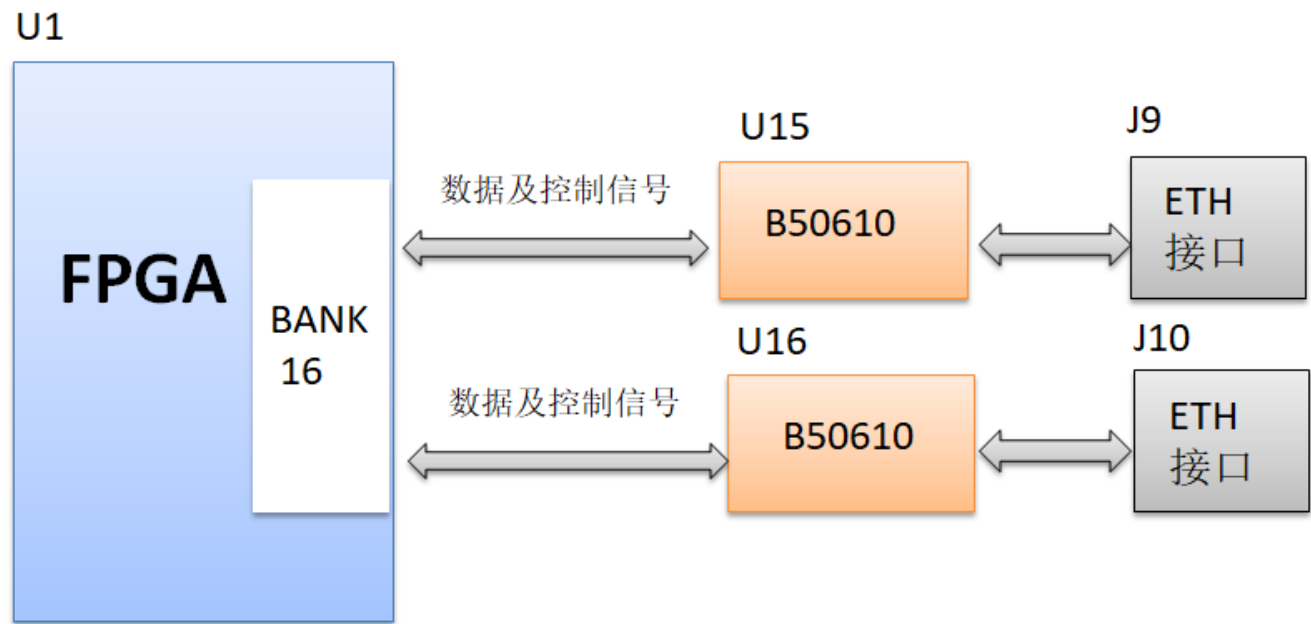


图 5-10 千兆网络通信原理图

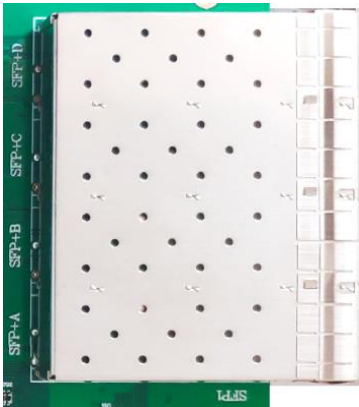
表 5-10-2 PHY1 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH1_RXCK	Receive Clock	G11	33
ETH1_RXDV	RX_DV	G12	26
ETH1_RXD0	Receive Data 0	H12	32
ETH1_RXD1	Receive Data 1	H11	31
ETH1_RXD2	Receive Data 2	F14	28
ETH1_RXD3	Receive Data 3	F13	27
ETH1_TXCK	Transmit Clock	G10	40
ETH1_TXEN	TX_EN	F12	35
ETH1_TXD0	Transmit Data 0	G9	39
ETH1_TXD1	Transmit Data 1	F9	38
ETH1_TXD2	Transmit Data 2	F8	37
ETH1_TXD3	Transmit Data 3	F10	36
ETH_MDIO	Management Data	B15	35
ETH_MDC	Management Clock	A15	48
ETH_RST	RESET	A13	46

表 5-10-3 PHY2 管脚定义

Signal Name	Description	FPGA pin	PHY pin
ETH2_RXCK	Receive Clock	C12	33
ETH2_RXDV	RX_DV	B10	26
ETH2_RXD0	Receive Data 0	C11	32
ETH2_RXD1	Receive Data 1	A8	31
ETH2_RXD2	Receive Data 2	A9	28
ETH2_RXD3	Receive Data 3	A10	27
ETH2_TXCK	Transmit Clock	E12	40
ETH2_TXEN	TX_EN	B14	35
ETH2_TXD0	Transmit Data 0	E13	39
ETH2_TXD1	Transmit Data 1	D13	38
ETH2_TXD2	Transmit Data 2	D14	37
ETH2_TXD3	Transmit Data 3	A14	36
ETH_MDIO	Management Data	B15	35
ETH_MDC	Management Clock	A15	48
ETH_RST	RESET	A13	46

5.11 SFP+接口



开发板底板具有 4 路 SFP+接口，可接市场上通用的光模块，用于高速信号传输。MK7160FA 开发板具有 8 对 GTX，其中 4 对用于 SFP+接口。

SFP+接口可以接千兆光模块，做千兆光纤通信；SFP+接口可以接万兆光模块，做万兆光纤通信。
SFP+接口可以接千兆电口模块，实现千兆以太网通信；SFP+接口可以接万兆模块，实现万兆以太网通信。

原理图如下：

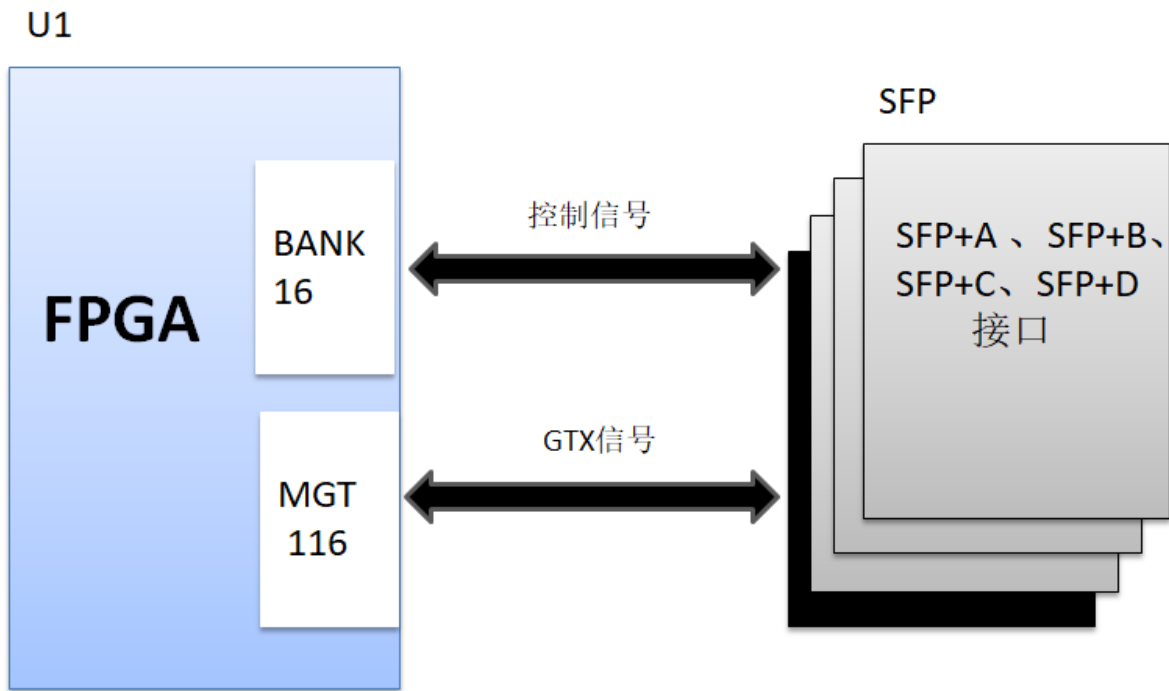


图 5-11 SFP+接口通信原理图

管脚定义如下

表 5-11-1 SFPA、SFPB 接口定义

Signal Name	Description	FPGA pin	SFP pin
SFPA_TX_Fault	发射失效报警		2
SFPA_TX_DIS	关断发射	D9	3
SFPA_SCL	I2C 通信时钟		4

SFPA_SDA	I2C 通信数据		5
SFPA_PRESENT	复位		6
SFPA_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	D8	7
SFPA_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	E11	9
SFPA_LOS	LOS 告警		8
SFPA_TD_P	发射部分数据输入（正向）	G4	18
SFPA_TD_N	发射部分数据输入（反向）	G3	19
SFPA_RD_P	接收部分数据输出（正向）	F2	13
SFPA_RD_N	接收部分数据输出（反向）	F1	12
Signal Name	Description	FPGA pin	SFP pin
SFPB_TX_Fault	发射失效报警		2
SFPB_TX_DIS	关断发射	D11	3
SFPB_SCL	I2C 通信时钟		4
SFPB_SDA	I2C 通信数据		5
SFPB_PRESENT	复位		6
SFPB_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	C14	7
SFPB_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	C13	9
SFPB_LOS	LOS 告警		8
SFPB_TD_P	发射部分数据输入（正向）	E4	18
SFPB_TD_N	发射部分数据输入（反向）	E3	19
SFPB_RD_P	接收部分数据输出（正向）	D2	13
SFPB_RD_N	接收部分数据输出（反向）	D1	12
Signal Name	Description	FPGA pin	SFP pin
SFPC_TX_Fault	发射失效报警		2
SFPC_TX_DIS	关断发射	C9	3
SFPC_SCL	I2C 通信时钟		4
SFPC_SDA	I2C 通信数据		5
SFPC_PRESENT	复位		6
SFPC_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	B11	7
SFPC_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	B12	9
SFPC_LOS	LOS 告警		8
SFPC_TD_P	发射部分数据输入（正向）	C4	18
SFPC_TD_N	发射部分数据输入（反向）	C3	19
SFPC_RD_P	接收部分数据输出（正向）	B2	13
SFPC_RD_N	接收部分数据输出（反向）	B1	12
Signal Name	Description	FPGA pin	SFP pin

SFPD_TX_Fault	发射失效报警		2
SFPD_TX_DIS	关断发射	D10	3
SFPD_SCL	I2C 通信时钟		4
SFPD_SDA	I2C 通信数据		5
SFPD_PRESENT	复位		6
SFPD_RS0	RX 速率:RS0 = 0: LOW BW RS0 = 1: FULL BW	E10	7
SFPD_RS1	TX 速率:RS1 = 0: LOW BW RS1 = 1: FULL BW	B9	9
SFPD_LOS	LOS 告警		8
SFPD_TD_P	发射部分数据输入（正向）	B6	18
SFPD_TD_N	发射部分数据输入（反向）	B5	19
SFPD_RD_P	接收部分数据输出（正向）	A4	13
SFPD_RD_N	接收部分数据输出（反向）	A3	12

5.12 PCIE 接口



开发板底板具有 PCIeX4 接口，PCIe 卡的外形尺寸符合标准 PCIe 卡电器规范要求，可以直接在普通的 PC 机的 PCIe 插槽上使用。开发板和电脑之间能够实现 PCIeX4 的数据通信。MK7160FA 开发板具有 8 对 GTX，其中 4 对用于 PCIeX4 接口。

原理图如下：

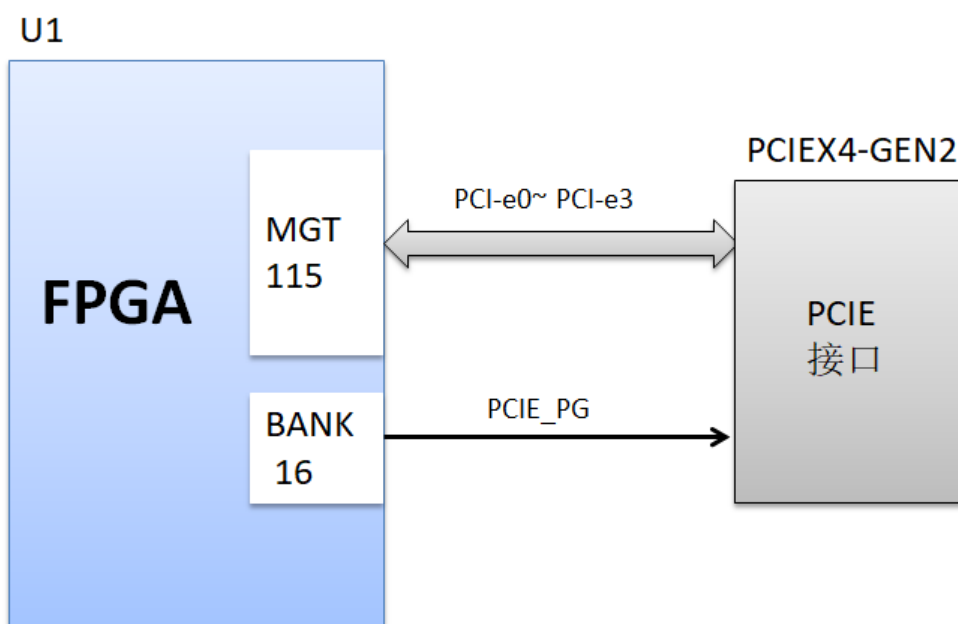


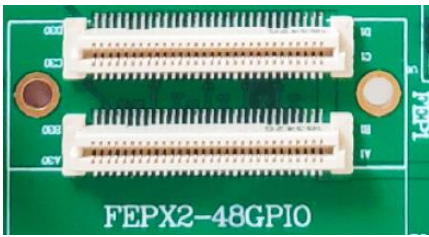
图 5-12 PCIE 接口通信原理图

管脚定义如下：

表 5-12-1 PCIE 接口定义

Signal Name	FPGA pin	PCIE finger pin
PCIE_PG	A12	A11
PCIE_CLK_P	K6	A13
PCIE_CLK_N	K5	A14
PCIE_TX0_P	H2	A16
PCIE_TX0_N	H1	A17
PCIE_TX1_P	K2	A21
PCIE_TX1_N	K1	A22
PCIE_TX2_P	M2	A25
PCIE_TX2_N	M1	A26
PCIE_TX3_P	P2	A29
PCIE_TX3_N	P1	A30
PCIE_RX0_P	J4	B14
PCIE_RX0_N	J3	B15
PCIE_RX1_P	L4	B19
PCIE_RX1_N	L3	B20
PCIE_RX2_P	N4	B23
PCIE_RX2_N	N3	B24
PCIE_RX3_P	R4	B27
PCIE_RX3_N	R3	B28

5.13 FEP 接口



开发板板载 2 个 FEP(Fast Expand Port) 60 PIN 的 HEADER。其中两个 FEP 接口构成一组 FEPX2。两个 FEP 接口共有 48 个 IO/24 对差分。

原理图如下：

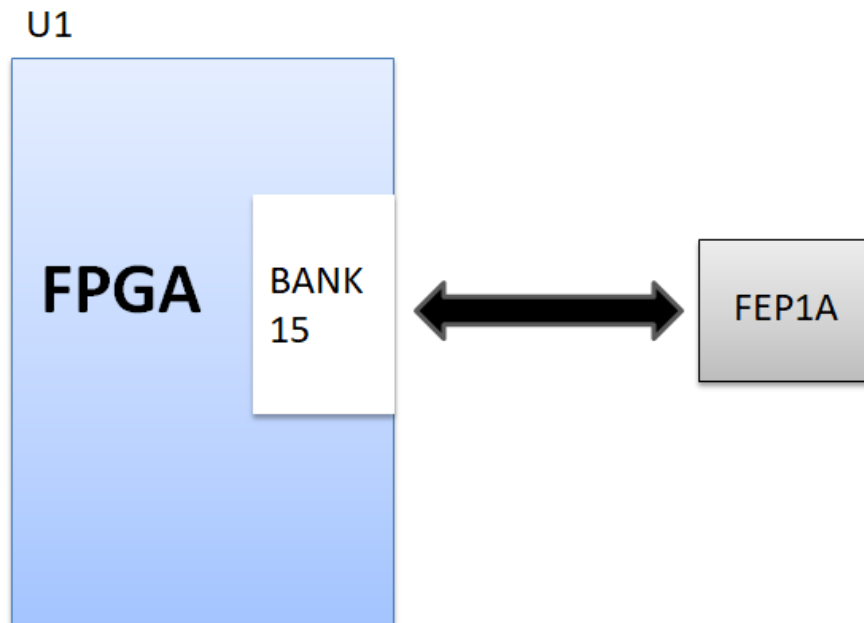


图 5-13 FEP 高速接口原理图

管脚定义如下：

表 5-13-1FEP1A 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
A1	5V IN	B1	5V IN
A2	GND	B2	GND
A3	GND	B3	GND
A4	H19	B4	G19
A5	G20	B5	F20
A6	D19	B6	K20
A7	D20	B7	J20
A8	F19	B8	J18
A9	E20	B9	J19
A10	C19	B10	L17
A11	B19	B11	K18
A12	GND	B12	GND
A13	A18	B13	M17
A14	A19	B14	L18
A15	H17	B15	E18
A16	H18	B16	D18
A17	C17	B17	F17
A18	C18	B18	E17
A19	B17	B19	G17
A20	A17	B20	F18
A21	GND	B21	GND
A22	H16	B22	L19
A23	G16	B23	L20
A24	D15	B24	J15
A25	D16	B25	J16
A26	G15	B26	E15
A27	F15	B27	E16
A28	C16	B28	K16
A29	B16	B29	K17
A30	GND	B30	GND

表 5-13-2 FEP1B 接口定义

Signal Name	FPGA pin	Signal Name	FPGA pin
C1	5V IN	D1	5V IN
C2	GND	D2	GND
C3	GND	D3	GND
C4		D4	
C5		D5	
C6		D6	
C7		D7	
C8		D8	
C9		D9	
C10		D10	
C11		D11	
C12	GND	D12	GND
C13		D13	
C14		D14	
C15		D15	
C16		D16	
C17		D17	
C18		D18	
C19		D19	
C20		D20	
C21	GND	D21	GND
C22		D22	
C23		D23	
C24		D24	
C25		D25	
C26		D26	
C27		D27	
C28		D28	
C29		D29	
C30	GND	D30	GND

5.14 按键



开发板底板具备 4 个（可用）按键输入，默认上拉，当按键按下时，接 GND。

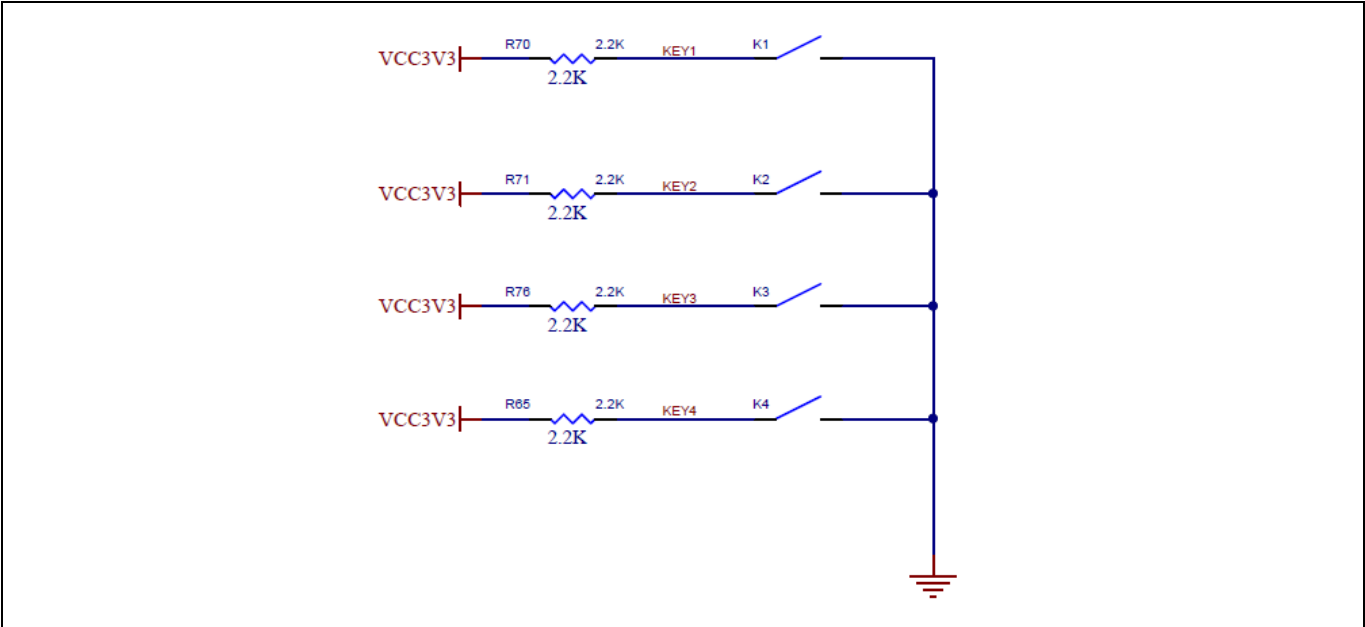


表 5-14-2 底板按键接口定义

位号(底板)	Signal Name	FPGA pin	BANK
K1	KEY1	J13	13
K2	KEY2	H13	13
K3	KEY3	H9	13
K4	KEY4	H8	13

5.15 LED



开发板底板具有 4 个用户 LED。

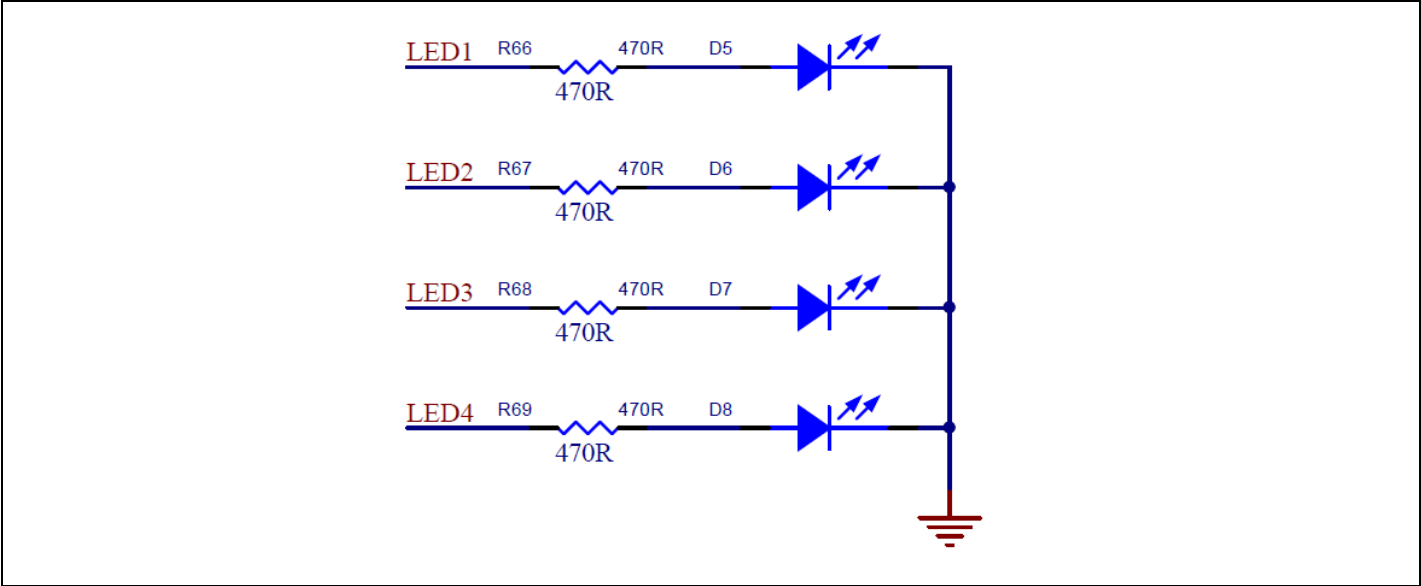


表 5-16-2 底板 LED 定义

位号(底板)	Signal Name	FPGA pin	BANK
D5	LED1	G14	16
D6	LED2	H14	16
D7	LED3	J10	16
D8	LED4	J11	16

5.16 电源

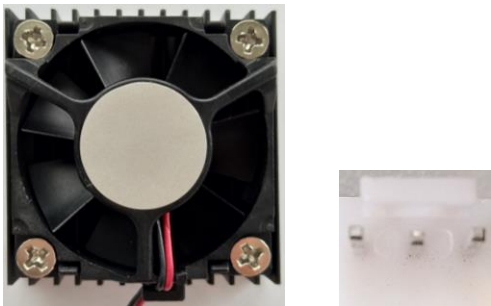
5.16.1 核心板电源

MK7160FA 核心板从底板获取电源，另外核心板具有一个 12V 电源供电接口，用于实验条件下单独的核心板调试。核心板单独调试时，请使用稳压电源供电，不要使用纹波较大的电源供电。

5.16.2 底板电源

MK7160FA 底板具有一个 12V 电源供电接口。此接口电源供电，可以用于实际开发和测试，请使用配套电源或稳压电源对开发板进行供电，板卡配套电源为 DC-12V/2A。

5.17 风扇



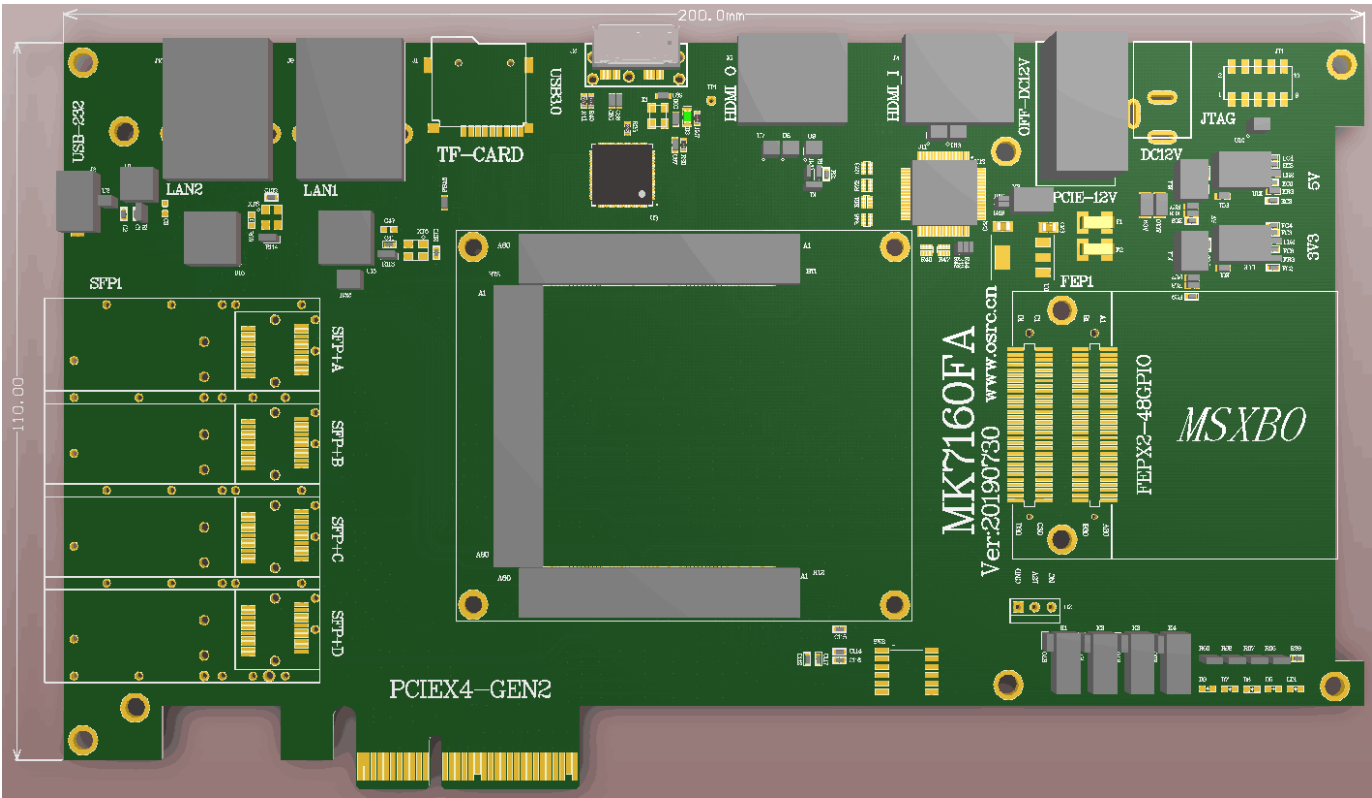
FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热风扇（散热片+风扇），防止芯片过热。风扇由底板电源供电。开发板出厂前，已安装风扇。

表 5-17-1 风扇

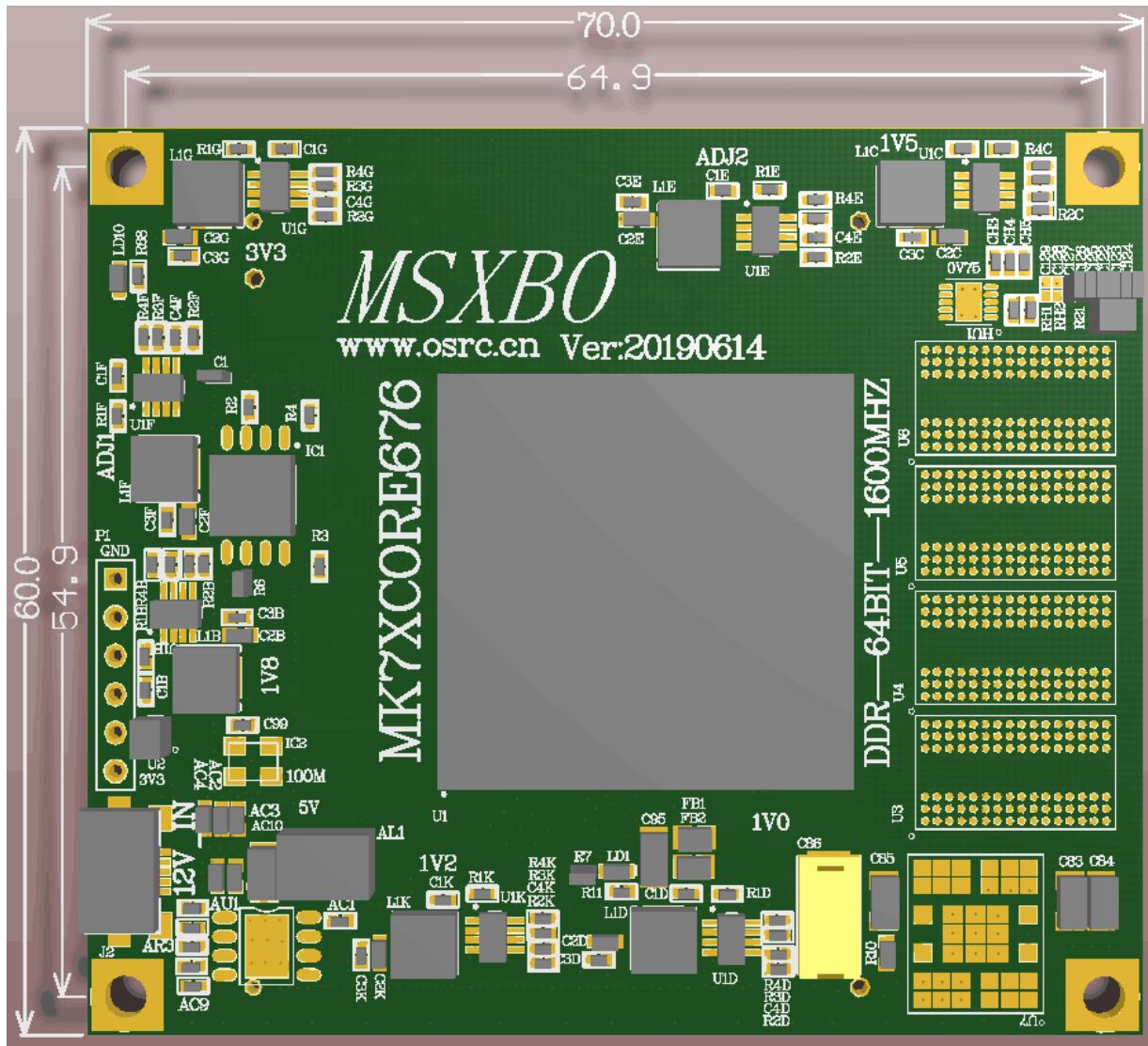
位号(底板)	功能
H2	风扇

六、结构尺寸图

底板结构尺寸图：200(mm)x110(mm) PCB：6 层



核心板结构尺寸图：60(mm)x70(mm) PCB：10 层



七、版本型号

版本日期	版本号	修改原因
2019-08-05	1.0	第一版

八、联系方式

联系电话：0519-80699907

地址：溧阳市江苏软件园（天目云谷）3#楼

官方论坛: <http://www.osrc.cn/>

淘宝店铺: <http://osrc.taobao.com/>