

## AD9833

### 特性:

频率、相位数字可编程  
能耗: 20mW/3V  
输出频率范围: 0~12.5MHz  
输出波类型: 正弦波、三角波、方波。  
工作电压范围: 2.3~5.5V。  
不需外部组件。  
3 线 SPI 接口。  
工作温度范围:  $-40\sim+105^{\circ}\text{C}$   
低功耗选择。  
10 管脚 MSOP 封装

### 应用:

频率激发/波形产生。  
液体、气流测量。  
传感应用——逼近、运动、缺陷探测。  
线性损失、线性衰减。  
测试设备、医疗设备  
扫描、时钟产生器

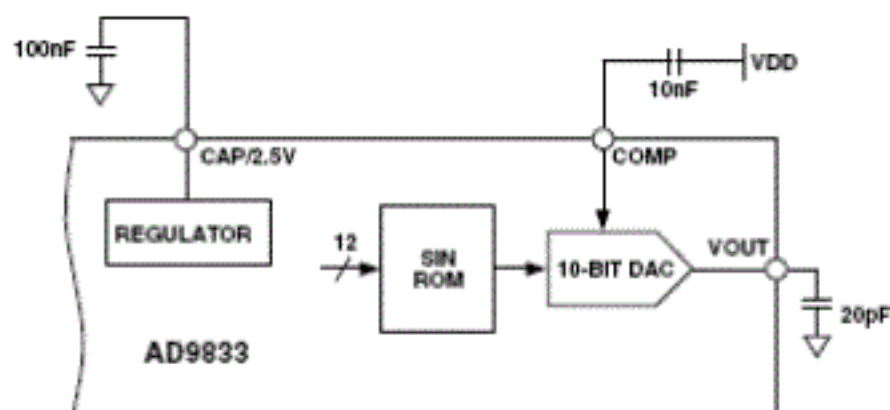
### 概述:

AD9833 是一款低功耗、可编程波形发生器，可以产生正弦波、三角波、方波。

输出频率和相位可软件编程，很容易调整，而不需要外部组件。频率寄存器是 28 位的，如果是 25M 的时钟源，经过编程可以得到 0.1Hz 的时钟；同样如果是 1M 的时钟源，可以得到 0.004Hz 的时钟。

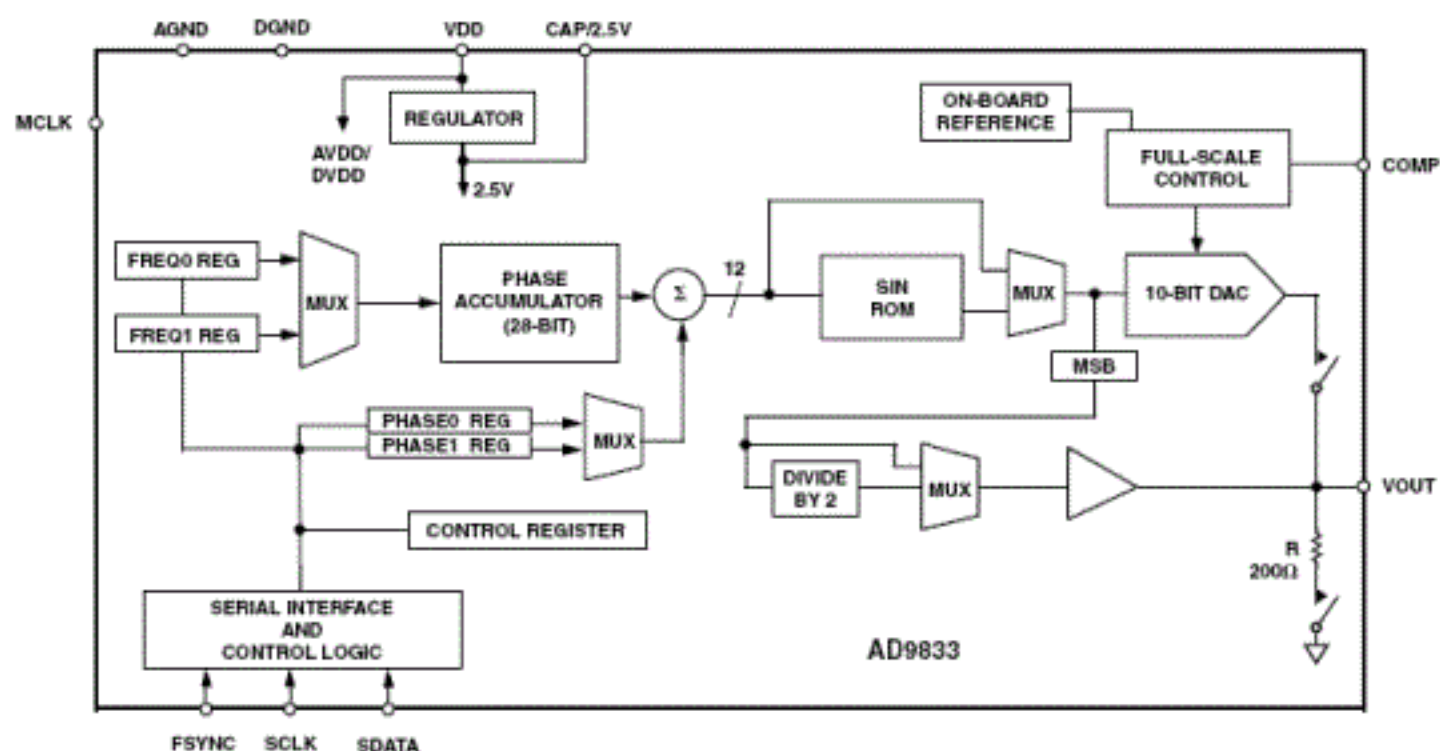
AD9833 通过 3 线串口进行写操作。串口工作时钟频率高达 40M，并与 DSP 和微处理器标准兼容。其工作电压在 2.3V~5.5V 之间。

AD9833 还具有休眠功能，可使没被使用的部分休眠，减少该部分的电流损耗，例如，若利用 AD9833 输出作为时钟源，就可以让 DAC 休眠，以减小功耗，该电路采用 10 引脚 MSOP 型表面贴片封装，体积很小。



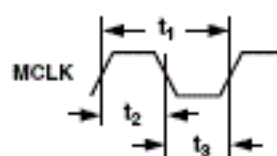
图一 规范测试电路

### 原理框图:



## AD9833 规范

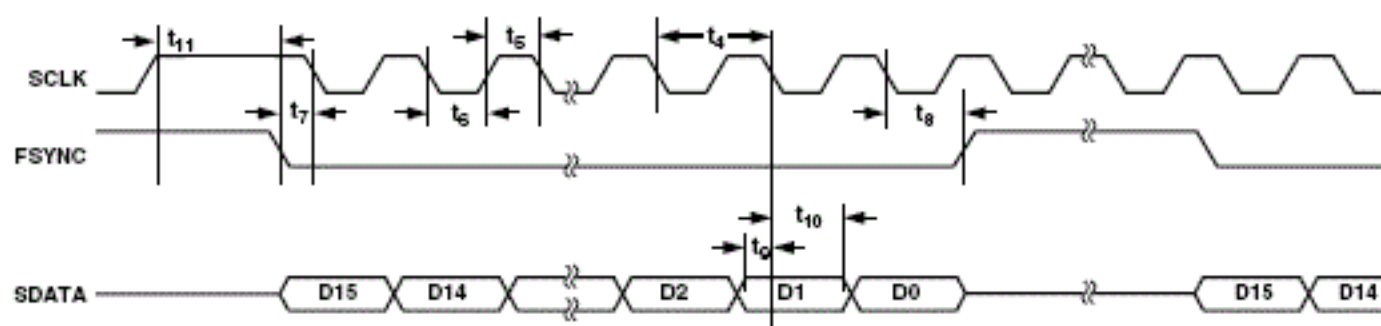
Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SIGNAL DAC SPECIFICATIONS</b>					
Resolution		10		Bits	
Update Rate			25	MSPS	
$V_{OUT}$ Max		0.65		V	
$V_{OUT}$ Min		38		mV	
$V_{OUT}$ TC		200		ppm/°C	
DC Accuracy					
Integral Nonlinearity		±1.0		LSB	
Differential Nonlinearity		±0.5		LSB	
<b>DDS SPECIFICATIONS</b>					
<b>Dynamic Specifications</b>					
Signal-to-Noise Ratio	55	60		dB	$f_{MCLK} = 25 \text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
Total Harmonic Distortion		-66	-56	dBc	$f_{MCLK} = 25 \text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
Spurious-Free Dynamic Range (SFDR)					
Wideband (0 to Nyquist)		-60		dBc	$f_{MCLK} = 25 \text{ MHz}$ , $f_{OUT} = f_{MCLK}/50$
Narrow Band (±200 kHz)		-78		dBc	$f_{MCLK} = 25 \text{ MHz}$ , $f_{OUT} = f_{MCLK}/50$
Clock Feedthrough		-60		dBc	
Wake-Up Time		1		ms	
<b>LOGIC INPUTS</b>					
$V_{INH}$ Input High Voltage	1.7			V	2.3 V to 2.7 V Power Supply
	2.0			V	2.7 V to 3.6 V Power Supply
	2.8			V	4.5 V to 5.5 V Power Supply
$V_{INL}$ Input Low Voltage			0.5	V	2.3 V to 2.7 V Power Supply
			0.7	V	2.7 V to 3.6 V Power Supply
			0.8	V	4.5 V to 5.5 V Power Supply
$I_{INH}/I_{INL}$ Input Current			10	μA	
$C_{IN}$ Input Capacitance		3		pF	
<b>POWER SUPPLIES</b>					
VDD	2.3		5.5	V	$f_{MCLK} = 25 \text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
$I_{DD}$		4.5	5.5	mA	$I_{DD}$ Code Dependent. See TPC 2.
Low Power Sleep Mode		0.5		mA	DAC Powered Down, MCLK Running



图二 控制时钟

时间特性:

Parameter	Limit at $T_{MIN}$ to $T_{MAX}$	Unit	Test Conditions/Comments
$t_1$	40	ns min	MCLK Period
$t_2$	16	ns min	MCLK High Duration
$t_3$	16	ns min	MCLK Low Duration
$t_4$	25	ns min	SCLK Period
$t_5$	10	ns min	SCLK High Duration
$t_6$	10	ns min	SCLK Low Duration
$t_7$	5	ns min	FSYNC to SCLK Falling Edge Setup Time
$t_{8min}$	10	ns min	FSYNC to SCLK Hold Time
$t_{8max}$	$t_4 - 5$	ns max	
$t_9$	5	ns min	Data Setup Time
$t_{10}$	3	ns min	Data Hold Time
$t_{11}$	5	ns min	SCLK High to FSYNC Falling Edge Setup Time



图三 串行时序

### 最大绝对额定值:

VDD to AGND	-0.3 V to +6 V
VDD to DGND	-0.3 V to +6 V
AGND to DGND	-0.3 V to +0.3 V
CAP/2.5 V	2.75 V
Digital I/O Voltage to DGND	-0.3 V to VDD + 0.3 V
Analog I/O Voltage to AGND	-0.3 V to VDD + 0.3 V
Operating Temperature Range	
Industrial (B Version)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
MSOP Package	
$\theta_{JA}$ Thermal Impedance	206°C/W
$\theta_{JC}$ Thermal Impedance	44°C/W
Lead Temperature, Soldering (10 sec)	300°C
IR Reflow, Peak Temperature	220°C

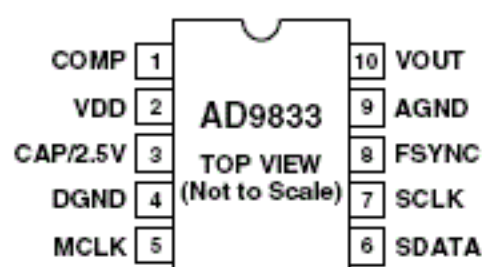
### 选型参考:

Model	Temperature Range	Package Description	Package Option	Branding
AD9833BRM	-40°C to +105°C	10-Lead MSOP	RM-10	DJB
AD9833BRM-REEL	-40°C to +105°C	10-Lead MSOP	RM-10	DJB
AD9833BRM-REEL7	-40°C to +105°C	10-Lead MSOP	RM-10	DJB
EVAL-AD9833EB		Evaluation Board		

### 注意:

ESD (静电释放) 敏感设备。人体和测试设备很容易产生高达 4000V 的静电, 这些静电也会在不经意间自己释放掉。虽然 AD9833 以 ESD 保护电路为其特色, 高压静电释放还是可能会给设备带来永久性的伤害。所以, 应当采取适当的 ESD 防备措施避免功能性能退化或损失。

### 管脚定义:

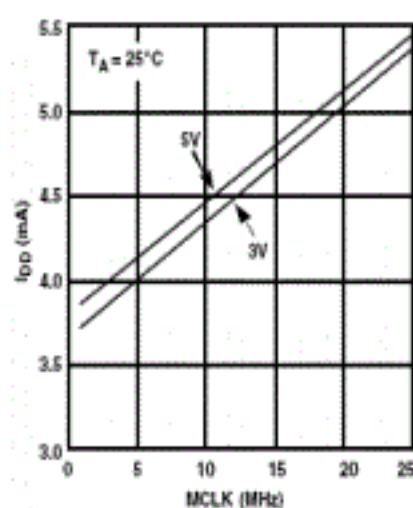


### 管脚功能描述:

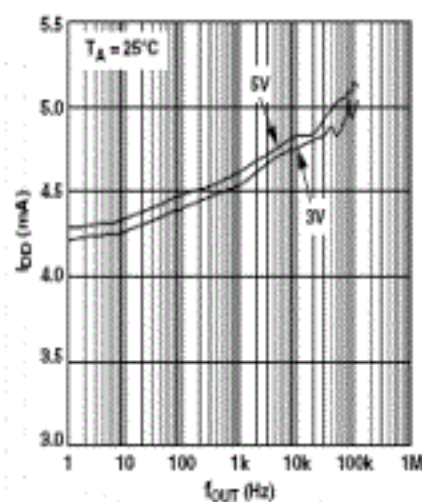
管脚号	名称	功能
电源		
2	VDD	模拟和数字接口部分的电源供给。板上 2.5V 标准电压也是由 VDD 产生的。VDD 可以是 2.3V 和 5.5V 之间的电压值。VDD 和 AGND 之间应该连接一个 0.1uF 和 10uF 的非耦合电容。
3	CAP/2.5V	数字电路工作电压是 2.5V。这个 2.5V 电压是从 VDD 通过板上稳压器产生的。VDD 小于 2.7V 时,稳压器要求 CAP/2.5V 和 DGND 之间连接一个 100uF 的非耦合电容；如果 VDD 不大于 2.7V 时，CAP/2.5V 和 DGND 直接相连。
4	DGND	数字地
9	AGND	模拟地
模拟信号		
1	COMP	DAC 偏差管脚，用以退耦 DAC 偏差电压。
10	VOUT	电压输出，可输出模拟或者数字电压。自带 200ohm 的电阻，不需要外部上拉电阻。
数字接口与控制		
5	MCLK	数字时钟输入。DDS 输出频率是 MCLK 的二进制分数形式。输出频率的准确性和相位噪声由这个时钟确定。
6	SDATA	串行数据输入，采用 16 位串行数据字格式。
7	SCLK	串行时钟输入，数据在时钟下降沿输入 AD9833。
8	FSYNC	低有效控制输入，数据输入的帧同步信号。当 FSYNC 被拉低时，内部逻辑就表示一个新的数据被载入。

**AD9833 典型的性能特性：**

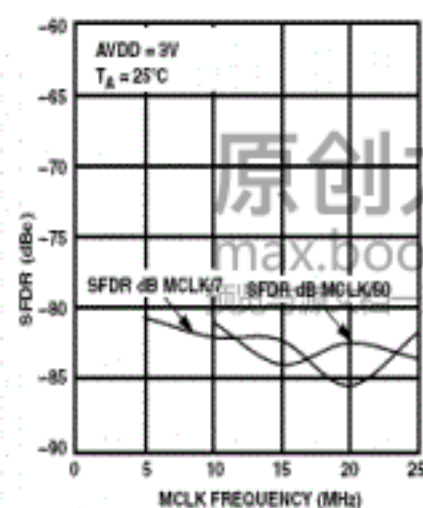




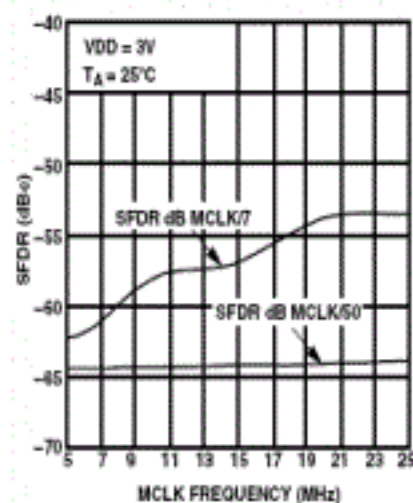
TPC 1. Typical Current Consumption vs. MCLK Frequency



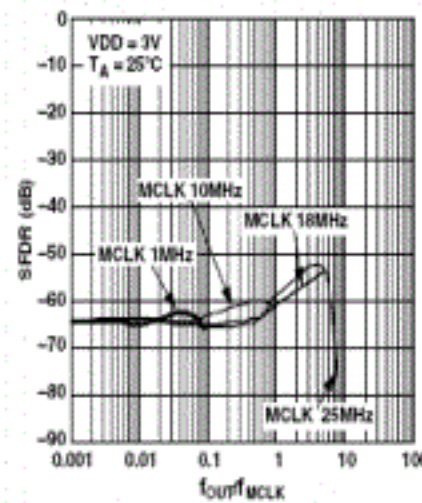
TPC 2. Typical  $I_{DD}$  vs.  $f_{OUT}$  for  $f_{MCLK} = 25$  MHz



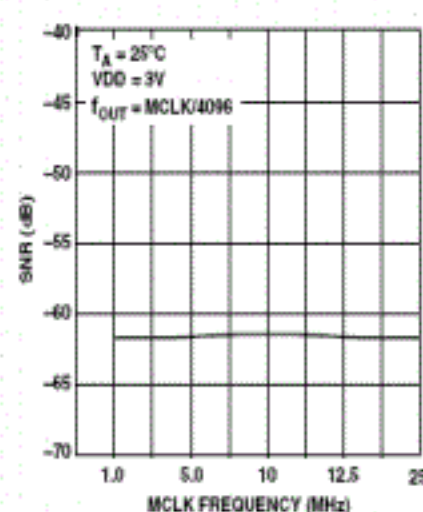
TPC 3. Narrow-Band SFDR vs. MCLK Frequency



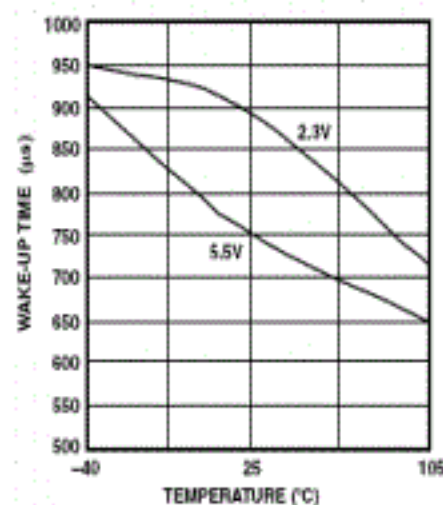
TPC 4. Wideband SFDR vs. MCLK Frequency



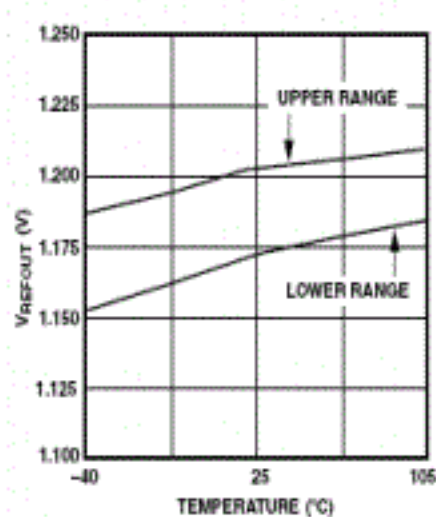
TPC 5. Wideband SFDR vs.  $f_{OUT}/f_{MCLK}$  for Various MCLK Frequencies



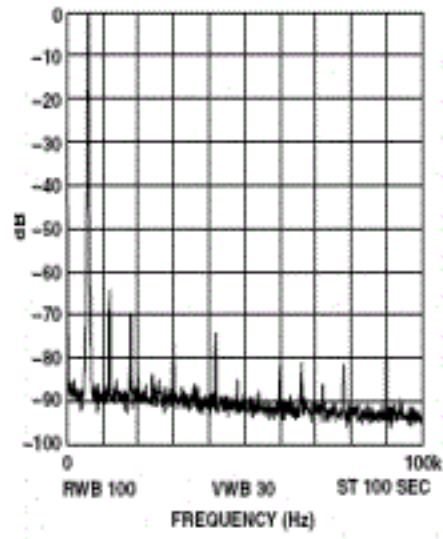
TPC 6. SNR vs. MCLK Frequency



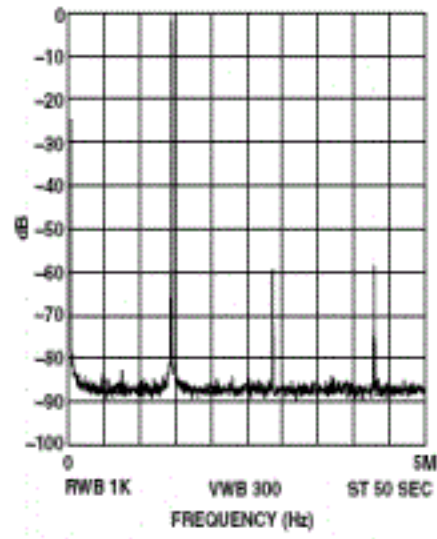
TPC 7. Wake-Up Time vs. Temperature



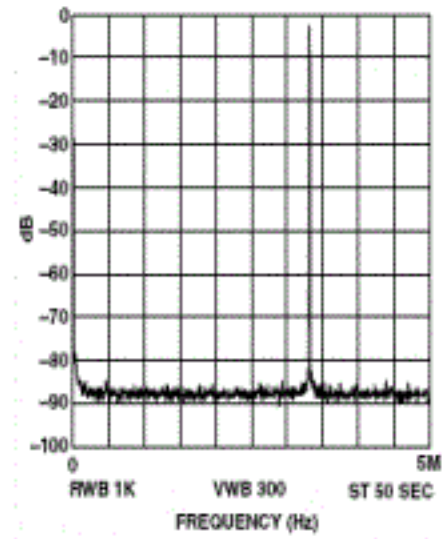
TPC 8.  $V_{REFOUT}$  vs. Temperature



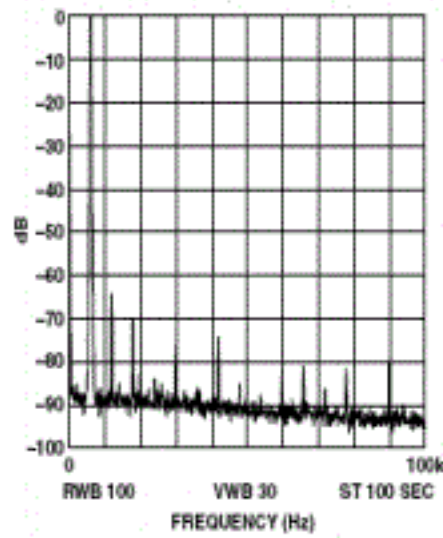
TPC 9.  $f_{MCLK} = 10 \text{ MHz}$ ,  
 $f_{OUT} = 2.4 \text{ kHz}$ , Frequency  
 Word = 000FBA9



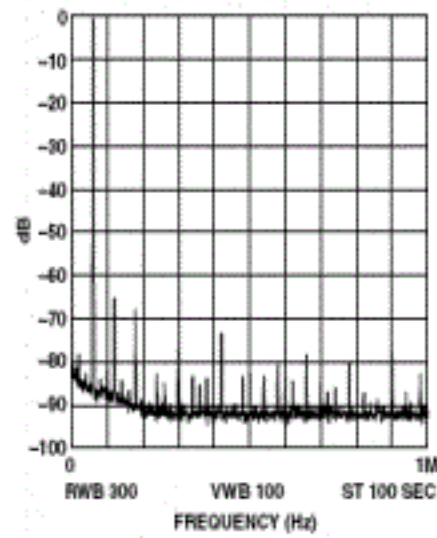
TPC 10.  $f_{MCLK} = 10 \text{ MHz}$ ,  
 $f_{OUT} = 1.43 \text{ MHz} = f_{MCLK}/7$ ,  
 Frequency Word = 2492492



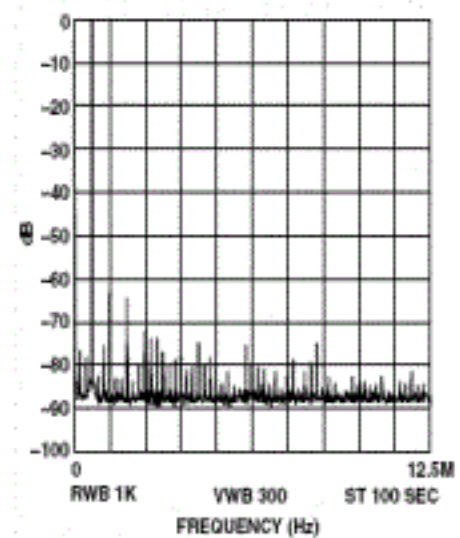
TPC 11.  $f_{MCLK} = 10 \text{ MHz}$ ,  
 $f_{OUT} = 3.33 \text{ MHz} = f_{MCLK}/3$ ,  
 Frequency Word = 5555555



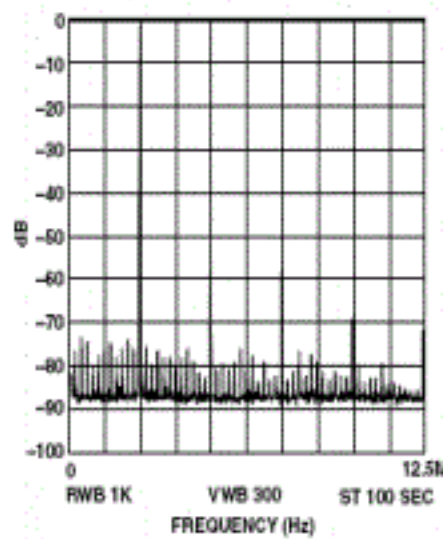
TPC 12.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 6 \text{ kHz}$ , Frequency  
 Word = 000FBA9



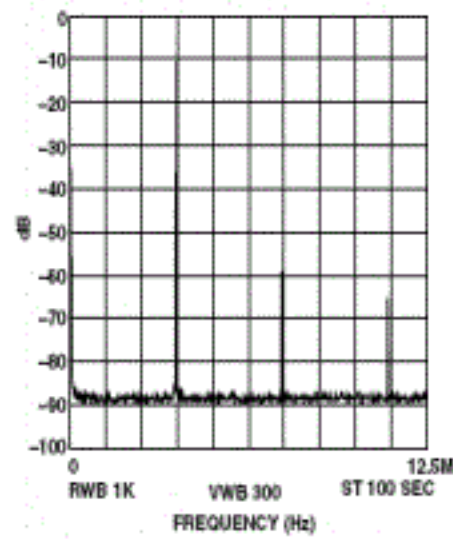
TPC 13.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 60 \text{ kHz}$ , Frequency  
 Word = 009D495



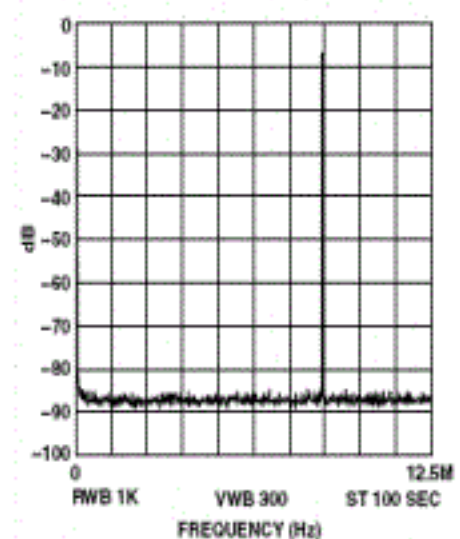
TPC 14.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 600 \text{ kHz}$ , Frequency  
 Word = 0624DD3



TPC 15.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 2.4 \text{ MHz}$ , Frequency  
 Word = 189374D



TPC 16.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 3.857 \text{ MHz} = f_{MCLK}/7$ ,  
 Frequency Word = 2492492



TPC 17.  $f_{MCLK} = 25 \text{ MHz}$ ,  
 $f_{OUT} = 8.333 \text{ MHz} = f_{MCLK}/3$ ,  
 Frequency Word = 5555555



## AD9833 的一些术语

### 积分非线性:

这是指任意码与通过传输函数终点的直线的最大偏差。传输函数的零点是零刻度，比第一个转化码小 0.5LSB 的点，满刻度，比最后一个转化码高 0.5LSB 的点。误差以多少 LSB 的形式表示。

### 差分非线性度:

这是在 DAC 上相邻两个代码变化 1LSB 在测量和理想状况下的差异。一个指定的最大范围是±1LSB 的差分非线性度可以保证单调性。

### 输出标准:

输出标准指的是在 DAC 输出产生的满足规范的最大电压值。如果有比指定标准高的电压产生，AD9833 可能就不符合记录表中的标准。

### 无寄生动态范围 (SFDR):

和感兴趣的频率一起，基频波的谐波频率以及这些频率的像都会出现在 DDS 电路的输出上。无寄生动态范围 (SFDR) 指的是出现在感兴趣波段的激励或谐波。宽带 SFDR 会给出在 0 到奈奎斯特带宽内与基带频率大小有关的最大的谐波或激励的大小。窄带 SFDR 会给出在基带频率±200kHz 带宽内最大的谐波或激励的衰减。

### 总谐波失真:

总谐波失真 (THD) 是谐波绝对和与基波绝对值的比值。对于 AD9833, THD 定义为:

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2}}$$

这里，V1 是基波绝对幅度，V2,V3,V4,V5,V6 分别是 2 到 6 次谐波的绝对幅度。

### 信噪比 (SNR)

SNR 是在奈奎斯特频率下测量输出信号的绝对值和其他所有频谱成分的绝对和的比值。SNR 值以分贝形式表示。

### 时钟馈入

MCLK 输入会有到模拟输出的馈入。时钟馈入指的是与 AD9833 输出频谱中基带频率相关的 MCLK 信号的数量。

### 操作原理

由于波形常常是用幅度形式 ( $a(t) = \sin(\omega t)$ ) 加以考虑。这些都是非线性的，也很难产生，除非用分段构造方法。另外，角型信息实际上是线性的。也就是说，相位角每一个单位时间会改变一个固定的角度。角速度依赖于信号的频率 ( $\omega = 2\pi f$ )。

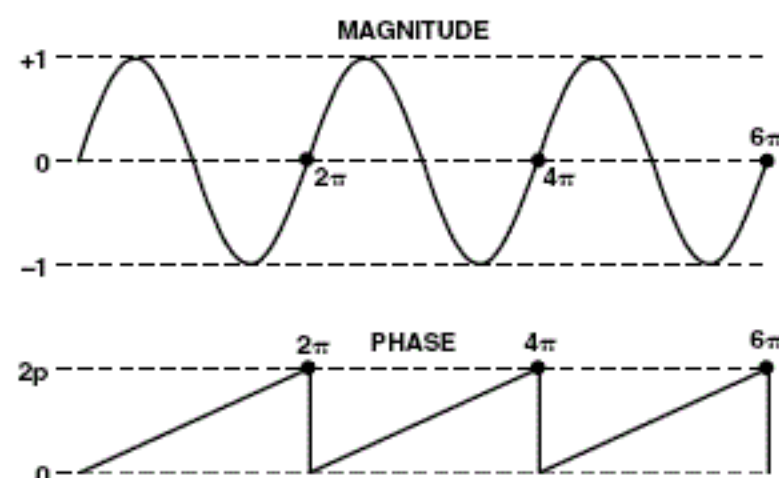


图 四

正弦波的相位是线性的，只要给出参考时间间隔，这个间隔的相位变化就能确定。

$$\Delta Phase = \omega \Delta t$$

$\omega$ 的计算:

$$\omega = \Delta Phase / \Delta t = 2\pi f$$

计算 $f$ ，并用参考实在频率代替参考周期( $1/f_{MCLK} = \Delta t$ )

$$f = \Delta Phase \times f_{MCLK} / 2\pi$$

AD9833就是基于这个简单的等式构造输出。一块简单的DDS芯片加上三个主要的子电路(数控相位调制振荡器、SIN ROM、数模转换器)就可以实现这个简单的等式。每一个子电路都会在下面提到。

## 电路结构

AD9833是一个完全集成的DDS电路，需要一个参考时钟、一个低精度电阻和去耦电容去产生高达12.5M的正弦波。除了产生这种射频信号，这款芯片完全能广泛适用于各种简单和复杂的调制方案。这些调制方案在数字领域得到了广泛应用，运用DSP技术能够使复杂的调制算法简化，而且很精确。

AD9833的内部电路由以下几部分组成：一个数控振荡器(NCO)，频率和相位调制器，SIN ROM，一个数模转换器和一个调节器。

## 数控相位调制振荡器

这包括两个频率选择寄存器，一个相位累加器，两个相位偏移寄存器和一个相位加法器。NCO的主要组成部分是一个28位的相位累加器。连续时间信号的相位范围是： $0 \sim 2\pi$ 。超过这个范围时，正弦函数会周期性地重复。数字实现也是一样。累加器把相位值刻度多位数字字。AD9833中的相位累加器是以28位的形式进行操作的，所以在AD9833中， $2\pi = 2^{28}$ 。同样， $\Delta Phase$ 范围也刻度成以下范围： $0 < \Delta Phase < 2^{28} - 1$ 。这样前面的等式就变成：

$$f = \Delta Phase \cdot f_{MCLK} / 2^{28} \quad 0 < \Delta Phase < 2^{28} - 1$$

相位累加器的输入由FREQ0或者FREQ1来选择，受FSELECT控制。NCO本身可以产生连续的相位信号，因此在频率变化的时候需要防止输出的不连续。

在NCO后，用12位相位寄存器可以把相位偏移加入相位调制。其中一个相位寄存器的内容被加到NCO最重要的位上。AD9833由两个相位寄存器，它们的分辨率是： $2\pi / 4096$

## SIN ROM

为了让NCO的输出有用，必须把相位信息转化成正弦值。由于相位信息直接对应幅度值，SIN ROM把数字相位信息当作地址，通过查表把相位信息转化成幅度信息。虽然NCO包含的是28位的相位累加器，但NCO的输出却是截断了的12位。使用相位累加器的全精度是不现实的，也是不必要的，因为这需要查找表的所有 $2^{28}$ 个条目。只需要足够的相位精度，以使截断产生的误差小于10位DAC的精度，这就要求SIN ROM的相位精度要比10位DAC多两位。SIN ROM通过控制寄存器的MODE(D1)位使能，表11中有更详尽的表述。

## 数模转换器(DAC)

AD9833包括一个高内阻电流源10位DAC。DAC从SIN ROM中获得数字字，再把他们转化成对应的模拟电压。

DAC被定义位单端模式。由于AD9833在板上的电阻有200  $\Omega$ ，所以就不需要额外的电阻。DAC输出的一般是峰峰值为0.6V的电压。

## 调节器

VDD提供AD9833模拟部分和数字部分需要的电源，一般为：2.3V~5.5V。

AD9833内部的数字部分工作在2.5V。一个板上调节器把VDD上的电压步减到2.5V。当AD9833管脚VDD上的电压小于等于2.7V时，CAP/2.5V和VDD两个管脚应该连起来，这样板上调节器就被旁路了。

原创力文档

max.book118.com

预览与原文档一致，下载高清无水印



功能描述

串行接口

AD9833 有一个标准 3 线串行接口，与 SPI、QSPI、MICROWIRE 和 DSP 接口标准兼容。在串行时钟输入 SCLK 的控制下，数据以 16 位字的形式写入 AD9833。操作的时序如图三所示。

FSYNC 输入是电平触发，可以作为帧同步和使能信号。数据只有在 FSYNC 为低的时候才能向里传输。要开始一个串行数据传输，FSYNC 必须置低，可以看到 FSYNC 下降沿和 SCLK 下降沿之间有一个时间间隔（t7）。FSYNC 置低以后，串行数据在 16 个 SCLK 下降沿被移位进输入移位寄存器。在第 16 个 SCLK 下降沿后 FSYNC 才能变高，可以看到 SCLK 下降沿和 FSYNC 上升沿之间有一个时间间隔（t8）。同样，FSYNC 可以在多组 16 个 SCLK 脉冲期间保持低电平，等到数据传输完毕后再变高。这样，FSYNC 保持低电平时可以传输连续的 16 位字流，FSYNC 只有在最后一个字的第 16 个 SCLK 下降沿变高。

在写操作过程中，SCLK 可以是连续的、一直高或者一直低，但是 FSYNC 变低时，它一定要是高。

AD9833 上电

图七中的流程显示了 AD9833 的操作例程。AD9833 上电时，组件需要重启。这会把一些内部寄存器重设为 0，并给出一个模拟中值输出。为了防止 AD9833 初始化时产生虚假的 DAC 输出，RESET 必须置 1，直到各组件都准备好可以产生一个输出为止。RESET 不会重新设置相位、频率和控制寄存器。这些寄存器中都会包含有效数据，所以应该让用户设置为某个值。要开始产生输出，RESET 必须置 0。在 RESET 置 0 八个 MCLK 周期后，数据会出现在 DAC 输出。

延时

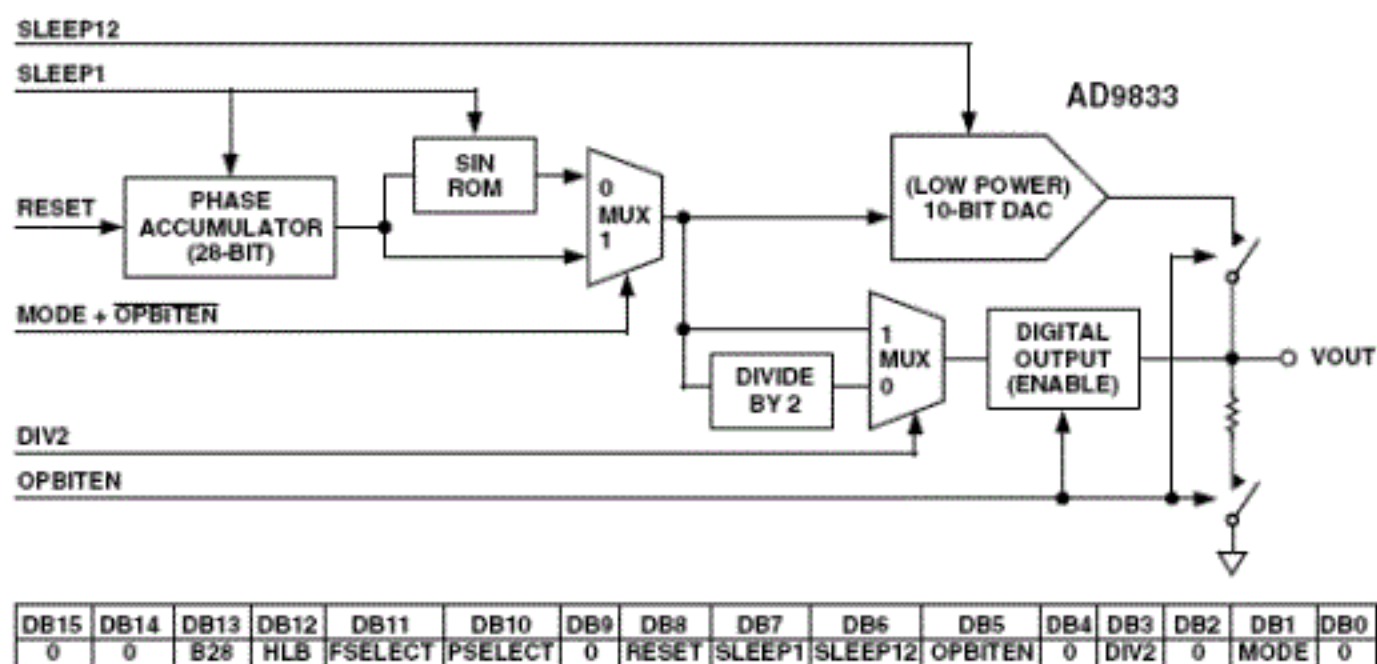
AD9833 中，有每一个异步写操作有关的就是延时。如果某个频率/相位寄存器要装载一个新字，模拟输出将会有七到八个 MCLK 周期的延时。（之所以会有一个周期的不确定，因为这和数据装载进目标寄存器时 MCLK 上升沿的位置有关。）

控制寄存器

AD9833 包含一个 16 位的控制寄存器，通过设置控制寄存器可以使 AD9833 按照用户的需要工作在某种状态。除了 MODE，其他所有控制位都是在 MCLK 的负时钟沿被采样。表 2 描述了控制寄存器的各个位。AD9833 的不同功能和各种输出选项在表 2 的段落有详尽的描述。要通知 AD9833 控制寄存器的内容需要改变，就要把 D15 和 D14 置为 0（如表 1）。

表 1 控制寄存器

D15	D14	D13	D0
0	0	CONTROL BITS	



图五 控制位功能

表 2 控制寄存器的位描述

位	名称	功能
D13	B28	<p>要把一个字装进频率寄存器需要两次写操作，B28=1 才允许这样的操作。第一次写包含频率字低 14 位，第二次包含频率字高 14 位。每个 16 位字的开始两位指定了要写入的频率寄存器，而且在连续两次写操作中应该使一样的。具体表述参见表 4。对频率寄存器的写操作发生在两个字都被装载之后，所以寄存器不会保持立即数。表 5 是一个完整的 28 位写操作的例子。</p> <p>当 B28=0，28 位频率寄存器可以当作 14 位的寄存器来操作。一个包含高 14 位，另一个包含低 14 位。这就意味着高 14 位和低 14 位都可以独立地改变。<b>控制寄存器中的 HLB(D12)位指定了哪一个 14 位正在被改变。</b></p>
D12	HLB	<p>该控制位允许用户能够忽略另外 14 位连续地装载频率寄存器的 MSB 或者 LSB。这在不需要用完整的 28 位的时候很有用。HLB 要与 D13(B28)一起使用。该控制位表明正在装载的 14 位数据是指定频率寄存器的高 14 位还是低 14 位。要独立地改变一个频率字的 MSB 或者 LSB，必须把 D13(B28)置 0。D13(B28)置 1 时，HLB 被忽略。</p> <p>HLB=1,允许一个对指定频率寄存器的高 14 位的写操作。</p> <p>HLB=0,允许一个对指定频率寄存器的低 14 位的写操作。</p>
D11	FSELECT	该位指定是 FREQ0 还是 FREQ1 用于相位累加器。
D10	PSELECT	该位指定是 PHASE0 还是 PHASE1 数据加入相位累加器的输出。
D9	Reserved	该位应置为 0。
D8	RESET	<p>为 1 时，重新设置内部寄存器为 0，提供一个中值模拟输出。</p> <p>为 0 时，禁止 RESET。</p>
D7	SLEEP1	<p>SLEEP1=1 时，内部 MCLK 时钟被禁，DAC 的输出保持当前值，NCO 也不再计数。</p> <p>SLEEP1=0 时，MCLK 被使能，具体描述见表 10。</p>
D6	SLEEP12	<p>为 1 时，切断片上 DAC 电源。这对于用 AD9833 输出 DAC 数据的 MSB 很有帮助。</p> <p>为 0 时，说明 DAC 有效。表 10 中有更详尽的表述。</p>
D5	OPBITEN	<p>该位的功能和 D1(MODE)有关。控制 VOUT 的输出。表 11 有更详尽的表述。</p> <p>为 1 时，连接到 VOUT 的不再是 DAC 的输出，而是 DAC 数据的 MSB 或 MSB/2</p>



D4	Reserved	(由 DIV2 来决定), 这适合做一个粗略时钟源。
D3	DIV2	为 0 时, DAC 连接到 VOUT。由 MODE 来决定输出时正弦波还是斜波。 该位应置为 0。
D2	Reserved	和 D5(OPBITEN)一起使用。表 11 有说明。
D1	MODE	为 1 时, DAC 数据的 MSB 直接连到 VOUT。 为 0 时, DAC 数据的 MSB/2 连到 VOUT。 该位应置为 0。
D0	Reserved	该位和 OPBITEN(D5)一起使用, 其功能是在片上 DAC 连到 VOUT 时控制 VOUT 的输出。OPBITEN=1 时, 该位应该置 0。表 11 有详尽的表述。 MODE=1, SIN ROM 被旁路, DAC 输出三角波。 MODE=0, SIN ROM 的用途就是把频率和相位寄存器中的相位信息转换成在输出端产生正弦波的幅度信息。 该位应置为 0。

### 频率和相位寄存器:

AD9833 有两个频率寄存器和两个相位寄存器, 如表 3 所述。

表 3 频率/相位寄存器

寄存器	大小	描述
FREQ0	28Bits	频率寄存器 0。当 FSELECT 位置为 0, 该寄存器规定输出频率为 MCLK 频率的一个分比值。
FREQ1	28Bits	频率寄存器 1。当 FSELECT 位置为 1, 该寄存器规定输出频率为 MCLK 频率的一个分比值。
PHASE0	12Bits	相移寄存器 0。当 PSELECT 位置为 0, 该寄存器的内容会加入相位累加器的输出。
PHASE1	12Bits	相移寄存器 1。当 PSELECT 位置为 1, 该寄存器的内容会加入相位累加器的输出。

AD9833 的模拟输出:

$$f_{MCLK} / 2^{28} \cdot \text{FREQREG}$$

FREQREG是装载到指定频率寄存器的值。信号的相移:

$$2 \pi / 4096 \cdot \text{PHASEREG}$$

PHASEREG是指定相位寄存器中的值。为防止意料不到的输出异常, 指定输出频率和参考时钟频率的关系应该给予考虑。

图九中的数据流程显示了写AD9833频率寄存器和相位寄存器的例程。

### 写频率寄存器

写频率寄存器时, 位D15和D14给出频率寄存器的地址。

表4 频率寄存器的位

D15	D14	D13	D0
0	1	MSB 14 FREQ0 REG Bits	LSB
1	0	MSB 14 FREQ1 REG Bits	LSB

如果用户想改变一个频率寄存器的所有内容, 要向同一地址连续写两次, 这是因为频率



寄存 1 器是 28 位的。第一次写改变低 14 位，第二次写改变高 14 位。为了使用这种操作模式，控制位 B28(D13)应该置 1。表 5 中是一个 28 位写的例子。

表 5 向 FREQ0 寄存器写 00FC00

SDATA Input	Result of Input Word
0010 0000 0000 0000	Control Word Write (D15, D14 = 00), B28 (D13) = 1, HLB (D12) = X
0100 0000 0000 0000	FREQ0 REG Write (D15, D14 = 01), 14 LSBs = 0000
0100 0000 0011 1111	FREQ0 REG Write (D15, D14 = 01), 14 MSBs = 003F

在某些应用中，用户不需要改变频率寄存器中的所有 28 位。要大的调整，只要改变高 14 位；要细微的调整，只要改变低 14 位就行。把控制位 B28(D13)置为 0，28 位的频率寄存器就可以当成两个 14 位的寄存器来操作，一个包含高 14 位，另一个包含低 14 位。这就意味着高 14 位和低 14 位都可以独立地改变。控制寄存器中的 HLB(D12)位指定了哪一个 14 位正在被改变。表 6 和表 7 是两个例子。

表 6 向 FREQ 的低 14 位写 3FFF

SDATA Input	Result of Input Word
0000 0000 0000 0000	Control Word Write (D15, D14 = 00), B28 (D13) = 0; HLB (D12) = 0, i.e. LSBs
1011 1111 1111 1111	FREQ1 REG Write (D15, D14 = 10), 14 LSBs = 3FFF

表 7 向 FREQ 的高 14 位写 00FF

SDATA Input	Result of Input Word
0001 0000 0000 0000	Control Word Write (D15, D14 = 00), B28 (D13) = 0, HLB (D12) = 1, i.e., MSBs
0100 0000 1111 1111	FREQ0 REG Write (D15, D14 = 01), 14 MSBs = 00FF

**写相位寄存器**

写相位寄存器时，位 D15 和 D14 都置 1。D13 指定那个相位寄存器要写入。

表 8 相位寄存器的位

D15	D14	D13	D12	D11	D0
1	1	0	X	MSB 12 PHASE0 Bits	LSB
1	1	1	X	MSB 12 PHASE1 Bits	LSB

**重启功能：**

重启功能会重新设置一些适当的内部寄存器为 0，提供一个中值模拟输出。重启不会重新设置相位、频率和控制寄存器。AD9833 上电时，这部分就会被重新设置。要重启 AD9833，把 RESET 置为 1 就行了。如果要不重新设置这部分，把 RESET 置为 0。RESET 置为 0 后，

一个信号将出现在 DAC 以输出 8 个 MCLK 时钟周期。

表 9 应用于重启

重启位	结果
0	对重启不做反应
1	内部寄存器重启

**休眠功能:**

可以切断 AD9833 没有使用部分的电源以减少功耗,这可以通过休眠功能来实现。能被切断电源的有内部时钟和 DAC。休眠功能需要的位如表 10 所示。

表 10 应用于休眠功能

SLEEP1 Bit	SLEEP12 Bit	结果
0	0	无电源切断
0	1	DAC 电源切断
1	0	内部时钟禁止
1	1	DAC 电源切断 内部时钟也禁止

**DAC 电源切断:**

这个功能在 AD9833 用来只输出 DAC 的 MSB 的时候很有用。这个情况下,不需要 DAC,就可以切断它的电源以降低能耗。

**内部时钟禁止:**

当 AD9833 的内部时钟被禁止, DAC 的输出保持当前值, NCO 也不再计数。当 SLEEP1 控制位有效时,新的频率、相位和控制字能写进去这部分。同步时钟依然有效,这就意味着用这些控制位可以修改一些选定的频率和相位寄存器。把 SLEEP1 设置为 0 就能激活 MCLK。当 SLEEP1 有效时,这些寄存器的任何变化都会在一个延时后反映在输出上。

**VOUT Pin**

AD9833 提供多种类型的输出,比如 DAC 数据的 MSB、正弦波输出、三角波输出,这些输出都外接到 VOUT 管脚。控制寄存器中的 OPBITEN(D5)和 MODE(D1)位可以决定 AD9833 输出是哪一种类型。这在下面还会提及,表 11 也有说明。

表 11 VOUT 的不同输出

OPBITEN Bit	MODE Bit	DIV2 Bit	VOUT Pin
0	0	X	Sinusoid
0	1	X	Triangle
1	0	0	DAC Data MSB/2
1	0	1	DAC Data MSB
1	1	X	Reserved

**DAC 数据的 MSB:**

DAC 数据的 MSB 可以从 AD9833 中输出。把 OPBITEN(D5)控制位设置为 1, DAC 数据的 MSB 就可以从 VOUT 管脚获得。这可以作为粗略时钟源。这个方波在输出还可以被二分。控制寄存器中的 DIV2 (D3) 控制着这种输出的频率。

**正弦波输出:**

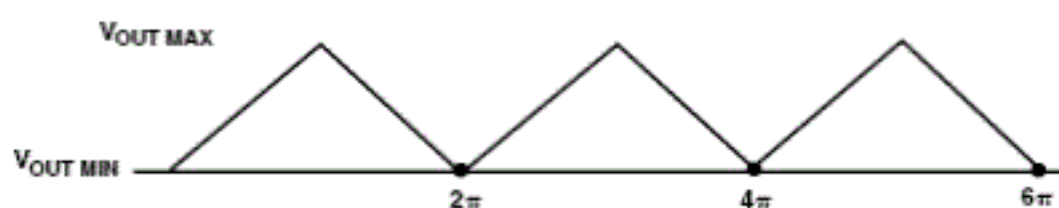
SIN ROM 的用途是把频率和相位寄存器中的相位信息转换成在输出端产生正弦波的幅度信息。要从 VOUT 管脚获得正弦波输出,就要把 MDOE(D1)位和 OPBITEN(D5)位置为 0。

**三角波输出:**

SIN ROM 可以被旁路,从 NCO 来的截平的数字输出就可以送到 DAC。这样输出就不再是正弦波, DAC 会产生一个 10-bit 线性三角函数。要从 VOUT 管脚获得三角波输出,需



要把 MODE(D1)位置为 1。要使用这个管脚，就要把 SLEEP12 都置为 0。



图六 三角波输出

### 应用：

由于可以获得多种输出，AD9833 可能被配置以适应各种各样的应用，模块化应用就是其中之一，它可能被用来执行简单的模块化，比如FSK。更加复杂的模块化方案，比如GMSK和QPSK，也可以用AD9833实现。在FSK应用中，AD9833的两个频率寄存器分别装载不同的值。一个频率代表空间频率，另一个代表标记频率。用户可以通过设置AD9833控制寄存器中的FSELECT位使载波频率在这两个值之间改变。

AD9833有两个相位寄存器，这就能实现PSK。有了相移键控，就可以使载波频率相移，相位改变数值与输入到调节器的位流相关。

AD9833也适合信号产生应用。由于DAC数据的MSB可以从VOUT管脚得到，所以AD9833可以用来产生方波。由于其低功耗，它同样适合在一些应用中做本地振荡器。

接地和布局：

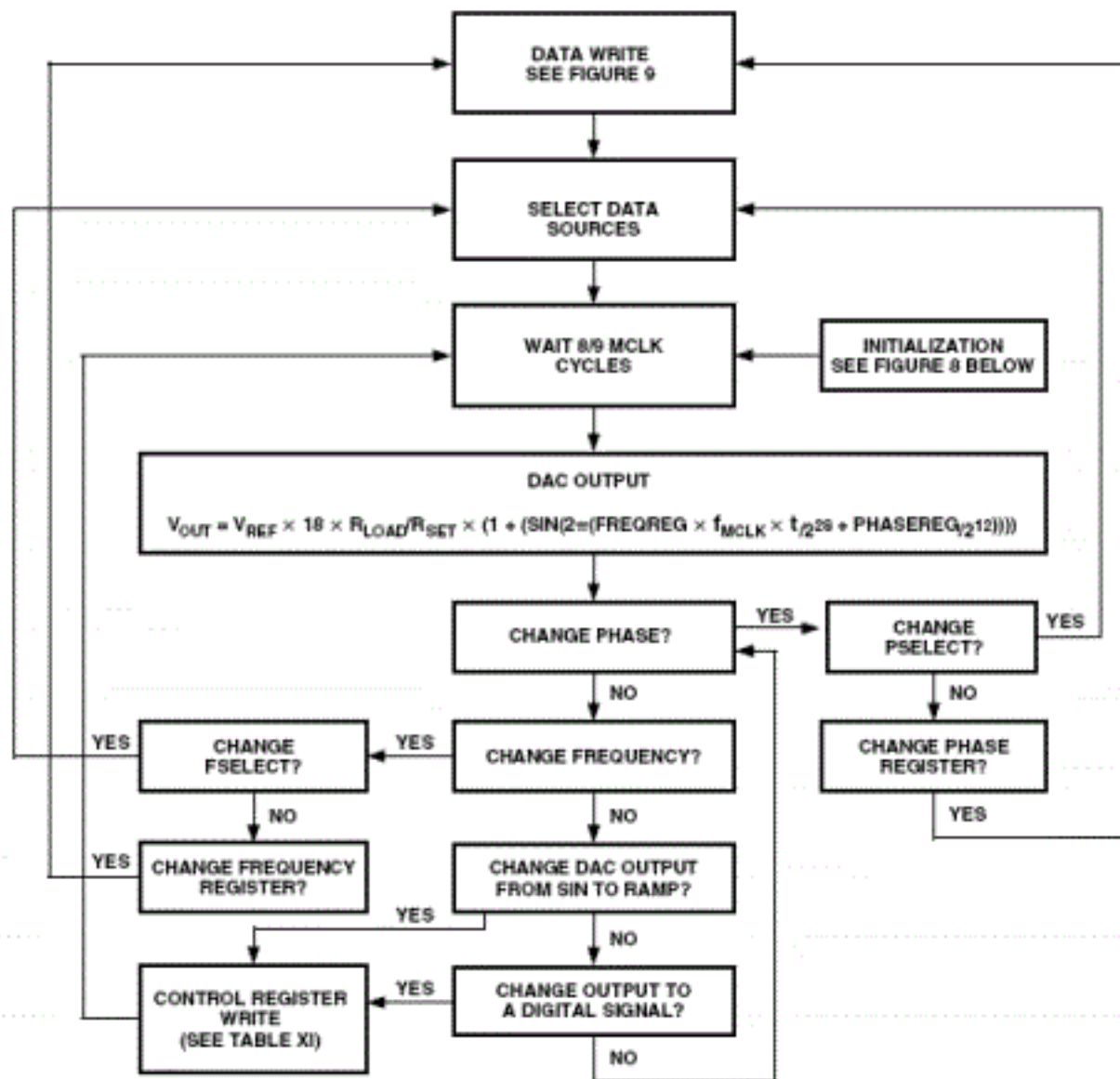
设计安置有 AD9833 的印制电路板时，应该注意让模拟部分和数字部分分别限制在电路板的不同区域。这样可以使对那些容易分离的地层的利用变得容易。由于最小蚀刻技术有良好的屏蔽功能，它对地层是有很大大益处的。数字地层和模拟地层只在一处相连。如果 AD9833 是唯一要求 AGND 对 DGND 连接的设备，则两地层应该在 AD9833 的 AGND 和 DGND 管脚处连接。如果 AD9833 是在多个设备要求 AGND 对 DGND 连接的系统中，数字地层和模拟地层的连接只能在一处，一个靠近 AD9833 的星形接地点。

应当阻止数字线路从 AD9833 下面走线，因为这样会让噪声耦合到芯片封装。而模拟地层应该允许从 AD9833 下面走线，这样可以阻止噪声耦合。AD9833 的电源线路应该尽量和大的线路一样宽，这样可以提供低阻抗线路，减少电源线路的故障。快速转换信号（比如时钟）应该用数字地形式给予保护，以防止它们对电路板其他部分的辐射噪声。应该防止数字信号和模拟信号的交叉。电路板两步的走线应该直角交叉，这样可以减少层间串扰。微波传送技术是迄今为止最好的，但是它却不是常常适合双面板的。在这个技术中，电路板的一面专门用来做地层，另一面做信号层。

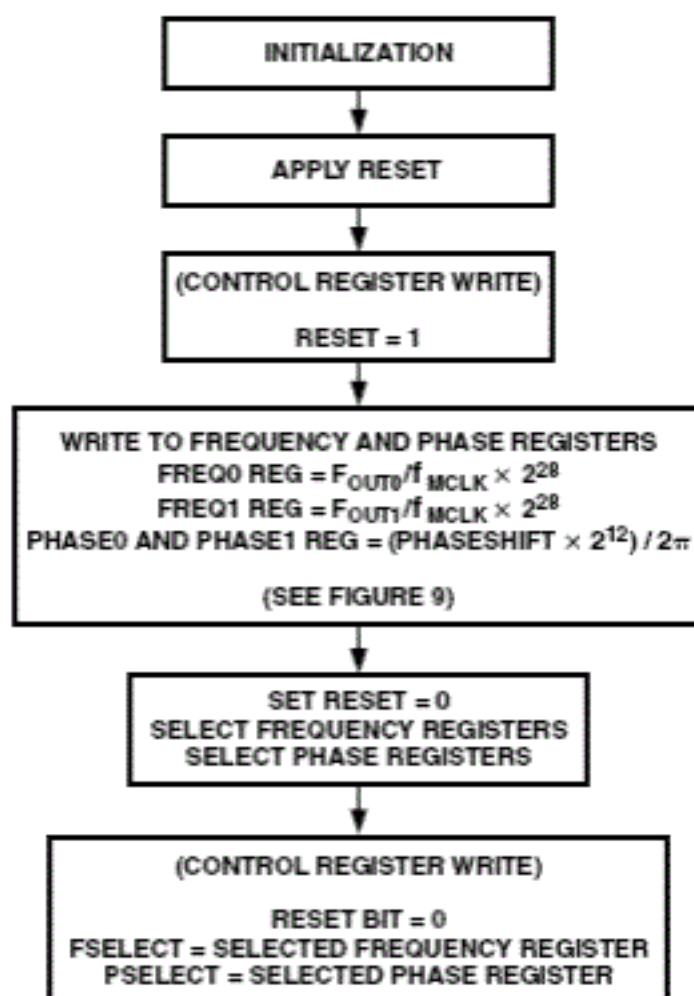
好的去耦合是非常重要的。AD9833 和电源之间应该并联地接一个 0.1μF 的陶瓷电容器与 10μF 的钽电容器。为了让去耦电容达到最佳效果，去耦电容应该尽量接近 AD9833，理想状况是在它上面。

比较器的适当操作需要好布局策略。这种策略必须通过适当的PCB布局和以地层来增强隔离效果的手段来使最小化VIN和SIGN BIT OUT管脚之间的寄生电容。比如，在一个四层板中，CIN信号要连接到顶层，而SIGN BIT OUT要连接到底层，所以隔离是由电源和地层提供的。

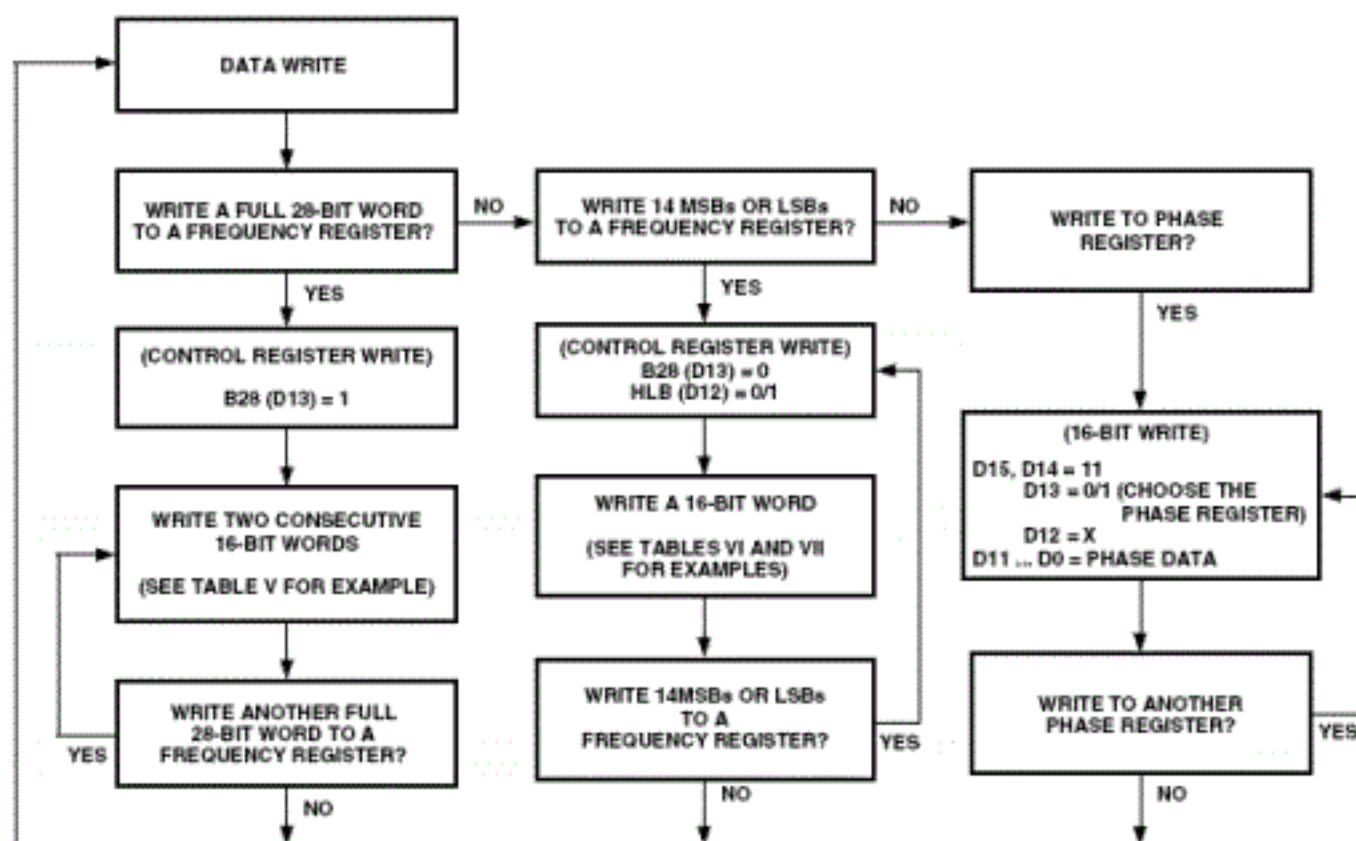




图七 AD9833初始化及操作流程



图八 初始化



图九 数据写操作

### 和各种微处理器的连接:

AD9833有一个标准串行接口,可以与一些微处理器直接连接,用外部串行时钟来往自身写数据和控制信息,串行时钟频率最高可达40MHz,在写操作的过程中可能是连续的,也可能一直保持高电平或低电平。如果有数据/控制信息写入AD9833,FSYNC在16位信息写进AD9833的过程中一直保持低电平。FSYNC信号显示16位信息被写入AD9833。

AD9833和ADSP-21xx连接:

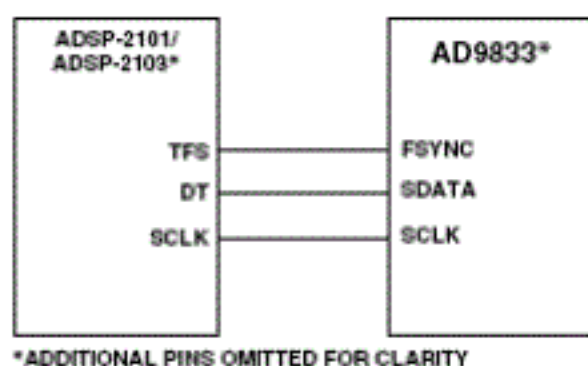


图 十

图十显示了AD9833和ADSP-21xx的串行连接。ADSP-21xx必须设置工作在SPORT传输交替取景模式。ADSP-21xx通过SPORT控制寄存器编程,设置如下:

- 内部时钟操作 (ISCLK = 1)
- 低取景激活 (INVTFS = 1)
- 16位字长 (SLEN = 15)
- 内部帧同步信号 (ITFS = 1)
- 为每一个写操作产生一个帧同步信号 (TFSR = 1)

SPORT被使能后,往Tx寄存器中写一个字就初始化了传输过程。数据在串行时钟的上升沿到达,在SCLK的下降沿被写进AD9833。

**AD9833和68HC11/68L11连接:**

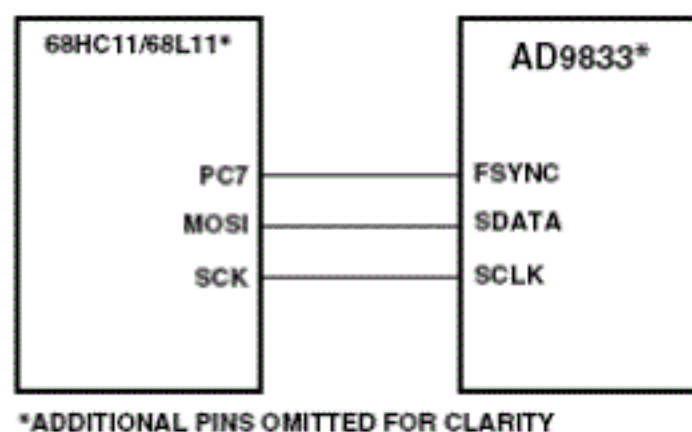


图 十一

图十一显示了AD9833和68HC11/68L11微处理器的串行连接。通过把SPCR中的MSTR位置1就可以把微处理器设置成控制方。当MOSI输出驱动串行数据SDATA时，SCK上会提供串行时钟。68HC11/68L11微处理器没有专门的帧同步信号管脚，FSYNC是从AD9833的PC7获得的。连接正确工作的设置条件如下：

SCK在写操作过程中保持高电平(CPOL = 0)。

数据在SCK下降沿有效(CPHA = 1)。

在数据往AD9833传输的过程中，FSYNC保持低电平。在传输电路中，来自68HC11/68L11的串行数据以8-bit字节在八个时钟下降沿进行传输。MSB最先被传输。为把数据写入AD9833，8-bit数据传输完毕以后PC7依然要保持低电平，接着开始下一个对AD9833的写操作。只有等到第二个8-bit数据传输完毕后，FSYNC才能重新变成高电平。

#### AD9833和80C51/80L51连接：

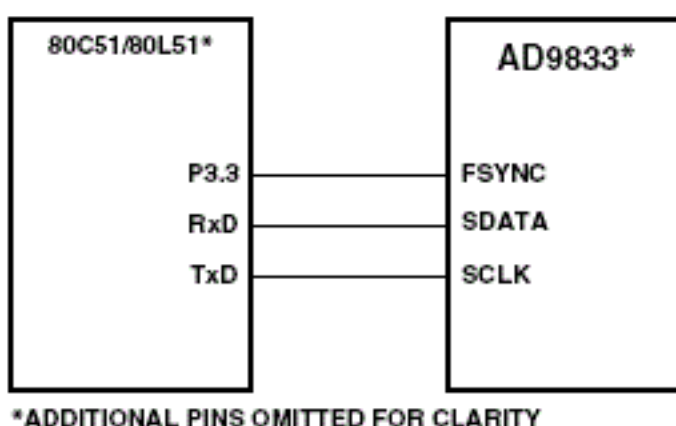


图 十二

图十二显示了AD9833和80C51/80L51微处理器的串行连接。80C51/80L51微处理器工作在模式0，80C51/80L51的TxD、RxD分别驱动AD9833的SCLK、SDATA。FSYNC由一位可编程引脚（图中的P3.3）驱动。当数据传输要到AD9833时，P3.3置低电平。80C51/80L51以8-bit字节形式传输数据，所以每次传输只需要SCLK下降沿。为把数据写入AD9833，第一个8-bit数据传输完毕以后P3.3依然要保持低电平，接着初始化下一个字节的写操作。第二个写操作结束后，P3.3被置高电平。在两次写操作的过程中，SCLK必须一直保持高电平。80C51/80L51本来是以LSB在前的格式输出串行数据的。但是AD9833首先接受的是MSB（往目标寄存器写时，首先4个MSB是控制信息，接下来4个是地址，8个LSB才是数据）。因此，80C51/80L51的传输例程必须考虑到这点，重新安排位序，让MSB先输出。

#### AD9833和DSP56002连接：



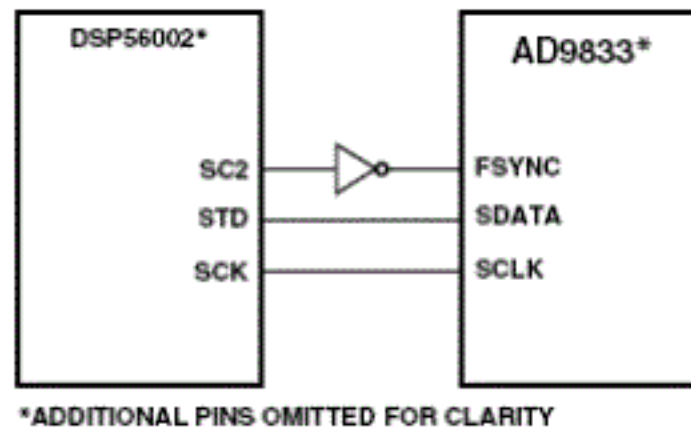


图 十三

上图显示了AD9833和DSP56002的串行连接。DSP56002被设置成正常工作模式下使用内部时钟的异步操作（ $SYN = 0, GCK = 1, SCKD = 1$ ）。帧同步引脚信号由内部产生（ $SC2=1$ ），传输宽度为16位（ $WL1=1, WL0=0$ ），帧同步信号需要和16位数据适应（ $FSL=0$ ）。帧同步信号可以在管脚SC2上选择，但是信号在应用到AD9833之前应该被取反。与DSP56000/DSP56001的连接同与DSP56002的连接类似。

### AD9833 评测板：

AD9833 评测板可以让设计者用最小的代价评测高性能 AD9833 DDS 调节器。为了验证这个设备可以满足用户波形合成的需求，只需要一个电源，一台 IBM 兼容 PC，一台频谱分析仪和这块评测板。

DDS评测包包含了一块经过经过组装、测试的AD9833印刷电路板。评测板通过PC并口与PC相连，支持软件编程，用户可以很容易地对AD9833编程。评测板的示意图如图14所示。软件运行环境包括Windows 95, Windows 98, Windows ME, Windows 2000 NT。

