

1. 对于指令 SLTI \$s0, \$t0, 0xFE12, 译码控制单元 DCU 产生的控制信号的取值是什么?

rreg1 ( T )    rreg2 ( F )    wreg ( T )    whilo ( F )    shift ( F )

immsel ( T )    rtsel ( T )    sext ( T )    upper ( F )    mreg ( F )

2. 对于指令 SH \$s0, 8(\$t0), 译码控制单元 DCU 产生的控制信号的取值是什么?

rreg1 ( T )    rreg2 ( T )    wreg ( F )    shift ( F )

immsel ( T )    rtsel ( X )    sext ( T )    mreg ( X )

当寄存器\$t0 的初始值为 0x12345678 时, 访存单元 MCU 产生的控制信号取值是什么?

dre ( 0000 )    we ( 1100 )

3. 假设理想流水线, 没有任何指令相关, 各种类型的指令在程序中所占比例如下:

add (20%), addi (20%), ori (25%), lw (25%), sw (10%)

与符号扩展电路相关指令在程序中的占比是 (            )。

55%, 与符号扩展相关的指令为 addi、lw 和 sw, 因此占比为三者相加 55%

4. 处理器数据通路中不同阶段的延迟情况如下:

IF (250ps), ID (350ps), EXE (150ps), MEM (300ps), WB (200ps)

请回答以下问题:

(1) 采用流水线和串行方式的处理器, 时钟周期各是 (        )ps 和 (        )ps。

(2) lw 指令在流水线处理器和串行处理器中的总延迟分别是 (        )ps 和 (        )ps。

(3) 如果将原流水线数据通路的一级划分为两级, 每级的延迟是原来的的一半, 那么应该选择哪一级进行划分? 划分后处理器的时钟周期是 (        )ps。

第一题: 350 和 1250

第二题: 1750 和 1250

第三题: 译码阶段和 300

5. 结合下面的指令序列回答问题:

sw r16, 12(r6)

```
lw r16, 8(r6)
beq r5, r4, Label1    #假设 r5 != r4
add r5, r1, r4
slt r5, r15, r4
```

假定每个流水级的延迟如下：

IF (200ps), ID (120ps), EXE (150ps), MEM (190ps), WB (100ps)

(1). 假设所有分支都被正确预测（控制相关完全被消除）且没有使用延迟时间槽，并且只有一个存储器（指令和数据共用），因此，存在结构相关。为了保证处理器正确工作，该相关始终以有利于访存指令的方式解决。该指令序列的总执行时间是多少？我们知道插入 nop 可以消除数据相关，可以用同样的方法消除结构相关吗？为什么？

(2). 假设在分支时进行阻塞且没有使用延迟槽，那么在 ID 级确定分支相对于在 EXE 级确定分支的加速比是多少？

(3). 在给定的流水级延迟下，重新做第 2 题，考虑可能的时钟周期变化。假设分支判断从 EXE 级移到 ID 级时，ID 级的延迟增加 50%，而 EXE 级的延迟减少 10ps。

(4). 假设在分支时进行阻塞且没有使用延迟槽，如果分支判断移到 MEM 级，时钟周期如何变化？指令序列的总执行时间变为多少？加速比是多少？假设分支判断从 EXE 级移到到 MEM 级时，EXE 级延迟减少 20ps，而 MEM 级延迟增加 20ps。

第一题：

add 指令 IF 阶段和 sw、lw 指令的访存阶段冲突，因此需要暂停两个时钟周期。因此，上述指令序列工序消耗 11 个周期，每个周期 200ps，共执行 2200ps。

插入 nop 指令不能消除结构冒险，因为 nop 指令也是一个指令，仍需要取指。

第二题：

流水线如果不暂停，5 条指令共花费  $5+4 = 9$  个时钟周期。如果在执行阶段确定分支，则需要暂停两个时钟周期，总共消耗  $9+2 = 11$  个时钟周期；如果在译码阶段确定分支，则只需要暂停 1 个时钟周期，总共消耗  $9+1 = 10$  个时钟周期，加速比  $= 11/10 = 1.1$

第三题：

ID 级的新延迟是  $120 + 120 \times 50\% = 180\text{ps}$ ，EXE 级的新延迟是  $150 - 10 = 140\text{ps}$ 。此时新的时钟周期仍是 200ps，加速维持不变，仍是 1.1。

第四题：

EXE 级的新延迟是  $150 - 20 = 130\text{ps}$ ，MEM 级的新延迟是  $190 + 20 = 210\text{ps}$ 。此时时钟周期变为 210ps。

如果在 EXE 阶段确定分支，则需要暂停两个时钟周期，共消耗  $9+2 = 11$  个时钟周期。如果在 MEM 阶段确定分支，则需要暂停三个时钟周期，共消耗  $9+3 = 12$  个时钟周期，总执行时间为  $12 \times 210\text{ps} = 2520\text{ps}$ 。

$$\text{加速比} = 2200/2520 = 0.88$$

6. 一个好的分支预测器有多重要取决于条件分支指令（不考虑跳转指令）的频率，它与分支预测器的精度共同决定预测分支失败导致的阻塞时间长短。假设指令的动态执行频度如下：R 型指令（40%），条件分支指令（25%），跳转指令（5%），加载指令（25%），存储指令（5%）。假定 3 种分支预测器的精度如下：分支总发生（45%），分支总不发生（55%），2 位预测器（85%）。

(1). 分支预测失败导致的阻塞将增加 CPI。对分支总发生预测器而言，分支预测失败将导致 CPI 增加多少？假设分支在 EXE 级确定，没有数据冒险且不使用延迟槽。

(2). 对于第 1 题，改为分支总不发生预测器的结果是什么？

(3). 对于第 1 题，改为 2 位预测器的结果是什么？

(4). 对 2 位分支预测器而言，将一半分支指令用 R 型指令替代（一条 R 型指令替代一条分支指令）将获得的加速比是多少？假设被正确预测的分支指令和被不正确预测的分支指令被取代的概率相同。

(5). 有些分支是很容易预测的。假设 80% 的分支指令都是很容易预测的循环返回分支，那么 2 位分支预测器对剩下 20% 分支指令的预测精度是多少？

第一题：

如果分支预测失败，则 EXE 级确定分支后将导致 2 条错误指令进入流水线，从而引起 2 个时钟周期的暂停。因此，CPI 将增加  $2 \times (1 - 0.45) \times 0.25 = 0.275$

第二题：

对于分支总不发生预测器，CPI 将增加  $2 \times (1 - 0.55) \times 0.25 = 0.225$

第三题：

对于 2 位预测器，CPI 将增加  $2 \times (1 - 0.85) \times 0.25 = 0.075$

第四题：

没有替代前的 CPI:  $1 + 2 \times (1 - 0.85) \times 0.25 = 1.075$

替代后的 CPI:  $1 + 2 \times (1 - 0.85) \times 0.25 \times 0.5 = 1.0375$

加速比:  $1.075 / 1.0375 = 1.036$

第五题

假设程序中分支指令一共 B 条，则正确预测的分支为 0.85B 条，正确预测的非循环返回分支为  $0.85B - 0.8B = 0.05B$  条，所有的非循环返回分支为 0.2B，预测准确度 =  $0.05B / 0.2B = 25\%$