

目录

目录

修订记录

宏参数列表

设计功能简述

模块框图

端口列表

系统端口列表

数据端口列表

控制端口列表

APB端口列表

配置寄存器列表

端口协议时序

修订记录

日期	修订版本	描述	作者
2020-03-30	1.0	初稿完成	伍元聪
2020-04-07	1.1	1. 修改WID_BUS为8；并修正时序图 2. 重定义PE访存读时序 3. 添加配置寄存器列表 4. 删除控制端口列表中raddr端口 5. 添加PE工作模式下的操作流程	伍元聪
2020-04-08	1.2	1. 修改reuse[7:4]PE运算结果数据截断配置默认输出方式 2. 添加宏参数WID_ACC	伍元聪

宏参数列表

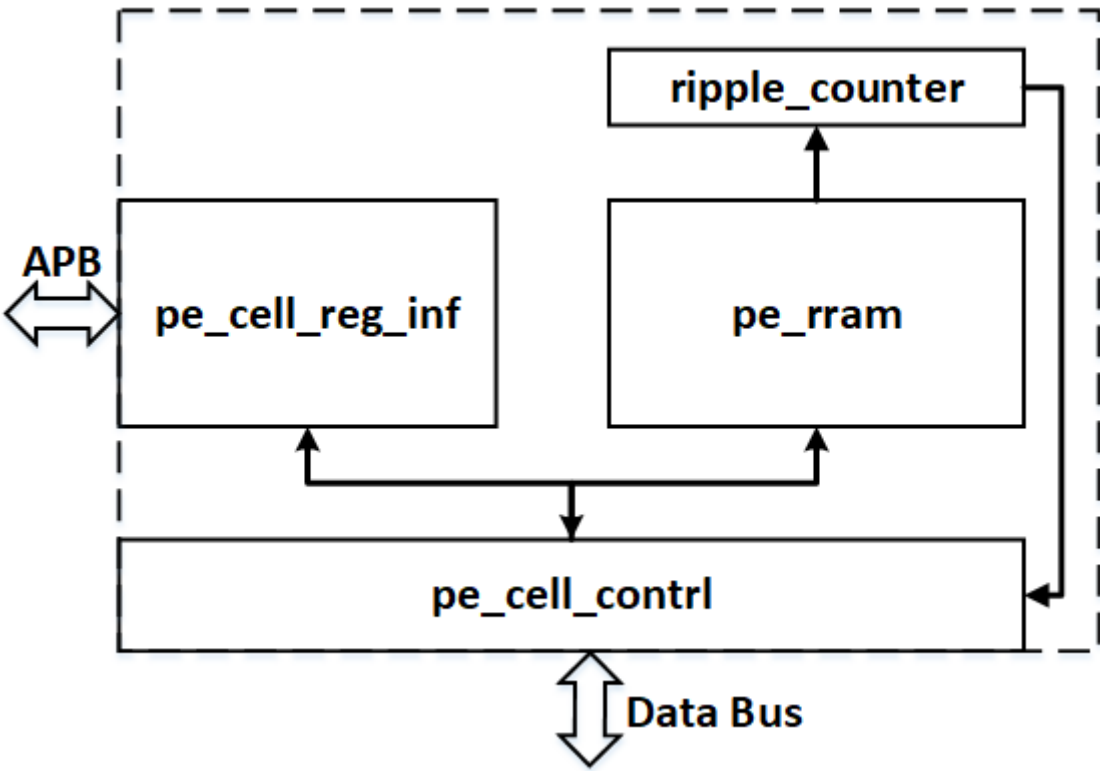
name	value	description
ROW	36	RRAM阵列行数
COL	256	RRAM阵列列数；每8列构成一个数据字
WID_BUS	8	PE单元输入输出数据位宽
WID_ACC	22	PE单元运算结果累加器位宽（36x36个8bit有符号数乘累加）
PE_ID	8	PE单元固定ID,由顶层模块实例化式指定

设计功能简述

设计基于RRAM阵列的计算核心PIM_PE，实现：

- **运算功能：** $Y = W^T X$ ，其中 X 为36X1的输入数据向量， W 为36X32的权值矩阵， Y 为32X1的输出向量，数据位宽为8bit 有符号数
- $NUM_X \times NUM_Y$ RRAM存储单元的基本读写功能：
 - 写操作：单次写入RRAM阵列一列数据
 - 读操作：单次读出RRAM阵列一行数据

模块框图



端口列表

系统端口列表

name	type	width	description
clk	in	1	时钟信号
rst_n	in	1	复位信号，低有效

数据端口列表

name	type	width	description
wdata	in	8	PE写数据总线位宽
wdata_valid	in	1	PE写数据有效信号
wdata_busy	out	1	PE接收数据忙应答信号
wdata_last	in	1	PE写数据流末尾字节标志信号
rdata	out	8	PE读数据总线位宽
rdata_valid	out	1	PE输出数据有效信号
rdata_busy	in	1	数据读出忙应答信号
rdata_last	out	1	PE输出数据流末尾字节标志信号

- 在计算模式下，wdata为输入计算数据（PE需要接收满36 bytes输入运算数据才能进行计算，连续间断发送方式均可）；rdata为输出计算结果（PE运算完成后，共计发送33 bytes结果数据其中首字节为PE_ID,连续间断发送方式均可）
- 在访存写模式下，wdata为写入内存数据（RRAM阵列一列，PE需要接收满36 bytes写内存数据才能进行写内存操作，连续间断发送均可）；需等待PE内部操作忙信号（pe_busy）释放之后才能进行下一次访存操作
- 在访存读模式下，rdata为读出内存数据（RRAM阵列一行，PE连续发送33 bytes读内存数据其中首字节为PE_ID）；需等待PE内部操作忙信号（pe_busy）释放之后才能进行下一次访存操作

控制端口列表

name	type	width	description
cs_n	in	1	PE单元片选信号，低有效
cvalid	in	1	PE单元配置有效信号
pe_busy	out	1	PE单元内部操作 (运算、访存) 未结束，返回忙信号
work_mode	in	2	PE单元工作模式；00:无操作，01:计算模式，10:读内存，11：写内存
waddr	in	5	PE单元访存写地址；有效地址空间为0-31

- 配置有效信号cvalid只有当内部pe_busy空闲时才会响应
- pe_busy由忙至空闲转换后标志着本次操作完成，主控可以进行下一次传输

APB端口列表

name	type	width	description
psel	in	1	APB片选
paddr	in	4	APB地址
pwrite	in	1	APB读写控制
pwrdata	in	8	APB写数据
penable	in	1	APB操作使能
prdata	out	8	APB读数据
pready	out	1	APB应答

配置寄存器列表

name	addr	width	description
reg_set_cycle0	0	8	RRAM单元set周期配置寄存器1
reg_set_cycle1	1	8	RRAM单元set周期配置寄存器2
reg_set_cycle2	2	8	RRAM单元set周期配置寄存器3
reg_set_cycle3	3	8	RRAM单元set周期配置寄存器4
reg_reuse	4	8	[7:4]: PE运算结果数据截断配置 [3:2]: PE工作模式配置 [1:0]: RRAM单元set电平配置；【0】:set 【1】:reset

内部需要访问的状态寄存器，后续实现后继续添加

Note:

- 1. {reg_set_cycle3,reg_set_cycle2,reg_set_cycle1,reg_set_cycle0}构成32bitRRAM单元set周期配置
- 2. reg_reuse[7:4]PE运算结果数据截断配置
 - 0: 符号位保留，数据位截取累加结果的[20:14]部分
 - 1: 符号位保留，数据位截取累加结果的[19:13]部分
 - 2: 符号位保留，数据位截取累加结果的[18:12]部分
 - 3: 符号位保留，数据位截取累加结果的[17:11]部分
 - 4: 符号位保留，数据位截取累加结果的[16:10]部分
 - 5: 符号位保留，数据位截取累加结果的[15:9]部分
 - 6: 符号位保留，数据位截取累加结果的[14:8]部分
 - 7: 符号位保留，数据位截取累加结果的[13:7]部分

- 8: 符号位保留，数据位截取累加结果的[12:6]部分
- 9: 符号位保留，数据位截取累加结果的[11:5]部分
- 10: 符号位保留，数据位截取累加结果的[10:4]部分
- 11: 符号位保留，数据位截取累加结果的[9:3]部分
- 12: 符号位保留，数据位截取累加结果的[8:2]部分
- 13: 符号位保留，数据位截取累加结果的[7:1]部分
- 14: 符号位保留，数据位截取累加结果的[6:0]部分
- 其他: 数据位截取累加结果的[7:0]部分 **(用作访存读操作输出数据格式定义)**

端口协议时序

• APB寄存器配置时序

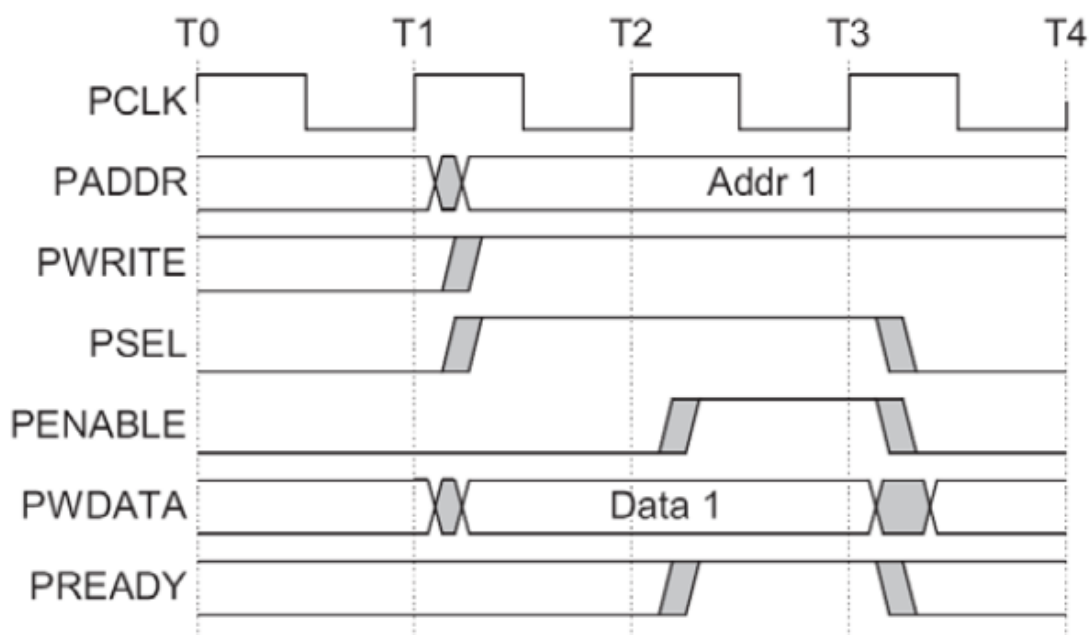


图2-1 无等待的写传输

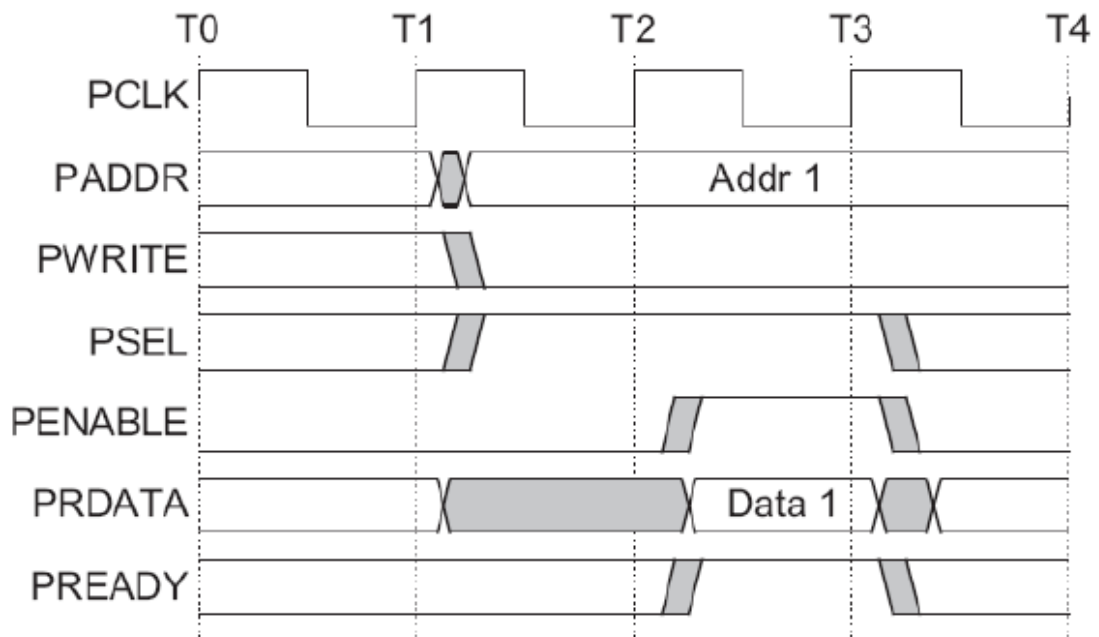
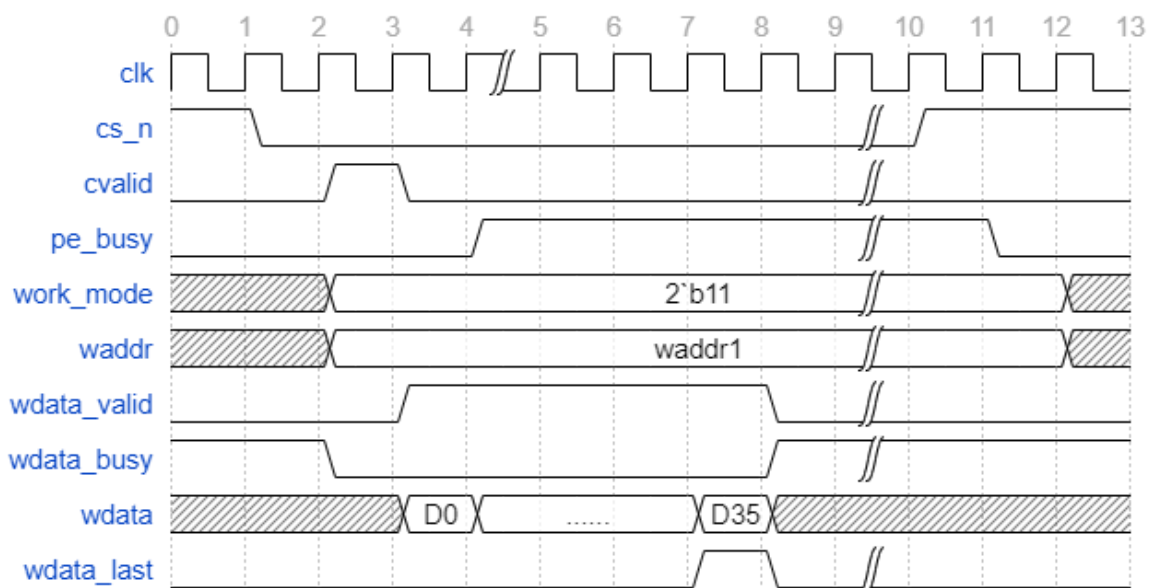


图 2-3 无等待状态读传输

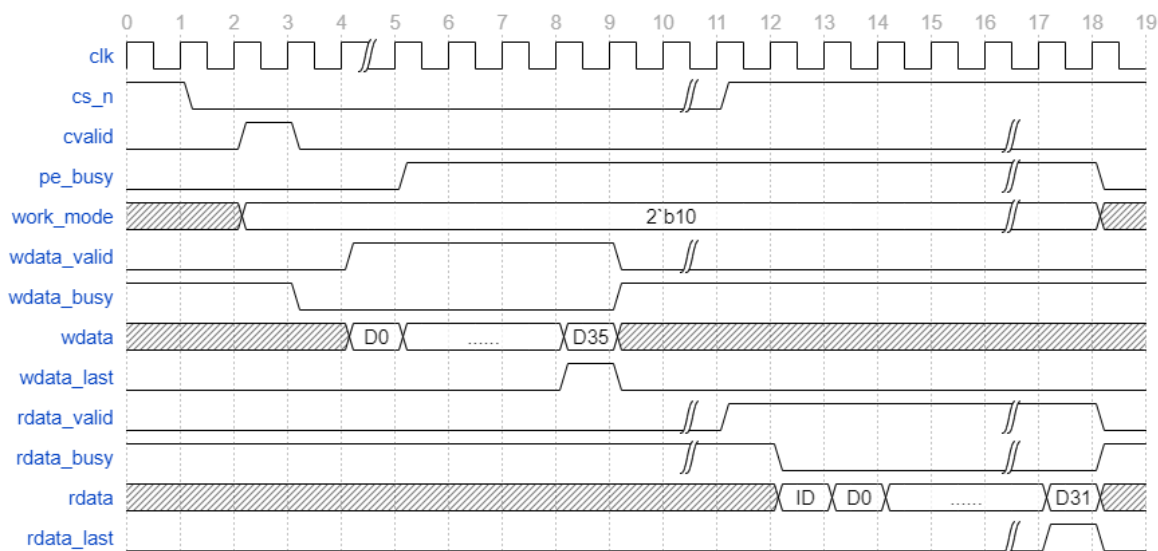
• 访存写时序



外部对PE进行写内存操作流程:

- 1. 使能片选信号cs_n，在<work_mode,waddr>数据线上放置相应的配置数据并拉高cvalid维持一个时钟周期
- 2. 等待wdata_busy信号空闲时通过写数据总线端口<wdata,wdata_valid>写入36 bytes数据流（RRAM阵列中一系列的数据）
- 3. 外部可在写数据完成之后任意时刻拉高cs_n；在此过程中pe_busy信号拉高保持
- 4. 等待pe_busy由高拉低之后标志RRAM写入一系列数据完成

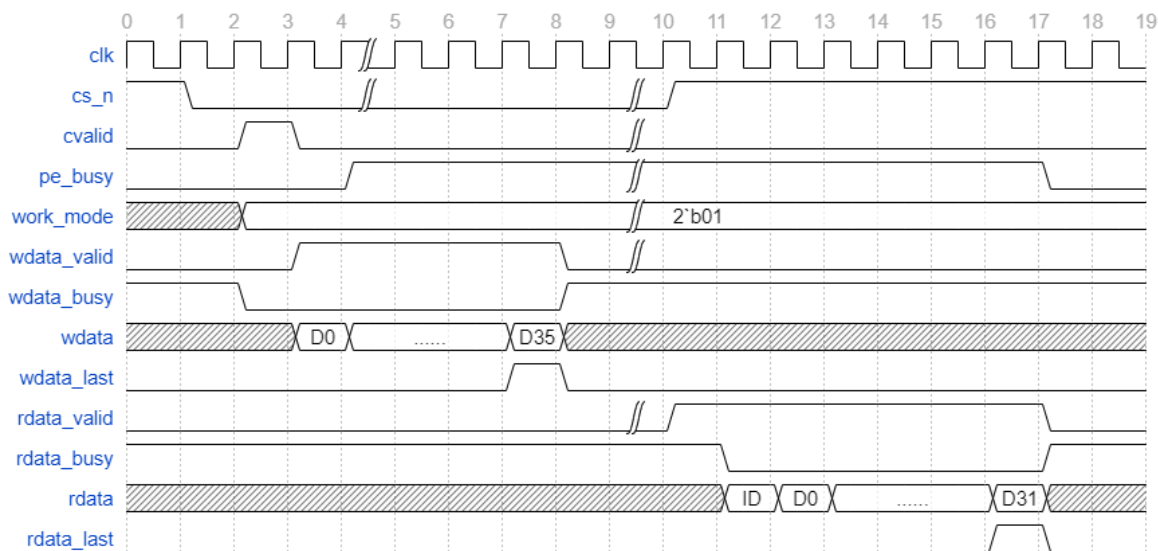
• 访存读时序



外部对PE进行读内存操作:

- 1. 使能片选信号cs_n, 在<work_mode,raddr>数据线上放置相应的配置数据并拉高cvalid维持一个时钟周期
- 2. 等待wdata_busy信号空闲时通过写数据总线端口<wdata,wdata_valid>写入36 bytes数据流 (根据读地址译码, 选中RRAM阵列中某一行的数据; 对应行的byte为1, 其他bytes全为0)
- 3. 外部可在写数据完成之后任意时刻拉高cs_n, 在此过程中pe_busy信号拉高保持
- 4. 当rdata_valid信号拉高时标志RRAM内存读操作完成, 等待外部rdata_busy信号空闲时就可通过读数据总线端口rdata输出33 bytes数据流 (RRAM阵列中一行的数据, PE_ID+32 bytes)
- 5. 等待pe_busy由高拉低之后标志RRAM读出一行数据完成

• 计算时序



外部控制PE进行计算模式操作:

- 1. 使能片选信号cs_n, 在work_mode数据线上放置相应的配置数据并拉高cvalid维持一个时钟周期
- 2. 此后等待wdata_busy信号空闲时就可通过写数据总线端口<wdata,wdata_valid>写入计算数据X (36 bytes)
- 3. 外部可在写数据完成之后任意时刻拉高cs_n, 在此过程中pe_busy信号拉高保持
- 4. 当rdata_valid信号拉高时标志计算操作完成, 等待外部rdata_busy信号空闲时就可通过读数据总线端口rdata读出33 bytes运算结果数据 (PE_ID+32 bytes)

- 5. 等待pe_busy由高拉低之后标志此次计算完成