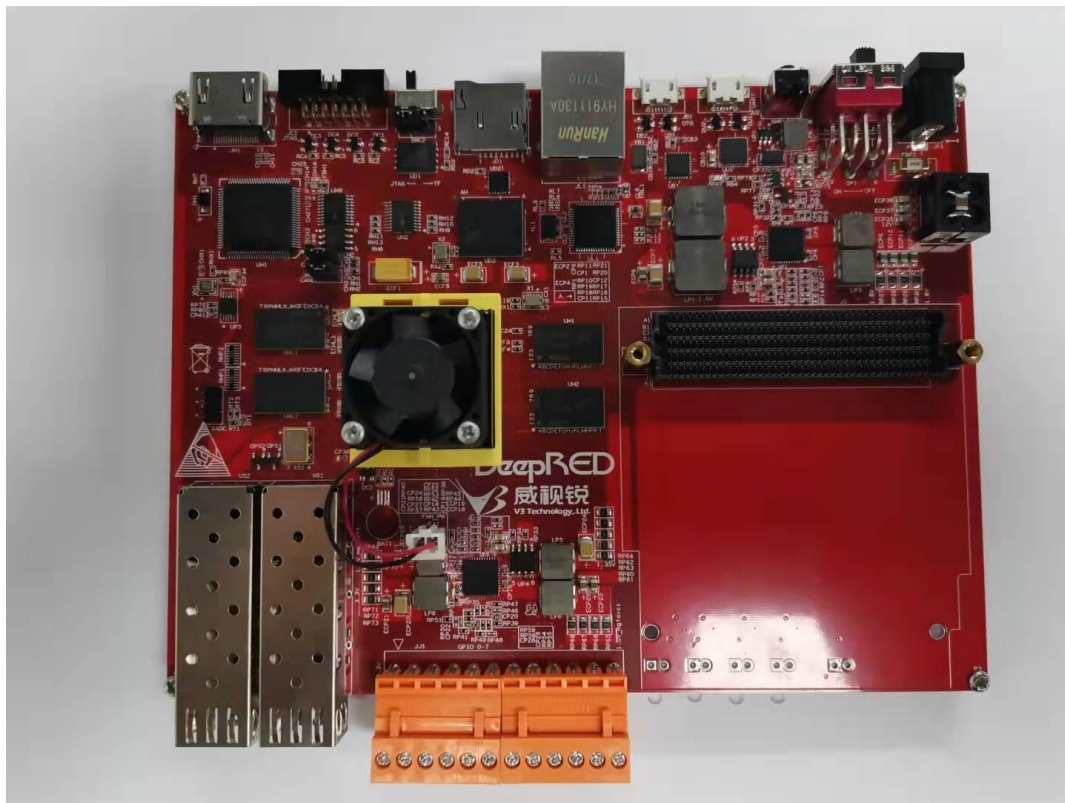


DeepRED 开发板

硬件使用手册

Rev. 1.1



修订记录

版本	修订日期	修订内容
1.0	2018 年 02 月 28 日	V1.0 初始版本
1.1	2021 年 9 月 02 号	V1.1 版本

目 录

目 录.....	III
1 产品概述.....	5
2 板卡硬件结构.....	6
3 硬件功能描述.....	7
3.1 ZYNQ 芯片	7
3.2 DDR3 SDRAM.....	8
3.3 QSPI FLASH.....	12
3.4 e.MMC FLASH.....	13
3.5 时钟配置	14
3.6 USB 转串口	16
3.7 USB2.0 Host 接口	17
3.8 千兆以太网接口	18
3.9 光纤接口（SFP+）	20
3.10 HDMI 输出接口	21
3.11 CAN 总线接口	22
3.12 SD 卡槽	23
3.13 LED 灯	23
3.14 FPGA 配置方法	24
3.14.1 JTAG 在线调试	24
3.14.2 TF 卡配置	25
3.15 FMC 连接器	25
3.16 扩展 IO	29
3.17 供电及电源分配	29

1 产品概述

DeepRED 开发板使用 XILINX 的 ZYNQ-7000 系列 XC7Z035 的解决方案，它采用 ARM+FPGA SOC 技术将双核 ARM Cortex™-A9 处理器和 FPGA 可编程逻辑集成在一颗芯片上。在 ARM 和 FPGA 上分别具有丰富的硬件资源和外围接口。它不但是适合软件工作人员的前期软件验证，也适合与硬件开发人员的硬件设计，加快项目的开发进程。

DeepRED 开发板可配合 ADI AD9361、AD9371、AD9009 集成化射频板卡，实现无线通信、频谱分析和信号处理等方面的应用，可作为无线通信项目开发验证、通信原理教学、无线通信学习、嵌入式开发的理想平台。

FPGA 主要接口及资源

- ✓ 主芯片 FPGA 采用 Xilinx ZYNQ XC7Z035-FFG676-2
- ✓ ARM cortex A9 双核处理器+中等规模可编程逻辑
- ✓ 10/100/1000M 高速以太网，支持标准 TCP/IP 协议栈
- ✓ 标准 USB2.0 OTG 接口可以外接 u 盘、无线模块等标准 USB 设备与主机
- ✓ Micro USB 接口类型的 UART 调试串口
- ✓ 支持 1080P 和 720P 的 HDMI TYPE-A 输出接口
- ✓ 固件保存在 TF 卡中，方便更新与维护
- ✓ Xilinx 标准 FMC-HPC 扩展连接器（向下兼容 LPC 模式）
- ✓ 支持 JTAG 在线调试
- ✓ 1 路汽车专用 CAN 总线接口
- ✓ 8 位可扩展 GPIO 接口
- ✓ ARM 专用内存：1GB DDR3 SDRAM
- ✓ PL 专用内存：1GB DDR3 SDRAM
- ✓ 双路 10Gbps 光纤接口
- ✓ 低功耗
- ✓ 尺寸 180 mm（长）x130 mm（宽）x40 mm（高）

2 板卡硬件结构

板卡由 ZYNQ 嵌入式处理器和电源电路构成，嵌入式处理器采用 Xilinx 新一代可编程逻辑和 CortexA9 双核处理器架构的 ZYNQ 系列 XC7Z035，外设支持 10/100/1000M 以太网、USB OTG、TFcard、UART 串口、Can 总线、10Gbps 光纤接口及 GPIO 等，并可支持威视锐提供的 AD9361、AD9371、AD9009 射频前端板卡，实现软件无线电方面的开发。

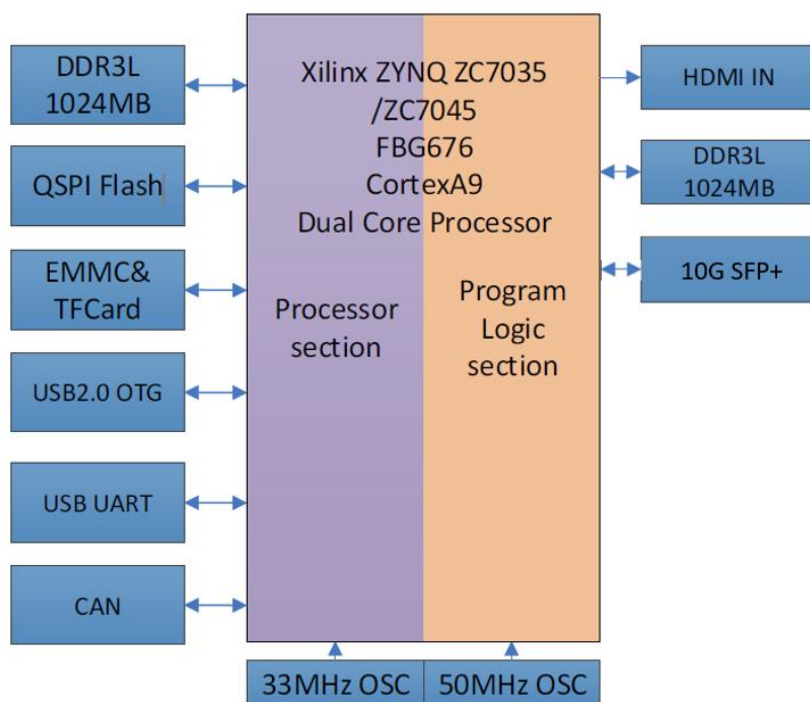


图 1 硬件系统框图

前面板功能

从左至右分别为：10G SFP+接口、GPIO 接口及 CAN 总线接口、A-E 标识的 LED 状态指示灯。

后面板功能



图 2 后面板

从左至右分别为：12V 直流供电、电源开关（左侧关闭，右侧打开）、复位按键、Micro USB 调试串口、Micro USB USB OTG 接口、RJ45 10/100/1000 自适应网口、TFCard、启动模式选择开关(←TFCard; →jtag)、JTAG 调试接口、HDMI 输出。

3 硬件功能描述

3.1 ZYNQ 芯片

DeepRED 开发板使用的是 XILINX 公司的 ZYNQ-7000 系列的芯片，型号为 XC7Z035FFG676-2。芯片的 PS 系统集成了两个 ARM®Cortex™-A9 MPSOC™处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，IIC 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。

ZYNQ 芯片的系统框图如图所示。

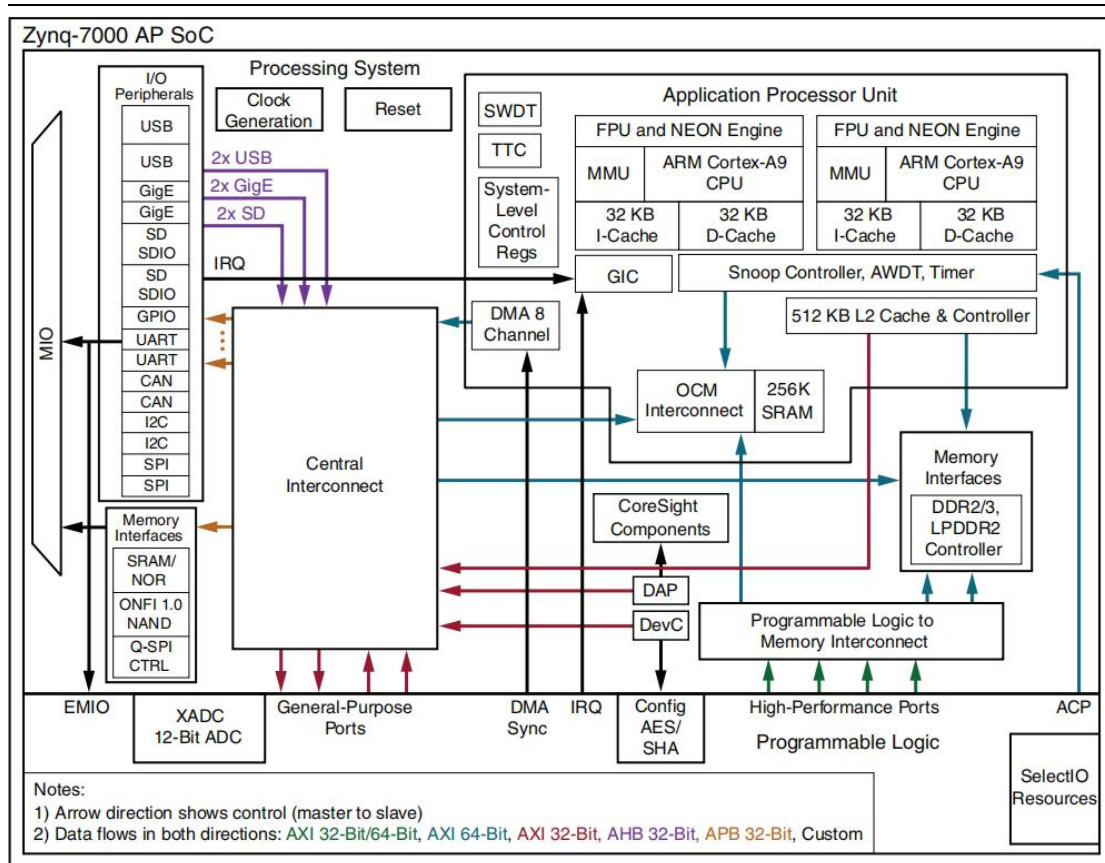


图 3: Zynq-7000 框图

表 1 FPGA 资源对比

Zynq-7000 All Programmable SoC								
Device Name	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100	
Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100	
Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	
Programmable Logic Cells (Approximate ASIC Gates) ⁽³⁾	28K Logic Cells (~430K)	74K Logic Cells (~1.1M)	85K Logic Cells (~1.3M)	125K Logic Cells (~1.9M)	275K Logic Cells (~4.1M)	350K Logic Cells (~5.2M)	444K Logic Cells (~6.6M)	
Look-Up Tables (LUTs)	17,600	46,200	53,200	78,600	171,900	218,600	277,400	
Flip-Flops	35,200	92,400	106,400	157,200	343,800	437,200	554,800	
Extensible Block RAM (# 36 Kb Blocks)	240 KB (60)	380 KB (95)	560 KB (140)	1,060 KB (265)	2,000 KB (500)	2,180 KB (545)	3,020 KB (755)	
Programmable DSP Slices (18x25 MACCs)	80	160	220	400	900	900	2,020	
Peak DSP Performance (Symmetric FIR)	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs	
PCI Express® (Root Complex or Endpoint) ⁽⁴⁾	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8	
Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs							
Security ⁽²⁾	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication							

3.2 DDR3 SDRAM

DeepRED 开发板上配有四片 512MB 的 DDR3 芯片，型号为 MT41K256M16JT，其中 PS 和 PL 端各挂载两片。两片 DDR3 SDRAM 组成 32bit 的总线宽度。PS 端的 DDR3 SDRAM 的最高运行速度可达 533MHz（数据速率

1066Mbps)，两片 DDR3 存储系统直接连接到了 ZYNQ 处理系统（PS）的 BANK502 的存储器接口上。PL 端的 DDR3 SDRAM 的最高运行速度可达 800MHz（数据速率 1600Mbps），两片 DDR3 存储系统连接到了 FPGA 的 BANK33、BANK34 接口上。DDR3 SDRAM 的具体配置如下所示。

表 2 DDR3 SDRAM 配置

位号	芯片型号	容量	厂家
UM1、UM2、UML1、UML2	MT41K256M16JT	256M x 16bit	Micron

PS 端的 DDR3 SDRAM 的硬件连接方式如图所示。

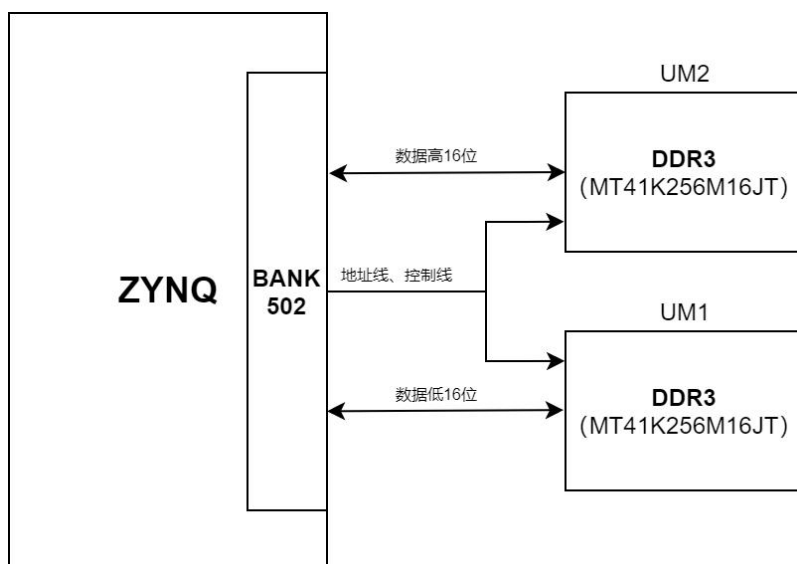


图 4 PS 端 DDR3 SDRAM 硬件连接方式

PL 端的 DDR3 SDRAM 的硬件连接方式如图所示。

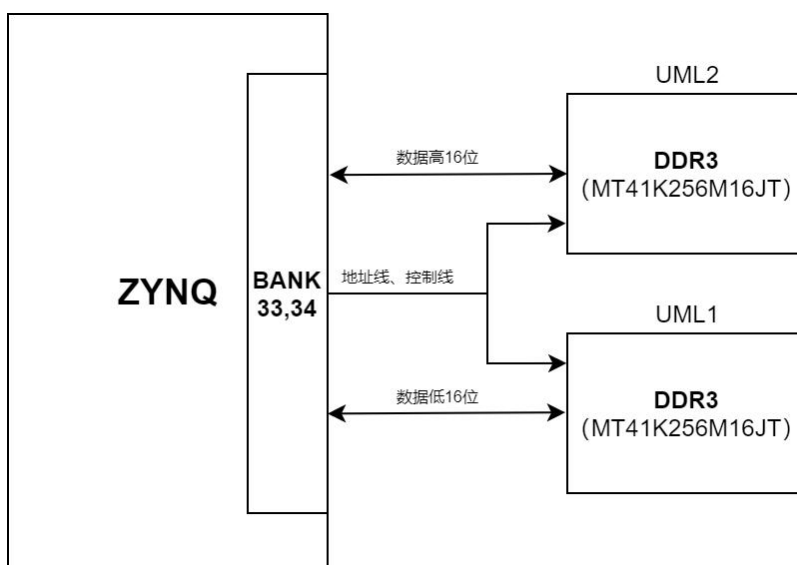


图 5 PL 端 DDR3 SDRAM 硬件连接方式

PL 端 DDR3 SDRAM 引脚分配：

表 3：PL 端 DDR3 引脚分配

信号名	IO 电平	ZYNQ 引脚名	ZYNQ 引脚号
PL_DDR3_A0	SSTL135	IO_L20P_T3_34	B5
PL_DDR3_A1	SSTL135	IO_L19N_T3_VREF_34	C3
PL_DDR3_A2	SSTL135	IO_L19P_T3_34	C4
PL_DDR3_A3	SSTL135	IO_L12N_T1_MRCC_34	F7
PL_DDR3_A4	SSTL135	IO_L12P_T1_MRCC_34	G7
PL_DDR3_A5	SSTL135	IO_L11N_T1_SRCC_34	E7
PL_DDR3_A6	SSTL135	IO_L11P_T1_SRCC_34	F8
PL_DDR3_A7	SSTL135	IO_L10N_T1_34	D5
PL_DDR3_A8	SSTL135	IO_L10P_T1_34	E6
PL_DDR3_A9	SSTL135	IO_L9N_T1_DQS_34	E8
PL_DDR3_A10	SSTL135	IO_L9P_T1_DQS_34	F9
PL_DDR3_A11	SSTL135	IO_L8N_T1_34	D8
PL_DDR3_A12	SSTL135	IO_L8P_T1_34	D9
PL_DDR3_A13	SSTL135	IO_L7N_T1_34	E5
PL_DDR3_A14	SSTL135	IO_L7P_T1_34	F5
PL_DDR3_BA0	SSTL135	IO_L22N_T3_34	A3
PL_DDR3_BA1	SSTL135	IO_L22P_T3_34	A4
PL_DDR3_BA2	SSTL135	IO_L20N_T3_34	B4
PL_DDR3_CAS_B	SSTL135	IO_L23N_T3_34	B1
PL_DDR3_CKE	SSTL135	IO_L15P_T2_DQS_34	C9
PL_DDR3_CLK_N	DIFF_SSTL135	IO_L21N_T3_DQS_34	A5
PL_DDR3_CLK_P	DIFF_SSTL135	IO_L21P_T3_DQS_34	B6
PL_DDR3_CS_B	SSTL135	IO_L24N_T3_34	A2
PL_DDR3_DM0	SSTL135	IO_L1P_T0_33	G4
PL_DDR3_DM1	SSTL135	IO_L7P_T1_33	J1

PL_DDR3_DM2	SSTL135	IO_L16P_T2_33	M2
PL_DDR3_DM3	SSTL135	IO_L19P_T3_33	M7
PL_DDR3_DQ0	SSTL135_T_DCI	IO_L1N_T0_33	F4
PL_DDR3_DQ1	SSTL135_T_DCI	IO_L2P_T0_33	D4
PL_DDR3_DQ2	SSTL135_T_DCI	IO_L2N_T0_33	D3
PL_DDR3_DQ3	SSTL135_T_DCI	IO_L4P_T0_33	D1
PL_DDR3_DQ4	SSTL135_T_DCI	IO_L4N_T0_33	C1
PL_DDR3_DQ5	SSTL135_T_DCI	IO_L5P_T0_33	E2
PL_DDR3_DQ6	SSTL135_T_DCI	IO_L5N_T0_33	E1
PL_DDR3_DQ7	SSTL135_T_DCI	IO_L6P_T0_33	F3
PL_DDR3_DQ8	SSTL135_T_DCI	IO_L7N_T1_33	H1
PL_DDR3_DQ9	SSTL135_T_DCI	IO_L8P_T1_33	H4
PL_DDR3_DQ10	SSTL135_T_DCI	IO_L8N_T1_33	H3
PL_DDR3_DQ11	SSTL135_T_DCI	IO_L10P_T1_33	H2
PL_DDR3_DQ12	SSTL135_T_DCI	IO_L10N_T1_33	G1
PL_DDR3_DQ13	SSTL135_T_DCI	IO_L11P_T1_SRCC_33	L3
PL_DDR3_DQ14	SSTL135_T_DCI	IO_L11N_T1_SRCC_33	K3
PL_DDR3_DQ15	SSTL135_T_DCI	IO_L12P_T1_MRCC_33	J4
PL_DDR3_DQ16	SSTL135_T_DCI	IO_L13P_T2_MRCC_33	M6
PL_DDR3_DQ17	SSTL135_T_DCI	IO_L13N_T2_MRCC_33	M5
PL_DDR3_DQ18	SSTL135_T_DCI	IO_L14P_T2_SRCC_33	L5
PL_DDR3_DQ19	SSTL135_T_DCI	IO_L14N_T2_SRCC_33	L4
PL_DDR3_DQ20	SSTL135_T_DCI	IO_L16N_T2_33	L2
PL_DDR3_DQ21	SSTL135_T_DCI	IO_L17P_T2_33	N4
PL_DDR3_DQ22	SSTL135_T_DCI	IO_L17N_T2_33	M4
PL_DDR3_DQ23	SSTL135_T_DCI	IO_L18P_T2_33	N1
PL_DDR3_DQ24	SSTL135_T_DCI	IO_L20P_T3_33	K5
PL_DDR3_DQ25	SSTL135_T_DCI	IO_L20N_T3_33	J5
PL_DDR3_DQ26	SSTL135_T_DCI	IO_L22P_T3_33	K6

PL_DDR3_DQ27	SSTL135_T_DCI	IO_L22N_T3_33	J6
PL_DDR3_DQ28	SSTL135_T_DCI	IO_L23P_T3_33	N7
PL_DDR3_DQ29	SSTL135_T_DCI	IO_L23N_T3_33	N6
PL_DDR3_DQ30	SSTL135_T_DCI	IO_L24P_T3_33	K8
PL_DDR3_DQ31	SSTL135_T_DCI	IO_L24N_T3_33	K7
PL_DDR3_DQS0_N	DIFF_SSTL135_T_DCI	IO_L3N_T0_DQS_33	F2
PL_DDR3_DQS0_P	DIFF_SSTL135_T_DCI	IO_L3P_T0_DQS_33	G2
PL_DDR3_DQS1_N	DIFF_SSTL135_T_DCI	IO_L9N_T1_DQS_33	K1
PL_DDR3_DQS1_P	DIFF_SSTL135_T_DCI	IO_L9P_T1_DQS_33	K2
PL_DDR3_DQS2_N	DIFF_SSTL135_T_DCI	IO_L15N_T2_DQS_33	N2
PL_DDR3_DQS2_P	DIFF_SSTL135_T_DCI	IO_L15P_T2_DQS_33	N3
PL_DDR3_DQS3_N	DIFF_SSTL135_T_DCI	IO_L21N_T3_DQS_33	L8
PL_DDR3_DQS3_P	DIFF_SSTL135_T_DCI	IO_L21P_T3_DQS_33	M8
PL_DDR3_ODT	SSTL135	IO_L15N_T2_DQS_34	B9
PL_DDR3_RAS_B	SSTL135	IO_L23P_T3_34	C2
PL_DDR3_RESET_B	SSTL135	IO_L12N_T1_MRCC_33	J3
PL_DDR3_WE	SSTL135	IO_L24P_T3_34	B2

3.3 QSPI FLASH

开发板配有 1 片 256MBit 大小的 Quad-SPI FLASH 芯片，FLASH 型号为 S25FL256SAGNFI000，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。QSPI FLASH 的具体型号如表所示。

表 4: QSPI Flash 的型号和参数

位号	芯片类型	容量	厂家
UD1	S25FL256SAGNFI000	256M bit	Spansion

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 MIO 上，在系统设计中需要配置这些 PS 端的 MIO 口功能为 QSPI FLASH 接口。QSPI Flash 原理图部分如图所示。

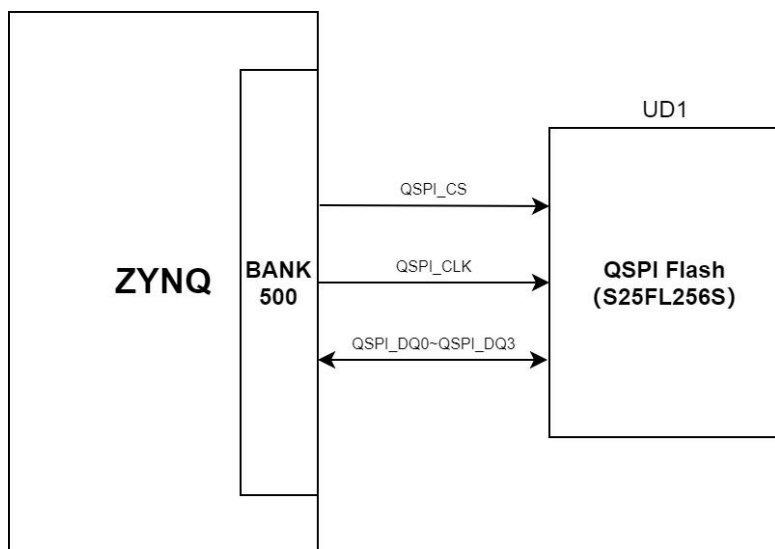


图 6 QSPI FLASH 连接示意图

表 5: QSPI FLASH 引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPI_CS	PS_MIO1_500	D26
QSPI_CLK	PS_MIO6_500	F23
QSPI_DQ0	PS_MIO2_500	E25
QSPI_DQ1	PS_MIO3_500	D25
QSPI_DQ2	PS_MIO4_500	F24
QSPI_DQ3	PS_MIO5_500	C26

3.4 eMMC FLASH

开发板配有 1 片 8GBt 大小的 eMMC FLASH 芯片，FLASH 型号为 MTFC8GLVEA-1M，它使用 3.3V CMOS 电压标准。eMMC FLASH 和 ZYNQ 连接的数据位宽为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件和其他的用户数据文件。eMMC FLASH 的具体型号和相关参数如表所示。

表 6: eMMC FLASH 型号和参数

位号	芯片类型	容量	厂家
UD3	MTFC8GLVEA-1M	8G Byte	Micro

eMMC FLASH 连接到了 ZYQN 芯片 PS 部分 BANK500 的 MIO 上，在系统中需要配置这些 PS 端的 MIO 功能为 eMMC 接口。eMMC Flash 在原理图中的部分如下图所示。

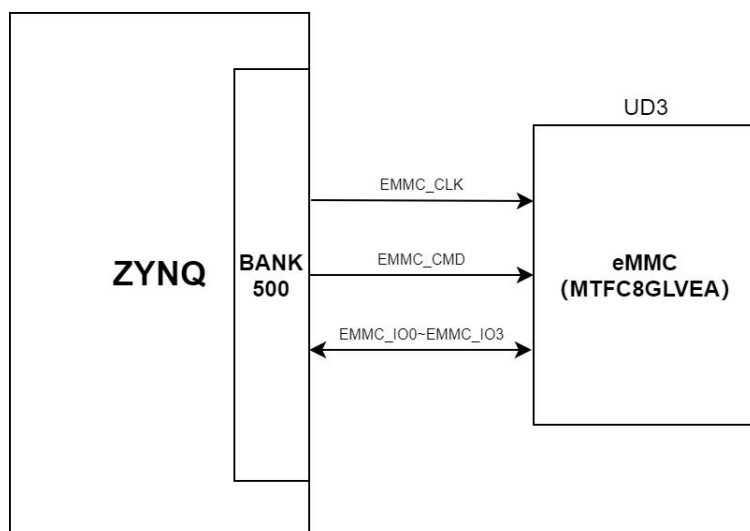


图 7 eMMC Flash 连接示意图

表 7: EMMC 引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
EMMC_CLK	PS_MIO12_500	A23
EMMC_CMD	PS_MIO11_500	B26
EMMC_IO0	PS_MIO10_500	A25
EMMC_IO1	PS_MIO13_500	B25
EMMC_IO2	PS_MIO14_500	D23
EMMC_IO3	PS_MIO15_500	C24

3.5 时钟配置

开发板上分别为 PS 系统，PL 逻辑部分和 GTX 收发器提供了参考时钟，使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图所示：

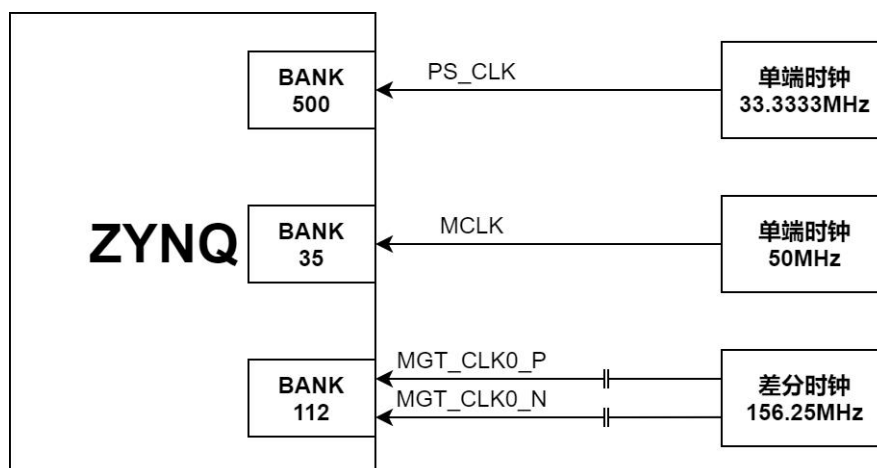


图 8 开发板时钟源

表 8: 时钟引脚分配

信号名称	ZYNQ 引脚
PS_CLK	B24
MCLK	D15
MGT_CLK0_P	R6
MGT_CLK0_N	R5

PS 时钟源

ZYNQ 芯片通过开发板上的 X1 晶振为 PS 部分提供 33.3333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 管脚上。其原理图如图所示：

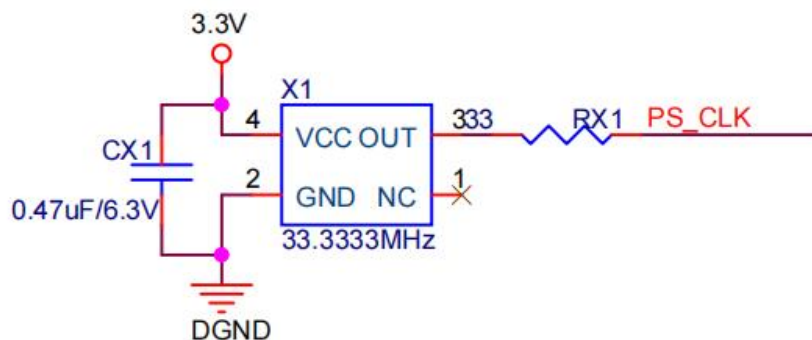


图 9 PS 部分有源晶振

PL 系统时钟源

开发板提供了一个单端 50MHz 的 PL 系统时钟源。晶振输出连接到了 FPGA BANK35 的全局时钟(MRCC), 这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源原理图如图所示:

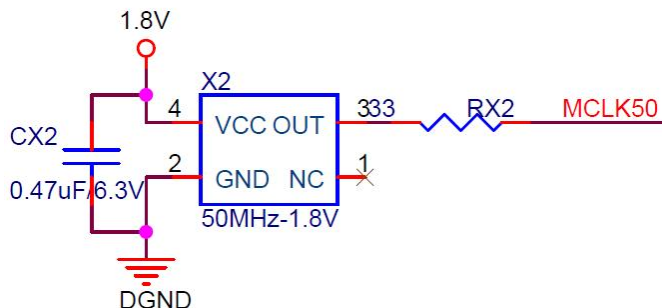


图 10 PL 系统时钟源

GTX 参考时钟

开发板为 GTX 收发器提供了 156.25MHz 的参考时钟。参考时钟连接到 BANK112 的参考时钟输入 REFCLK0P/REFCLK0N。该时钟原理图如图所示:

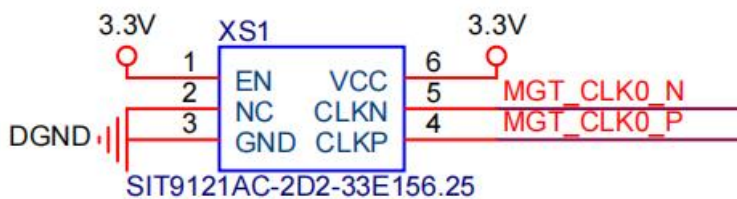


图 11 GTX 参考时钟

3.6 USB 转串口

开发板上配备了一个 UART 转 USB 接口, 用于系统调试。转换芯片采用 Silicon 公司的 CP2103-GM 芯片, USB 接口采用 Micro USB 接口, 可以用一根 USB 线将它连接到 PC 的 USB 口进行串口数据通信。

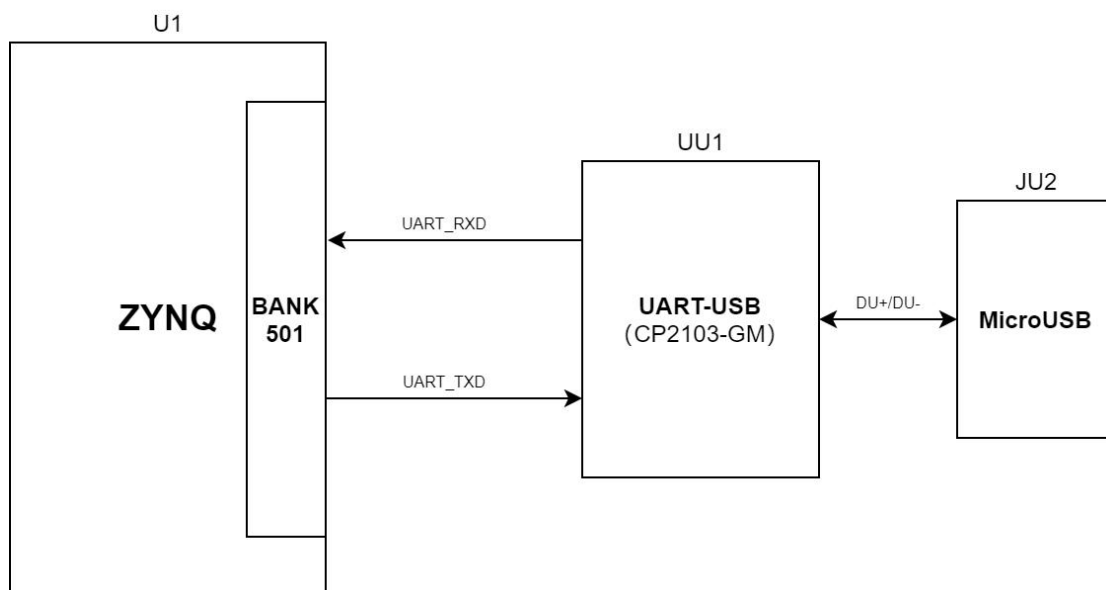


图 12 USB 转串口连接示意图

表 9: UART 引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
UART0_RX	PS_MIO46_501	E17
UART0_TX	PS_MIO47_501	B19

3.7 USB2.0 Host 接口

开发板上配备了一个 USB2.0 HOST 接口,USB2.0 收发器采用的是一个 1.8V 的高速的支持 ULPI 标准接口的 USB3320C-EZK 芯片。USB 接口采用 Micro USB 接口,可以用一根 USB 线将它连接到 PC 的 USB 口进行数据通信。

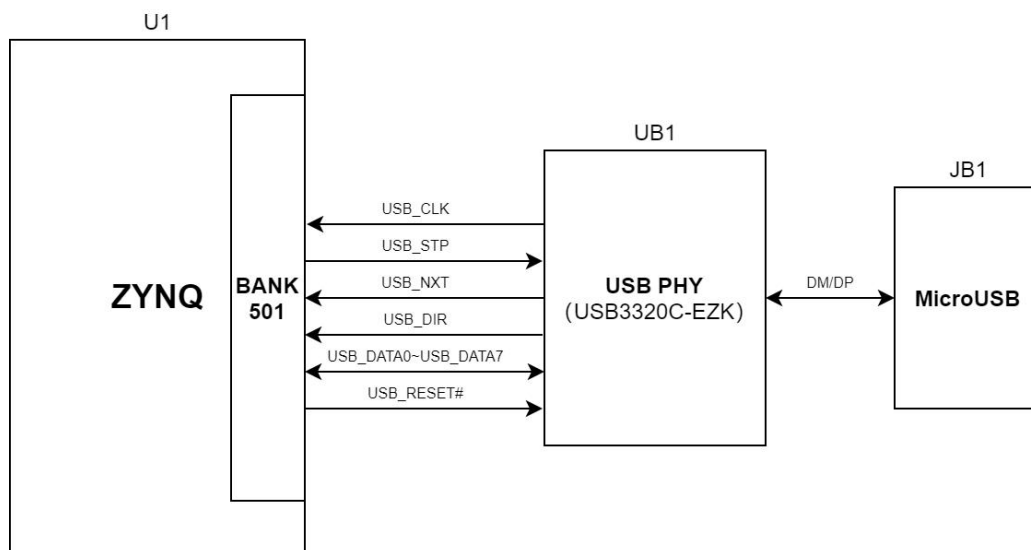


图 13 ZYNQ7000 和 USB 芯片连接示意图

表 10: USB 引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
USB_DATA4	PS_MIO28_501	J18	USB 数据 bit4
USB_DIR	PS_MIO29_501	E20	USB 数据方向信号
USB_STP	PS_MIO30_501	K19	USB 停止信号
USB_NXT	PS_MIO31_501	E21	USB 下一数据信号
USB_DATA0	PS_MIO32_501	K17	USB 数据 bit0
USB_DATA1	PS_MIO33_501	E22	USB 数据 bit1
USB_DATA2	PS_MIO34_501	J16	USB 数据 bit2
USB_DATA3	PS_MIO35_501	D19	USB 数据 bit3
USB_CLKOUT	PS_MIO36_501	K16	USB 时钟信号
USB_DATA5	PS_MIO37_501	D20	USB 数据 bit5
USB_DATA6	PS_MIO38_501	D21	USB 数据 bit6
USB_DATA7	PS_MIO39_501	C21	USB 数据 bit7
USB_RESET#	PS_MIO9_500	D24	USB 复位信号

3.8 千兆以太网接口

开发板上有一路千兆以太网接口，以太网接口是连接到 PS 系统端。以太网芯片采用 Marvell 公司的 88E1116 以太网 PHY 芯片为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端的 BANK501 的 MIO 接口上。

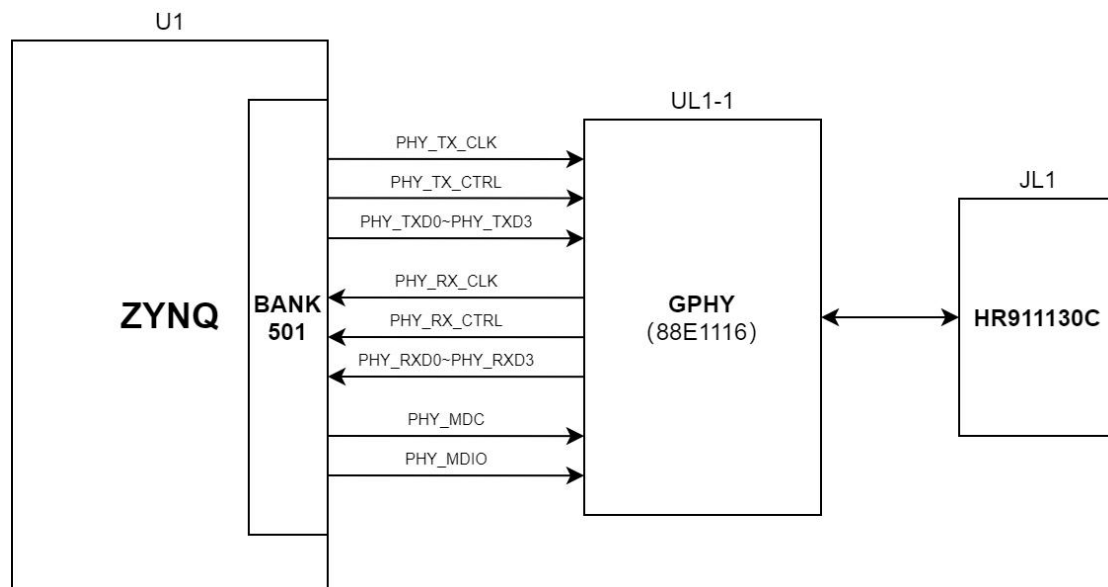


图 14 GPHY 连接示意图

表 11: 以太网引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY_TX_CLK	PS_MIO16_501	G21	发送时钟
PHY_TXD0	PS_MIO17_501	G17	发送数据 bit0
PHY_TXD1	PS_MIO18_501	G20	发送数据 bit1
PHY_TXD2	PS_MIO19_501	G19	发送数据 bit2
PHY_TXD3	PS_MIO20_501	H19	发送数据 bit3
PHY_TX_CTRL	PS_MIO21_501	F22	发送使能信号
PHY_RX_CLK	PS_MIO22_501	G22	接收时钟
PHY_RXD0	PS_MIO23_501	F20	接收数据 bit0
PHY_RXD1	PS_MIO24_501	J19	接收数据 bit1
PHY_RXD2	PS_MIO25_501	F19	接收数据 bit2
PHY_RXD3	PS_MIO26_501	H17	接收数据 bit3
PHY_RX_CTRL	PS_MIO27_501	F18	接收使能信号

PHY_MDC	PS_MIO52_501	A20	MDIO 管理时钟
PHY_MDIO	PS_MIO53_501	A19	MDIO 管理数据

3.9 光纤接口 (SFP+)

开发板上有两个 10G 光纤接口，用户可以购买 SFP+ 模块插入到 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 ZYNQ 的 BANK112 的 GYX 收发器的两路 TX/RX 相连接，TX 信号和 RX 信号都是以差分信号方式连接 ZYNQ 和光模块，每路 TX 发送和 RX 接受数据速率高达 10GB/s。BANK112 的 GTX 收发器的参考时钟由 156.25MHz 差分时钟提供。

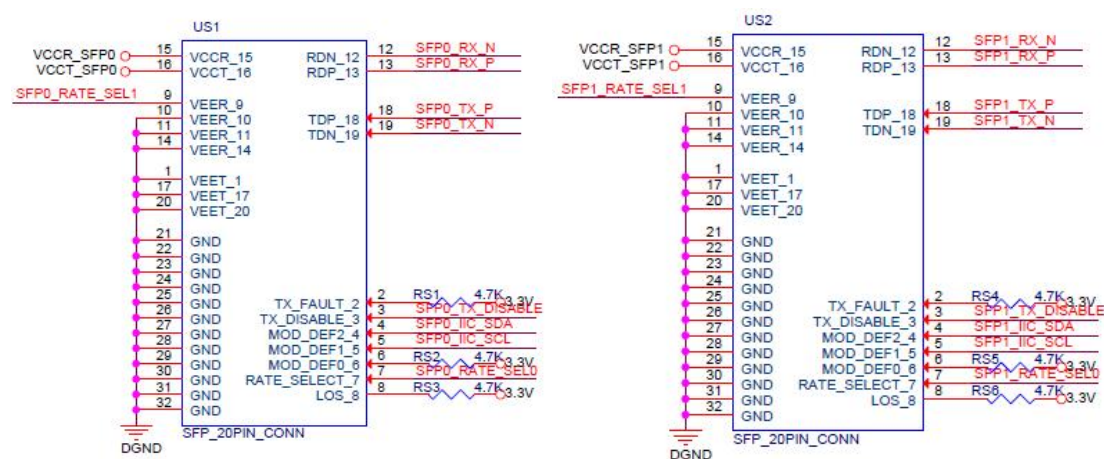


图 15 10G 光模块(SFP+)原理图

表 12 10G 光模块(SFP+)管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
SFP0_RX_N	MGTXRXN0_112	AB3
SFP0_RX_P	MGTXRXN0_112	AB4
SFP0_TX_N	B12MGTXTXN0_112	AA1
SFP0_TX_P	MGTXTXP0_112	AA2
SFP1_RX_N	MGTXRXN1_112	Y3
SFP1_RX_P	MGTXRXN1_112	Y4
SFP1_TX_N	MGTXTXN1_112	W1
SFP1_TX_P	MGTXTXP1_112	W2

MGT_CLK0_N	MGTREFCLK0N_112	R5
MGT_CLK0_P	MGTREFCLK0P_112	R6
SFP0_IIC_SCL_L	IO_L19P_T3_35	D13
SFP0_IIC_SDA_L	IO_L18N_T2_AD13N_35	A17
SFP0_TX_DIS_L	IO_L20N_T3_AD6N_35	B14
SFP1_IIC_SCL_L	IO_L20P_T3_AD6P_35	C14
SFP1_IIC_SDA_L	IO_L19N_T3_VREF_35	C13
SFP1_TX_DIS_L	IO_L21P_T3_DQS_AD14P_35	A15

3.10 HDMI 输出接口

DeepRED 支持 HDMI 输出，采用 ANALOG 公司的 ADV7511 编码芯片，最高支持 1080P@60Hz 输出。该芯片提供了完整的 HMID 数字视频/音频传输功能。ADV7511 的视频数字接口和 ZYNQ PL 部分的 BANK35 IO 相连，I2C 接口和 ZYNQ PS 部分的 MIO 相连，ZYNQ 系统通过 I2C 管脚对 ADV7511 进行初始化和控制操作。

表 13 HDMI 输出接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
HDMI_R_B0	IO_L1P_T0_AD0P_35	F12
HDMI_R_B1	IO_L1N_T0_AD0N_35	E12
HDMI_R_B2	IO_L2P_T0_AD8P_35	E10
HDMI_R_B3	IO_L2N_T0_AD8N_35	D10
HDMI_R_B4	IO_L3P_T0_DQS_AD1P_35	G10
HDMI_R_B5	IO_L3N_T0_DQS_AD1N_35	F10
HDMI_R_B6	IO_L4P_T0_35	E11
HDMI_R_B7	IO_L4N_T0_35	D11
HDMI_R_G0	IO_L5P_T0_AD9P_35	G12
HDMI_R_G1	IO_L5N_T0_AD9N_35	G11
HDMI_R_G2	IO_L6P_T0_35	F13

HDMI_R_G3	IO_L6N_T0_VREF_35	E13
HDMI_R_G4	IO_L7P_T1_AD2P_35	H13
HDMI_R_G5	IO_L7N_T1_AD2N_35	H12
HDMI_R_G6	IO_L8P_T1_AD10P_35	K13
HDMI_R_G7	IO_L8N_T1_AD10N_35	J13
HDMI_R_R0	IO_L9P_T1_DQS_AD3P_35	K15
HDMI_R_R1	IO_L9N_T1_DQS_AD3N_35	J15
HDMI_R_R2	IO_L10P_T1_AD11P_35	G16
HDMI_R_R3	IO_L10N_T1_AD11N_35	G15
HDMI_R_R4	IO_L11P_T1_SRCC_35	G14
HDMI_R_R5	IO_L11N_T1_SRCC_35	F14
HDMI_R_R6	IO_L14P_T2_AD4P_SRCC_35	F15
HDMI_R_R7	IO_L14N_T2_AD4N_SRCC_35	E15
HDMI_R_HS	IO_L15P_T2_DQS_AD12P_35	C17
HDMI_R_VS	IO_L15N_T2_DQS_AD12N_35	C16
HDMI_R_DE	IO_L16P_T2_35	E16
HDMI_R_CLK	IO_L12P_T1_MRCC_35	J14
HDMI_L_SPDIF_OUT	IO_L17N_T2_AD5N_35	B15
HDMI_R_SPDIF	IO_L17P_T2_AD5P_35	B16
HDMI_L_INT	IO_L16N_T2_35	D16
HDMI_SCL	PS_MIO50_501	B22
HDMI_SDA	PS_MIO51_501	B20

3.11 CAN 总线接口

DeepRED 支持汽车计算机控制系统和嵌入式工业控制局域网的标准 CAN (Controller Area Network, CAN)总线接口，使用 PS 端内置 CAN 控制器，通过 JJ1 连接器与外设互连。

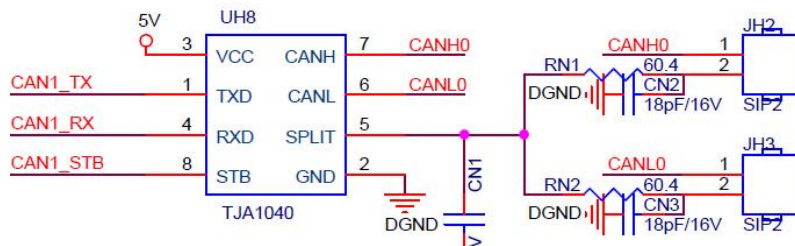


图 16 CAN 总线原理图

表 14 CAN 总线管脚分配

信号名称	FPGA 管脚标号	PS 端 MIO 编号
CAN1_TX	B21	MIO48
CAN1_RX	A18	MIO49
CAN1_STB	B17	

3.12 SD 卡槽

DeepRED 包含一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，用于存储 ZYQN 芯片的 BOOT 程序，Linux 操作系统内核，文件系统以及其他的用户数据文件。

表 15: SD 卡引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SD_CLK	PS_MIO40_501	C22	SD 时钟信号
SD_CMD	PS_MIO41_501	C19	SD 命令信号
SD_DAT0	PS_MIO42_501	F17	SD 数据 Data0
SD_DAT1	PS_MIO43_501	D18	SD 数据 Data1
SD_DAT2	PS_MIO44_501	E18	SD 数据 Data2
SD_DAT3	PS_MIO45_501	C18	SD 数据 Data3

3.13 LED 灯

DeepRED 提供四个 LED 指示灯（A/B/C/D）位于前面板 HDMI 接口下方，供用户输出调试状态，高电平点亮。

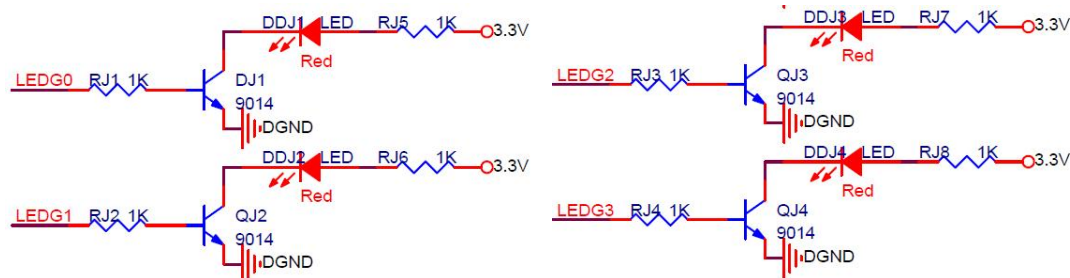


图 17 LED 指示灯原理图

LED 指示灯管脚分配情况：

表 16：LED 指示灯管脚分配

信号名称	ZYNQ 引脚号	备注
LEDG0	G9	对应 LED A，高电平点亮
LEDG1	H7	对应 LED B，高电平点亮
LEDG2	H6	对应 LED C，高电平点亮
LEDG3	J10	对应 LED D，高电平点亮

3.14 FPGA 配置方法

DeepRED 支持多种 FPGA 配置方法，出厂默认设置 TF 卡启动模式，出厂 TF 卡中已经存储了 DeepRED 的 Ubuntu 系统镜像。此外板卡预留 JTAG 接口用于 FPGA 调试。上电启动模式由套件后面板的拨码开关选择，左侧是 TF 卡启动，右侧是 JTAG 启动。请注意：当处于 TF 启动模式时，在 FPGA 配置成功后可以使用 JTAG 下载电缆进行在线调试，比如通过 chipscope 采集观测 FPGA 内部信号波形，但是不可以下载 FPGA 固件，只有拨码开关处在 JTAG 模式时才可以下载 FPGA 的固件。

3.14.1 JTAG 在线调试

板卡后面板右侧的 JTAG 下载接口，采用 2.0mm 间距 14pin 连接器，请使用威视锐公司提供的 redcable-xilinx 下载电缆，当使用第三方下载电缆时，请注意下载电缆的接口定义，防止接线错误烧毁板卡及下载器。



图 18 JTAG 下载接口与下载电缆

JTAG 接口定义如下:

表 17 下载接口定义

PIN	NAME	PIN	NAME
1	GND	2	3.3V
3	GND	4	TMS
5	GND	6	TCK
7	GND	8	TDO
9	GND	10	TDI
11	GND	12	NC
13	GND	14	NC

3.14.2 TF 卡配置

ZYNQ 的 TF 卡启动需要制作 BOOT.bin 镜像，必须由 CPU 参与进行加载。

3.15 FMC 连接器

DeepRED 带有一个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者威视锐的各种 FMC 模块。FMC 扩展口包含 36 对差分信号和 6 对 GTX 收发器信号。

FMC 扩展口的 36 对差分信号连接到了 ZYNQ 芯片的 BANK12,13 的 IO 上，电平标准为 VADJ，差分信号支持 LVDS 数据通信。6 对 GTX 收发器信号连接到了 BANK111 和 BANK112。ZYNQ 和 FMC 连接器的原理图如图所示。

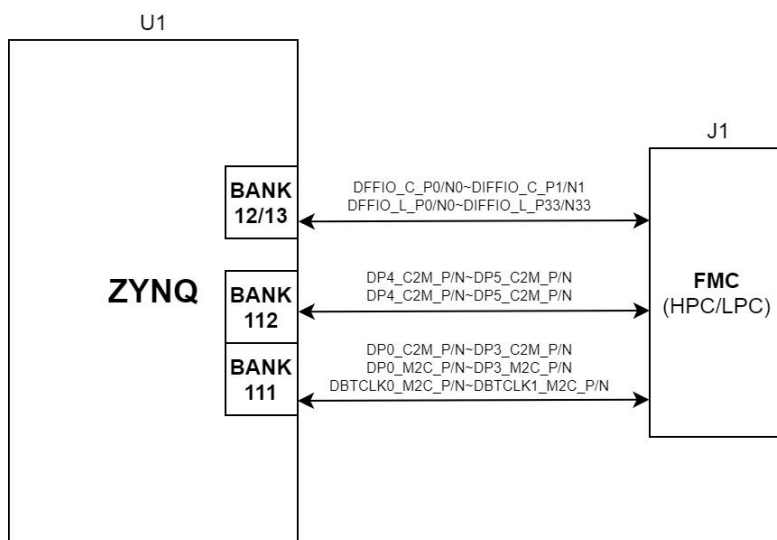


图 19 FMC 连接器连接示意图

表 18: FMC 接口引脚分配

FMC 序号	ZYNQ 引脚名	ZYNQ 引脚号	FMC 序号	ZYNQ 引脚名	ZYNQ 引脚号
C2	DP0_C2M_P	AF8	D1	EGPIO_L_PG	W14
C3	DP0_C2M_N	AF7	D4	DBTCLK0_M2C_P	W6
C6	DP0_M2C_P	AD8	D5	DBTCLK0_M2C_N	W5
C7	DP0_M2C_N	AD7	D8	DFFIO_L_P1	Y17
C10	DFFIO_L_P6	AF19	D9	DFFIO_L_N1	AA17
C11	DFFIO_L_N6	AF20	D11	DFFIO_L_P5	AC17
C14	DFFIO_L_P10	AA25	D12	DFFIO_L_N5	AC16
C15	DFFIO_L_N10	AB25	D14	DFFIO_L_P9	AE16
C18	DFFIO_L_P14	AD23	D15	DFFIO_L_N9	AE15
C19	DFFIO_L_N14	AD24	D17	DFFIO_L_P13	AD25
C22	DFFIO_L_P18	AE17	D18	DFFIO_L_N13	AD26
C23	DFFIO_L_N18	AF17	D20	DFFIO_L_P17	AB21
C26	DFFIO_L_P27	Y16	D21	DFFIO_L_N17	AB22
C27	DFFIO_L_N27	Y15	D23	DFFIO_L_P23	AE22
C30	EGPIO_L_SCL	V19	D24	DFFIO_L_N23	AF22
C31	EGPIO_L_SDA	V18	D26	DFFIO_L_P26	AD16

C34	NC	N/A	D27	DFFIO_L_N26	AD15
C35	12V	N/A	D29	NC	N/A
C37	12V	N/A	D30	NC	N/A
C39	3.3V	N/A	D31	NC	N/A
			D32	NC	N/A
			D33	NC	N/A
			D34	NC	N/A
			D35	NC	N/A
			D36	3.3V	N/A
			D38	3.3V	N/A
			D40	3.3V	N/A
G2	DFFIO_CC_P1	AC14	H1	NC	N/A
G3	DFFIO_CC_N1	AD14	H2	EGPIO_L_PRSENT	W17
G6	DFFIO_L_P0	AC21	H4	DFFIO_CC_P0	AC13
G7	DFFIO_L_N0	AC22	H5	DFFIO_CC_N0	AD13
G9	DFFIO_L_P3	AE11	H7	DFFIO_L_P2	AC12
G10	DFFIO_L_N3	AF10	H8	DFFIO_L_N2	AD11
G12	DFFIO_L_P8	AB11	H10	DFFIO_L_P4	AE10
G13	DFFIO_L_N8	AB10	H11	DFFIO_L_N4	AD10
G15	DFFIO_L_P12	Y12	H13	DFFIO_L_P7	AA22
G16	DFFIO_L_N12	Y11	H14	DFFIO_L_N7	AA23
G18	DFFIO_L_P16	AE25	H16	DFFIO_L_P11	AB26
G19	DFFIO_L_N16	AE26	H17	DFFIO_L_N11	AC26
G21	DFFIO_L_P20	AF24	H19	DFFIO_L_P15	AA24
G22	DFFIO_L_N20	AF25	H20	DFFIO_L_N15	AB24
G24	DFFIO_L_P22	AB17	H22	DFFIO_L_P19	AE23
G25	DFFIO_L_N22	AB16	H23	DFFIO_L_N19	AF23
G27	DFFIO_L_P25	AB15	H25	DFFIO_L_P21	W16

G28	DFFIO_L_N25	AB14	H26	DFFIO_L_N21	W15
G30	DFFIO_L_P29	AE13	H28	DFFIO_L_P24	AA15
G31	DFFIO_L_N29	AF13	H29	DFFIO_L_N24	AA14
G33	DFFIO_L_P31	W13	H31	DFFIO_L_P28	AF15
G34	DFFIO_L_N31	Y13	H32	DFFIO_L_N28	AF14
G36	DFFIO_L_P33	AA13	H34	DFFIO_L_P30	Y10
G37	DFFIO_L_N33	AA12	H35	DFFIO_L_N30	AA10
G39	VADJ	N/A	H37	DFFIO_L_P32	AB12
			H38	DFFIO_L_N32	AC11
			H40	VADJ	N/A
A2	DP1_M2C_P	AE6	B1	NC	N/A
A3	DP1_M2C_N	AE5	B4	NC	N/A
A6	DP2_M2C_P	AC6	B5	NC	N/A
A7	DP2_M2C_N	AC5	B8	NC	N/A
A10	DP3_M2C_P	AD4	B9	NC	N/A
A11	DP3_M2C_N	AD3	B12	NC	N/A
A14	DP4_M2C_P	V4	B13	NC	N/A
A15	DP4_M2C_N	V3	B16	NC	N/A
A18	DP5_M2C_P	T4	B17	NC	N/A
A19	DP5_M2C_N	T3	B20	DBTCLK1_M2C_P	AA6
A22	DP1_C2M_P	AF4	B21	DBTCLK1_M2C_N	AA5
A23	DP1_C2M_N	AF3	B24	NC	N/A
A26	DP2_C2M_P	AE2	B25	NC	N/A
A27	DP2_C2M_N	AE1	B28	NC	N/A
A30	DP3_C2M_P	AC2	B29	NC	N/A
A31	DP3_C2M_N	AC1	B32	NC	N/A
A34	DP4_C2M_P	U2	B33	NC	N/A
A35	DP4_C2M_N	U1	B36	NC	N/A

A38	DP5_C2M_P	R2	B37	NC	N/A
A39	DP5_C2M_N	R1	B40	NC	N/A

3.16 扩展 IO

DeepRED 提供了 1 个 3.96mm 间距的 12 针扩展口，用于用户自定义使用。扩展口有 12 个信号，其中 3.3V 电源 1 路，地 1 路，用户 IO 口 8 路，CAN 电平信号 2 路。

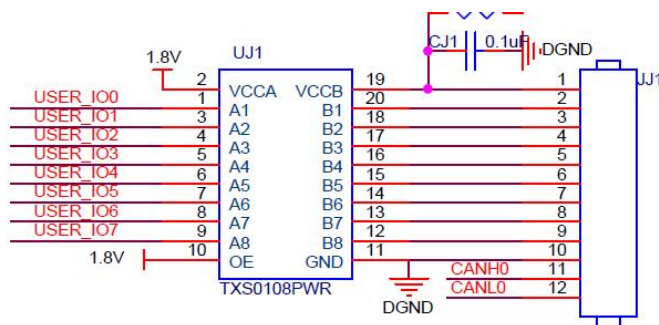


图 20 GPIO 原理图

表 19 GPIO 管脚分配

信号名称	FPGA 管脚标号	备注
USER_IO0	A14	对应 JJ1 连接器 PIN2 管脚
USER_IO1	C12	对应 JJ1 连接器 PIN3 管脚
USER_IO2	B12	对应 JJ1 连接器 PIN4 管脚
USER_IO3	C11	对应 JJ1 连接器 PIN5 管脚
USER_IO4	B11	对应 JJ1 连接器 PIN6 管脚
USER_IO5	A13	对应 JJ1 连接器 PIN7 管脚
USER_IO6	A12	对应 JJ1 连接器 PIN8 管脚
USER_IO7	K12	对应 JJ1 连接器 PIN9 管脚

3.17 供电及电源分配

板卡采用直流 12V 供电，12V 系统电源通过 DCDC 变换不同的电压驱动板卡上的 FPGA 及其它电路。FPGA 不同区域的接口电平如下：

表 20 : FPGA BANK 电压

Bank	电平 (V)	外设
------	--------	----

Bank0	3.3	配置电路
Bank12	VADJ 默认 2.5V	FMC-LPC 部分
Bank13		
Bank33	1.35	PL 端 DDR
Bank34	1.35	PL 端 DDR 及调试 LED
Bank35	1.8	HDMI 输出、50MHz 晶振及调试 IO(USER IO 等)
Bank112	GTX	SFP+及部分 FMC-HPC 接口
Bank111	GTX	FMC-HPC 接口
Bank500	3.3	EMMC、QSPI、33MHz 晶振
Bank501	1.8	USB OTG, 网络, TFcard, UART
Bank502	1.35	PS 端 DDR3L(MT41K256M16JT x2)