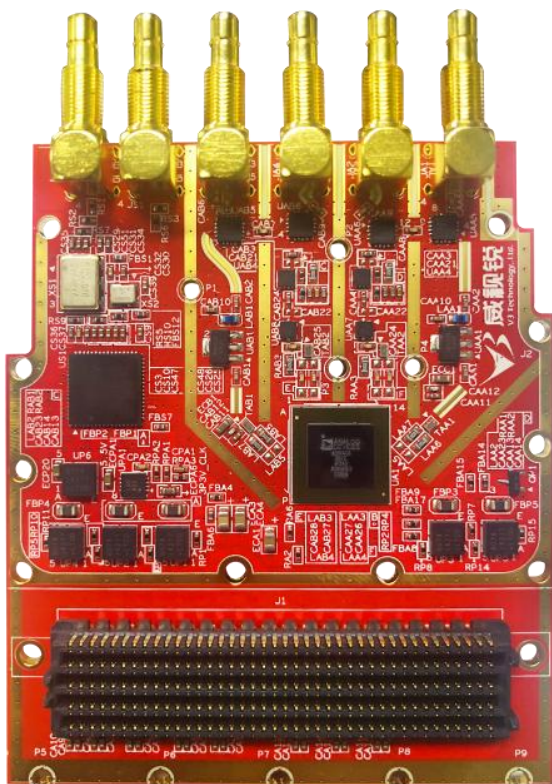


FMC Wideband RF Transceiver AD9371 based



简介:

RFMC7000 是一款基于 VITA57.1 FMC 架构，高性能、宽带、高集成射频字卡。

RFMC7000 以 ADI 公司的 RF 捷变收发器 AD9371 为处理核心，射频可以覆盖 300MHz~6GHz 频段，并集成了双通道收发链路。发送实时带宽最大 250MHz，接收带宽最大 100MHz。AD9371 和前代产品相比有着更大的带宽、更好的灵敏度、动态范围和 IP3 性能。RFMC7000 比较适合应用于通用软件无线电平台。

威武纪提供 RFMC7000 的 FPGA 参考代码，用户可以方便的通过 SDK 软件修改射频工作状态。威视锐科技也提供了 JESD204B 参考设计，用户可以快速验证并作系统集成。

主要特点:

- ✓ AD9371
- ✓ 可调范围: 300MHz~6GHz
- ✓ 16bit ADC & 14bit ADC
- ✓ 支持半双工全双工，TDD/FDD 模式
- ✓ RF 阻抗匹配 50 Ω
- ✓ RX 带宽: 8MHz~100MHz
- ✓ TX 合成带宽: 250MHz
- ✓ 集成功率放大器 (14dB@2GHz)，支持发射功率最高 10dBm 输出
- ✓ 支持内部或者外部参考时钟
- ✓ JESD204B 数字接口

应用场景:

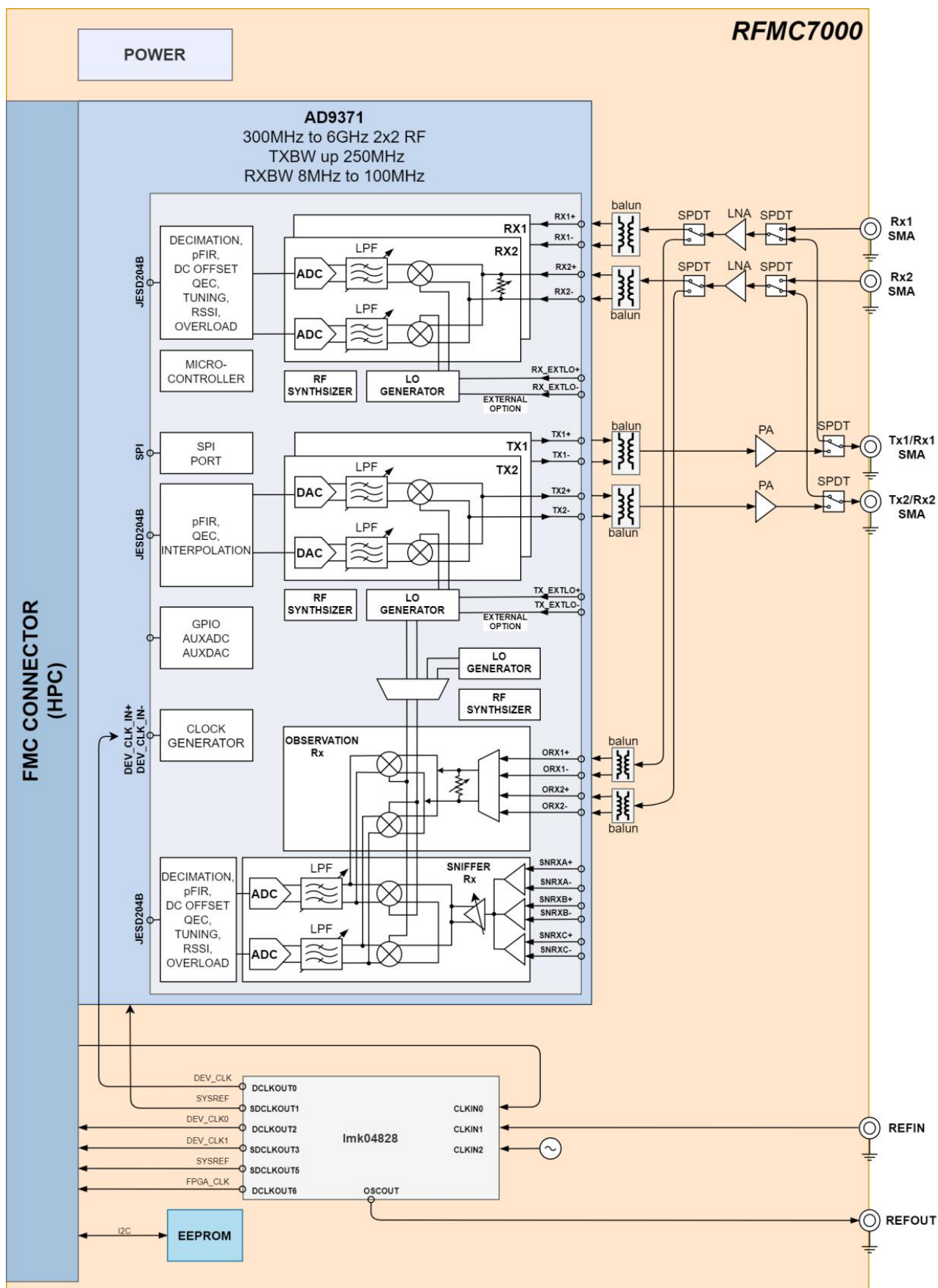
- ✓ 3G/4G micro and macro base stations (BTS)
- ✓ FDD and TDD active antenna systems
- ✓ Microwave, nonline of sight (NLOS) backhaul systems
- ✓ Electronic warfare
- ✓ Massive MIMO
- ✓ Military communications
- ✓ Portable test equipment

系统结构:

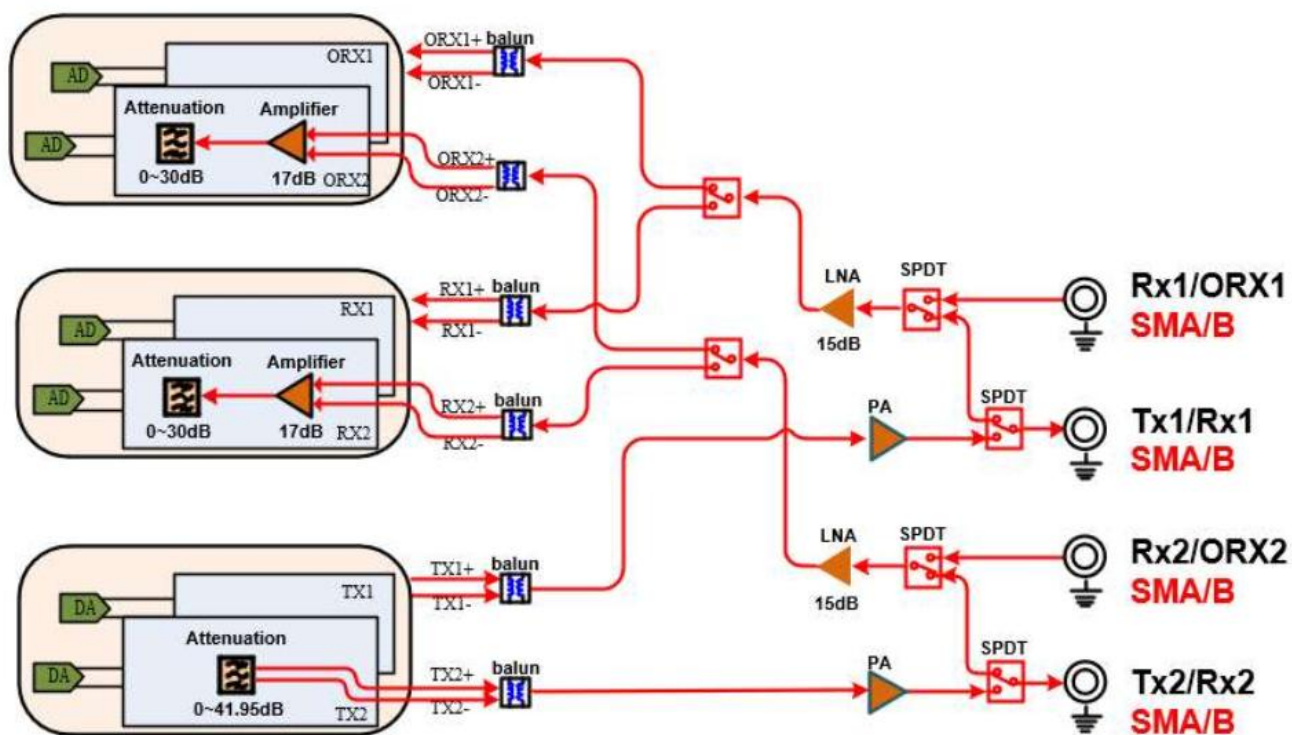
射频前端包括功率放大器，天线开关，balun 等组件，提升了设备的实用性，RFMC7000 与 ADI 的 AD9371 开发板主要区别如下：

- ✓ 发送端，增加 PA
 - 支持最高发射功率 10dBm
- ✓ 接收端，增加 LNA
 - 支持外部链路增益 15dB (300MHz~6GHz)
- ✓ 板载双天线开关支持 TDD 与 FDD 模式切换
 - IO 控制 ns 级切换速度
 - 高隔离度，单个开关 40dB 隔离度
- ✓ 灵活的参考时钟，通过 TI 时钟芯片 (LMK04828) 实现可变参考
- ✓ 可以支持动态 JESD204B 采样时钟速率

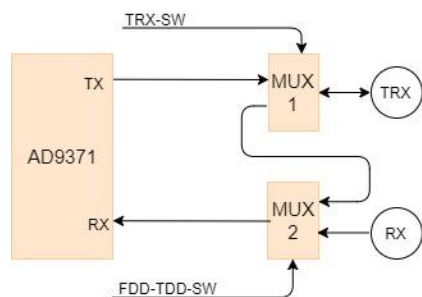
功能框图



射频前端链路

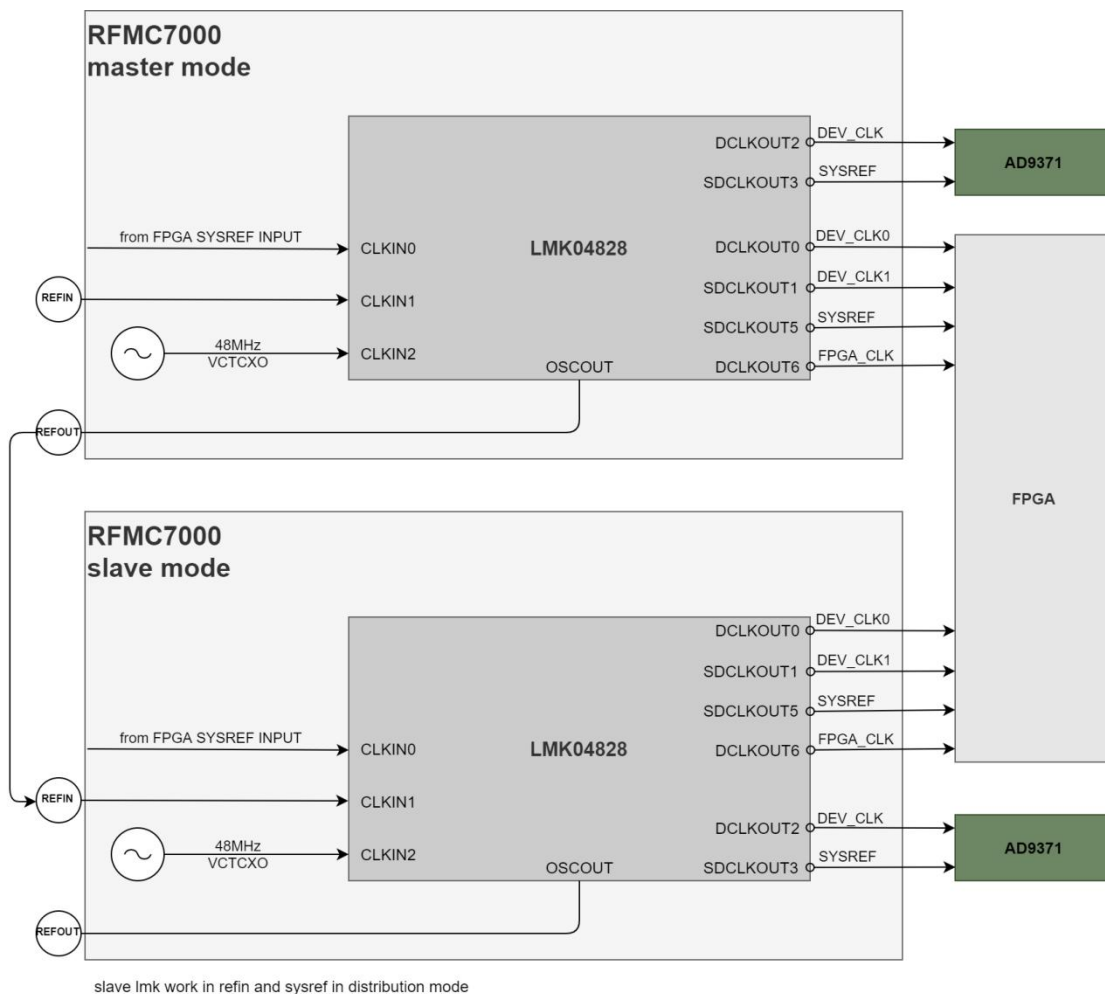


收发切换射频开关



名称	1	0
TRX-SW	TX->TRX	TRX->MUX2
FDD-TDD-SW	RX<-RX	MUX1->RX

时钟级联分配链路



前面板

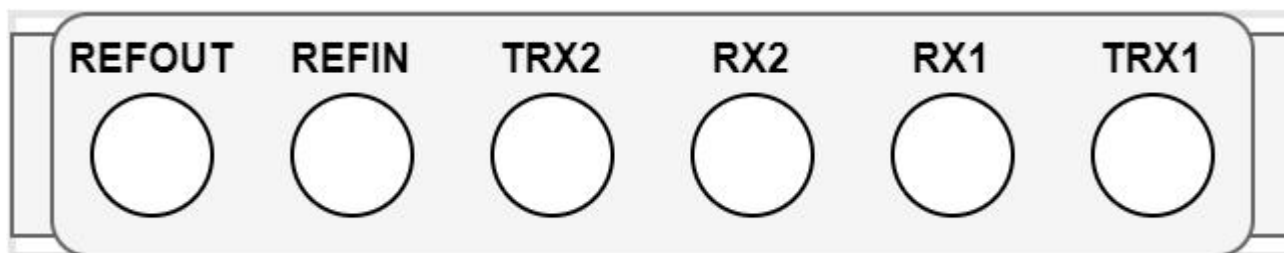


表 1 RFMC7000 模块前面板定义

序号	标示符	说明
1	TRX1	DAC 输出通道 1（也可配置成 RX1）
2	RX1	ADC 输入通道 1（RX1/ORX1）
3	RX2	ADC 输入通道 2（RX2/ORX2）
4	TRX2	DAC 输出通道 2（也可配置成 RX2）

5	REFIN	外部参考时钟输入
6	REFOUT	Imk04828 时钟输出

射频指标:

	No.	Items	Specifications	Remark
Tx	1	Frequency	300~6000MHz	
	2	Interface	SMB	
	3	Bandwidth	Up to 200 MHz	Tx real-time bandwidth, tunable
	4	Transmission Power	10dBm	300~6000MHz, CW
	5	EVM	<1.2%	
	6	Gain Control Range	40dB	
	7	Gain Step	0.5dB	
	8	ACLR	< -45dBc	@10dBm output
	9	Spurious	55dBc	
	10	SSB Suppression	55dBc	
	11	LO Suppression	55dBc	
	12	DAC Sample Rate (max)	122.88MS/s	Up to 245.76MS/s
	13	DAC Resolution	14bits	
Rx	1	Frequency	300~6000MHz	
	2	Interface	SMB	
	3	Bandwidth	100 MHz	real-time bandwidth, tunable
	4	Sensitivity:	-93dBm@20MHz	
	5	EVM	<1.2%	
	6	Gain Control Range	31.5dB	Including 30dB of AD9371 inside
	7	Gain Step	0.5dB	
	8	Rx Alias Band Rejection	75dB	Due to digital filters
	9	Noise Figure	<6dB	Maximum RX gain
	10	IIP3 (@ typ NF)	-25dBm	
	11	ADC Sample Rate (max)	122.88MS/s	Up to 153.6MS/s
	12	ADC Resolution	16bits	
	13	ADC Wideband SFDR	78dBc	
	1	Voltage	3.3V& 12V	
	2	ON/OFF TIME	<6uS	TDD model
	3	Duplexing Model	TDD/FDD	
	4	Power Consumptions	<6W	

表 2 FMC 接口定义

信号名称	FMC 管脚名称	FMC 管脚	方向	备注
AD9371 芯片信号				
FPGA_REF_CLK0_N	GBTCLK0_M2C_N	D5	输出	JESD204B 参考时钟 LVDS
FPGA_REF_CLK0_P	GBTCLK0_M2C_P	D4	输出	JESD204B 参考时钟 LVDS
FPGA_REF_CLK1_N	GBTCLK1_M2C_N	B21	输出	JESD204B 参考时钟 LVDS
FPGA_REF_CLK1_P	GBTCLK1_M2C_P	B20	输出	JESD204B 参考时钟 LVDS
FPGA_SYSREF_N	LA17_N_CC	D21	输出	JESD204B SYSREF LVDS
FPGA_SYSREF_P	LA17_P_CC	D20	输出	JESD204B SYSREF LVDS
SERDINO_N	DPO_C2M_N	C3	输入	JESD204B DAC CML
SERDINO_P	DPO_C2M_P	C2	输入	JESD204B DAC CML
SERDIN1_N	DP1_C2M_N	A23	输入	JESD204B DAC CML
SERDIN1_P	DP1_C2M_P	A22	输入	JESD204B DAC CML
SERDIN2_N	DP2_C2M_N	A27	输入	JESD204B DAC CML
SERDIN2_P	DP2_C2M_P	A26	输入	JESD204B DAC CML
SERDIN3_N	DP3_C2M_N	A31	输入	JESD204B DAC CML
SERDIN3_P	DP3_C2M_P	A30	输入	JESD204B DAC CML
SERDOUT0_N	DPO_M2C_N	C7	输出	JESD204B ADC CML
SERDOUT0_P	DPO_M2C_P	C6	输出	JESD204B ADC CML
SERDOUT1_N	DP1_M2C_N	A3	输出	JESD204B ADC CML
SERDOUT1_P	DP1_M2C_P	A2	输出	JESD204B ADC CML
SERDOUT2_N	DP2_M2C_N	A7	输出	JESD204B ADC CML
SERDOUT2_P	DP2_M2C_P	A6	输出	JESD204B ADC CML
SERDOUT3_N	DP3_M2C_N	A11	输出	JESD204B ADC CML
SERDOUT3_P	DP3_M2C_P	A10	输出	JESD204B ADC CML
SYNCINB0_N	LA03_N	G10	输入	JESD204B SYNC LVDS
SYNCINB0_P	LA03_P	G9	输入	JESD204B SYNC LVDS
SYNCINB1_N	LA25_N	G28	输入	JESD204B SYNC LVDS
SYNCINB1_P	LA25_P	G27	输入	JESD204B SYNC LVDS
SYNCOUTB0_N	LA32_N	H38	输出	JESD204B SYNC LVDS
SYNCOUTB0_P	LA32_P	H37	输出	JESD204B SYNC LVDS
TX1_ENABLE	LA13_P	D17	输入	AD9371 发送使能
TX2_ENABLE	LA14_P	C18	输入	AD9371 发送使能
RX1_ENABLE	LA13_N	D18	输入	AD9371 接收使能
RX2_ENABLE	LA14_N	C19	输入	AD9371 接收使能
TEST	LA05_P	D11	输入	AD9371 TEST
GP_INTERRUPT	LA04_N	H11	输出	AD9371 中断
RESETB	LA04_P	H10	输入	AD9371 复位
AD9371_SPI_CLK	LA07_P	H13	输入	AD9371 SPI

AD9371_SPI_CS	LA09_P	D14	输入	AD9371 SPI
AD9371_SPI_MISO	LA08_P	G12	输出	AD9371 SPI
AD9371_SPI_MOSI	LA07_N	H14	输入	AD9371 SPI
GPIO_0	LA15_P	H19	双向	AD9371 GPIO
GPIO_1	LA15_N	H20	双向	AD9371 GPIO
GPIO_2	LA16_P	G18	双向	AD9371 GPIO
GPIO_3	LA16_N	G19	双向	AD9371 GPIO
GPIO_4	LA21_P	H25	双向	AD9371 GPIO
GPIO_5	LA21_N	H26	双向	AD9371 GPIO
GPIO_6	LA18_P_CC	C22	双向	AD9371 GPIO
GPIO_7	LA18_N_CC	C23	双向	AD9371 GPIO
GPIO_8	LA22_N	G25	双向	AD9371 GPIO
GPIO_9	LA19_P	H22	双向	AD9371 GPIO
GPIO_10	LA19_N	H23	双向	AD9371 GPIO
GPIO_11	LA20_P	G21	双向	AD9371 GPIO
GPIO_12	LA20_N	G22	双向	AD9371 GPIO
GPIO_13	LA29_N	G31	双向	AD9371 GPIO
GPIO_14	LA29_P	G30	双向	AD9371 GPIO
GPIO_15	LA22_P	G24	双向	AD9371 GPIO
GPIO_16	LA12_N	G16	双向	AD9371 GPIO
GPIO_17	LA12_P	G15	双向	AD9371 GPIO
GPIO_18	LA05_N	D12	双向	AD9371 GPIO
FMC9371 附加信号				
GPIO_SCL	SCL	C30	输入	EEPROM SCL
GPIO_SDA	SDA	C31	双向	EEPROM SDA
I2C_GA0	GA0	C34	输入	EEPROM Address Input
I2C_GA1	GA1	D35	输入	EEPROM Address Input
LMK_RESET	LA30_N	H35	输入	时钟芯片 复位信号
LMK_SPI_CS	LA28_N	H32	输入	时钟芯片 SPI 使能
LMK_SPI_MISO	LA26_P	D26	输入	时钟芯片 SPI 数据
LMK_SPI_MOSI	LA27_P	C26	输入	时钟芯片 SPI 数据
LMK_SPI_SCLK	LA27_N	C27	输入	时钟芯片 SPI 时钟
LMK_SYNC	LA11_N	H17	输出	时钟芯片 同步信号
LMK_CLKIN_SEL0	LA10_N	C15	输入	时钟芯片 参考输入选择
LMK_CLKIN_SEL1	LA10_P	C14	输入	时钟芯片 参考输入选择
FPGA_GC_CLK_N	CLK0_M2C_N	H5	输出	时钟芯片 DCLKOUT6*
FPGA_GC_CLK_P	CLK0_M2C_P	H4	输出	时钟芯片 DCLKOUT6
REF_CLK_C2M_N	CLK1_M2C_N	G3	输入	时钟芯片 CLKIN0
REF_CLK_C2M_P	CLK1_M2C_P	G2	输入	时钟芯片 CLKIN0*

FDDTDD_SW1	LA00_P_CC	G6	输入	射频开关 双工切换
TRX_SW1	LA00_N_CC	G7	输入	射频开关 双工切换
FDDTDD_SW2	LA06_P	C10	输入	射频开关 双工切换
TRX_SW2	LA06_N	C11	输入	射频开关 双工切换
TX_BANDSEL_A	LA24_N	H29	输入	射频 RX/ORX 切换开关
TX_BANDSEL_B	LA24_P	H28	输入	射频 RX/ORX 切换开关

所有单端信号电平范围 1.8V~2.5V

FMC 供电:

扩展模块需要三种电源供电:

12V: 1A

3.3V: 1A

VADJ: 1A 1.8V~2.5V

FMC9371 尺寸图:

