

# 数字系统设计

华东理工大学电子与通信工程系  
主讲:木昌洪

***Email: [changhongmu@ecust.edu.cn](mailto:changhongmu@ecust.edu.cn)***

## 第6章 触发器

本章介绍触发器的特点和分类，基本RS触发器、钟控触发器、集成触发器的电路结构和逻辑功能，触发器之间的转换方法，触发器的HDL设计方法。

- ❖ 6.1 概述
- ❖ 6.2 基本RS触发器
- ❖ 6.3 钟控触发器
- ❖ 6.4 集成触发器
- ❖ 6.5 触发器之间的转换



共6学时

- ❖ 触发器的特点和分类；
- ❖ 基本RS触发器、钟控触发器、边沿触发器的逻辑功能及描述方法；
- ❖ 基于Verilog HDL的触发器设计方法。

## 6.1 概述

### 内容概要

6.1.1 触发器的特点与分类

6.1.2 时序逻辑电路的特点



# 组合逻辑电路的不足

## ❖ 组合逻辑电路的特点

- 电路输出端的状态完全由输入端的状态决定，不受系统中时钟脉冲的控制
- 它是一种**无记忆**电路——输入信号消失，则输出信号也会立即消失

- ❖ 在数字系统中有时需要将参与（算术或逻辑）运算的数据和运算结果保存起来——在组合逻辑电路的输出端需要具有**记忆功能**的部件
- ❖ **触发器**就是构成记忆功能部件的基本单元，或者说是**实现存储（记忆）功能的基本单元电路**。

## 6.1.1 触发器的特点与分类

**触发器**是一种有记忆功能的器件，是构成时序逻辑电路的基本器件

两个稳定的状态——  
双稳态触发器

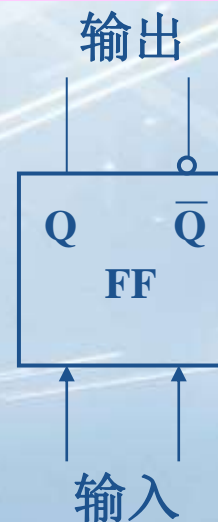
1. 有两个互非的输出 $Q$ 和 $\bar{Q}$ ，  
当 $Q = 0(\bar{Q} = 1)$ 时称为0态，当 $Q = 1(\bar{Q} = 0)$ 时称为1态；

$Q$ 称为**状态变量**

2. 无外加信号作用时触发器保持原来状态（原态）不变——具有记忆功能， $n$ 级触发器可以记忆 $n$ 位二进制信息的 $2^n$ 种状态；

3. 在外加信号的作用（触发）下，触发器可以改变原态（具有置0和置1功能）。

$Q^n$ （原态） $\longrightarrow Q^{n+1}$ （次态）



# 触发器的分类

## ❖ 按电路结构和功能分类

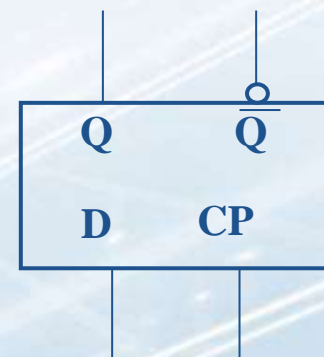
- RS触发器、D触发器、JK触发器、T触发器、T'

## ❖ 按触发（时钟控制）方式分类

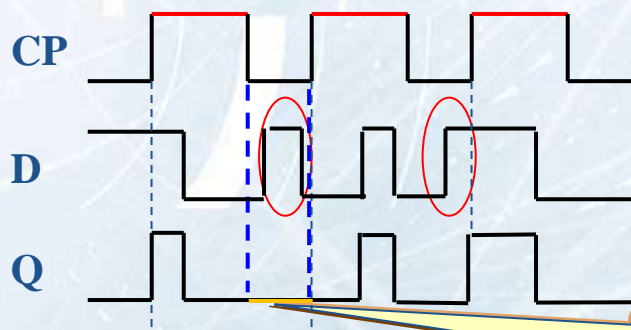
### (1) 电位触发方式（电平触发方式）

- 当触发器的同步控制信号E（一般为时钟信号CP）为约定的逻辑电位时，触发器接收输入数据；当E为非约定逻辑电位时，触发器状态保持不变。

电位触发方式的触发器简称**电位（钟控）触发器**



电位触发型D触发器



时序图（初态=0）

CP=0时，Q保持原来的值0不变

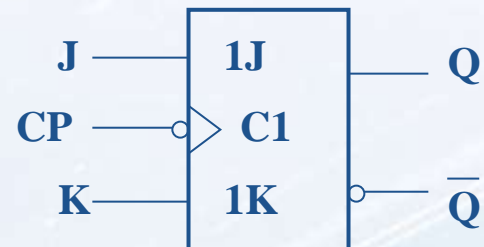
# 电位（钟控）触发器的不足

- ❖ 电位（钟控）触发器结构简单；
- ❖ 但当 $CP=1$ 时，输入数据的变化会直接引起输出状态的变化，用它来组成计数器或者移位寄存器就会造成空翻的现象——在一个时钟脉冲周期中，触发器发生多次翻转，所以只能做锁存器（锁存数据，透明）。



## (2) 主-从触发方式（脉冲触发方式）

- 主-从触发方式的触发器简称**主-从触发器**
- 为克服电位触发器的空翻现象而提出，由两级电位触发器串联而成，常用有主-从R-S触发器和主-从J-K触发器
- 在**CP=1**期间，主触发器接收数据，从触发器封锁；在**CP负跳变**到来时，主触发器封锁，从触发器接收此时**主触发器的状态**



**特性表(CP=1)**

J	K	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	1	翻转 (计数)
1	1	1	0	



# 主-从触发方式的不足

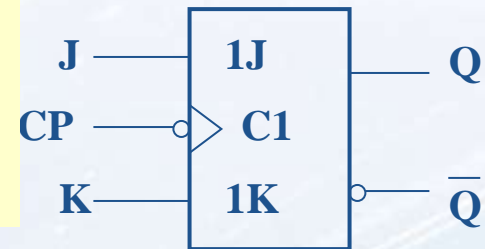
虽然主从触发器解决了电位FF的空翻现象，但存在**一次翻转**问题，降低了抗干扰的能力。

- **一次翻转**——在 $CP=1$ 期间，无论J、K的状态变化多少次，主触发器的状态Q'只有可能翻转一次，一旦翻转了就不会翻回原来的状态。
- 一次翻转现象有利有弊！——若在 $CP=1$ 期间，J、K是正确的信号先到来，主触发器随之翻转；此后如果J或K受到干扰产生错误信号，主触发器不会翻转；当CP下降沿到来时，从触发器与主触发器的状态相一致，电路工作正确。
- 但如果在 $CP=1$ 期间，J或K先受到干扰并产生错误信号，则主触发器随之翻转；此后即使干扰信号消失，J、K正确的信号到来，主触发器也不会翻转，而是保持刚才的错误状态，则在CP下降沿到来时，从触发器接收主触发器的错误状态，产生误动作。

❖ 使用主-从触发器必须注意：只有保证在 $CP=1$ 期间首次出现的输入信号是正确的，则主从触发器的输出才是正确的。

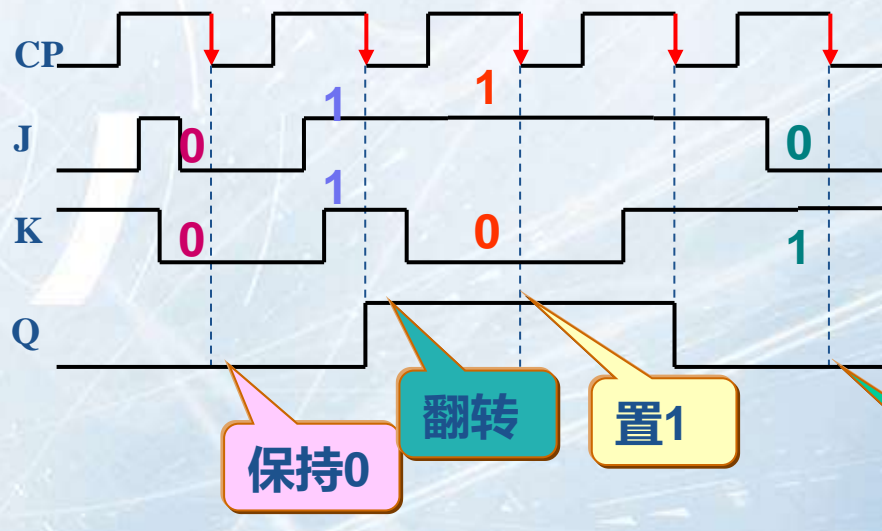
### (3) 边沿触发方式

为提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于**CP**下降沿（或上升沿）到达时刻输入信号的状态；在此之前和之后输入信号状态的变化对触发器的次态没有影响。为此，提出了边沿触发方式的触发器——简称**边沿触发器**。



负边沿触发型  
JK触发器

- 触发器只有在时钟输入**CP**的某一约定跳变（正跳变或负跳变）到来时，才接收输入数据；
- 在**CP=0** 或**CP=1**期间，以及**CP**的非约定跳变到来时，输入数据的变化不会引起触发器输出状态的变化



边沿触发器克服了电位触发器的空翻现象和主-从触发器的一次翻转问题，提高了抗干扰能力。

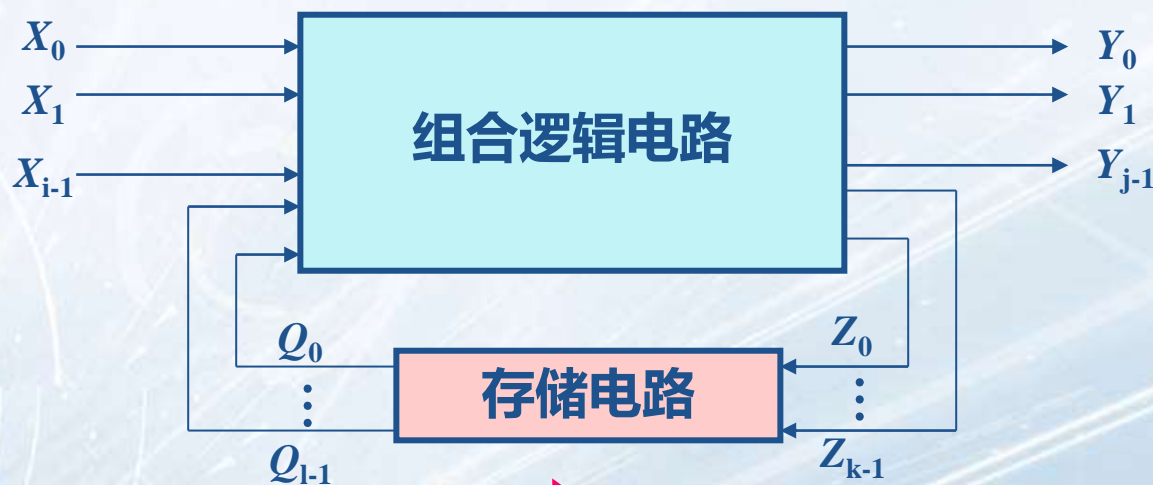
# 触发方式与逻辑功能的区别及关系

- ❖ 同一种触发方式可以实现具有不同功能的触发器
  - ◆ 如边沿触发方式可以实现D触发器、JK触发器、T触发器、T'触发器
- ❖ 同一种功能也可以采用不同的触发方式实现
  - ◆ 如JK触发器可以用电位触发方式、主-从触发方式、边沿触发方式实现



## 6.1.2 时序逻辑电路的特点

- ❖ 当时的输出由当时的输入与电路的原来状态决定——具有“记忆”功能
- ❖ 结构特点：由组合逻辑电路和存储电路构成



触发器 (Flip-Flop, FF) 或寄存器

## 6.2 基本RS触发器

### 内容概要

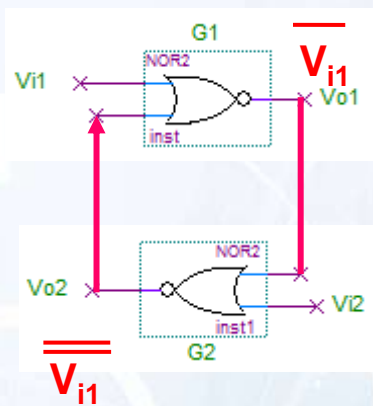
6.2.1 由与非门构成的基本RS触发器

6.2.2 由或非门构成的基本RS触发器

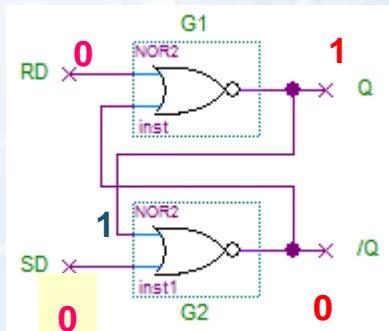
6.2.3 基本RS触发器的HDL设计

# 基本RS触发器

- ❖ 各种门电路没有记忆功能，不能自行保持输出状态
  - 若只有一个或非门G1，输入Vi1，当其另一输入端接低电平时，输出Vo1的高、低电平将随Vi1的高、低电平变化而变化



- ◆ 若用G2将Vo1反相（其另一输入端Vi2接低电平），则G2的输出Vo2将与Vi1同相。再将Vo2接回G1的另一输入端，这时即使原来加在Vi1的信号消失了，由于G2的作用，Vo1和Vo2的状态也能保持下去



- ◆ 定义 $Q=1$ 、 $/Q=0$ 为触发器的1状态， $Q=0$ 、 $/Q=1$ 为触发器的0状态
- ◆  $S_D$ 称为置位端或置1输入端， $R_D$ 称为复位端或置0输入端
- ◆ 置位：使门电路输出为1，复位：使门电路输出为0

❖ 当 $S_D=1$ 、 $R_D=0$ 时， $Q=1$ ， $/Q=0$ 。在 $S_D=1$ 消失后（即 $S_D$ 回到0），由于 $Q$ 的高电平接回到G2的另一输入端，所以电路的1状态得以保持。

由或非门组成的  
基本RS触发器



## 6.2.1 与非门构成的基本RS触发器

- ❖ 基本RS触发器可以自行保持输出状态，是各种触发器的基本构成部分
- ❖ 基本RS触发器可以用与非门或者或非门构成
- ❖ RS: Reset/Set
- ❖ 功能

(1) 保持功能  $\overline{R}_D = 1, \overline{S}_D = 1$   
触发器保持原来的状态不变

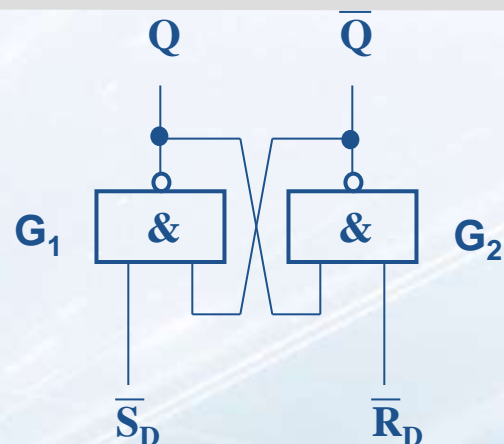
(2) 置0功能  $\overline{R}_D = 0, \overline{S}_D = 1$   
触发器的次态变为0

(3) 置1功能  $\overline{R}_D = 1, \overline{S}_D = 0$   
触发器的次态变为1

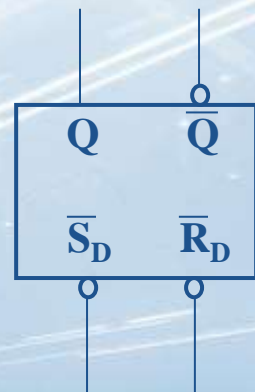
❖ 约束条件  $\overline{R}_D + \overline{S}_D = 1$   
 $\overline{R}_D, \overline{S}_D$  不能同时为0

非号，低有效

D: Direct  
输入信号直接控制  
触发器的输出



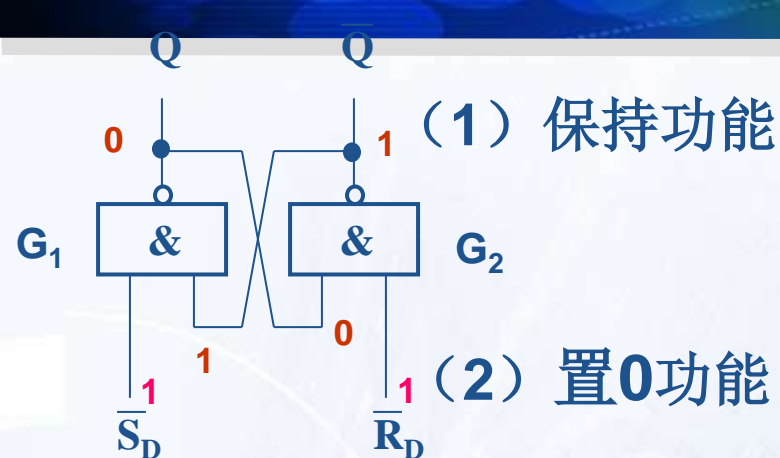
电路结构



逻辑符号



# 基本RS触发器工作原理



(1) 保持功能

$$S_D=1 \quad \overline{R}_D=1 \quad \text{若:} \begin{cases} Q^n=0 \\ Q^n=1 \end{cases} \quad \text{则:} \begin{cases} Q^{n+1}=0 \\ Q^{n+1}=1 \end{cases}$$

稳定状态

(2) 置0功能

$$\overline{S}_D=1 \quad \overline{R}_D=0 \quad \text{若:} \begin{cases} Q^n=0 \\ Q^n=1 \end{cases} \quad \text{则:} Q^{n+1}=0$$

“0”状态

(3) 置1功能

$$\overline{S}_D=0 \quad \overline{R}_D=1 \quad \text{若:} \begin{cases} Q^n=0 \\ Q^n=1 \end{cases} \quad \text{则:} Q^{n+1}=1$$

“1”状态

(4) 约束条件

$$\overline{S}_D=0 \quad \overline{R}_D=0 \quad \text{则:} \begin{cases} Q^{n+1}=1 \\ \overline{Q}^{n+1}=1 \end{cases}$$

触发器既不是1态，也不是0态，而且在 $\overline{S}_D$ 和 $\overline{R}_D$ 同时回到1后无法判定触发器将回到1态还是0态。在正常工作时，输入信号不允许输入 $\overline{S}_D=\overline{R}_D=0$ 的信号。

# 触发器逻辑功能的表示方法

- ❖ 触发器的逻辑功能可以用功能表、真值表（特性表）、特性方程、状态转换图和时序图等来表示。

功能表

$\bar{S}_D \bar{R}_D Q^n$	$Q^{n+1}$	功能
1 1 0	0	保持
1 1 1	1	
1 $\bar{1}$ 0	0	置0
1 $\bar{1}$ 1	0	
$\bar{1}$ 1 0	1	置1
$\bar{1}$ 1 1	1	
0 0 0	X	不确定
0 0 1	X	

真值表(特性表)

$\bar{S}_D \bar{R}_D Q^n$	$Q^{n+1}$
0 0 0	x
0 0 1	x
0 1 0	1
0 1 1	1
1 0 0	0
1 0 1	0
1 1 0	0
1 1 1	1

- ◆ **特性表**：电路输出次态与原态以及输入之间功能关系的表格
- ◆ **特性方程**：反映触发器次态与原态以及输入之间功能关系的函数表达式。由特性表利用最小项推导法推导得出

特性方程：

$$Q^{n+1} = S_D + \bar{R}_D \cdot Q^n$$

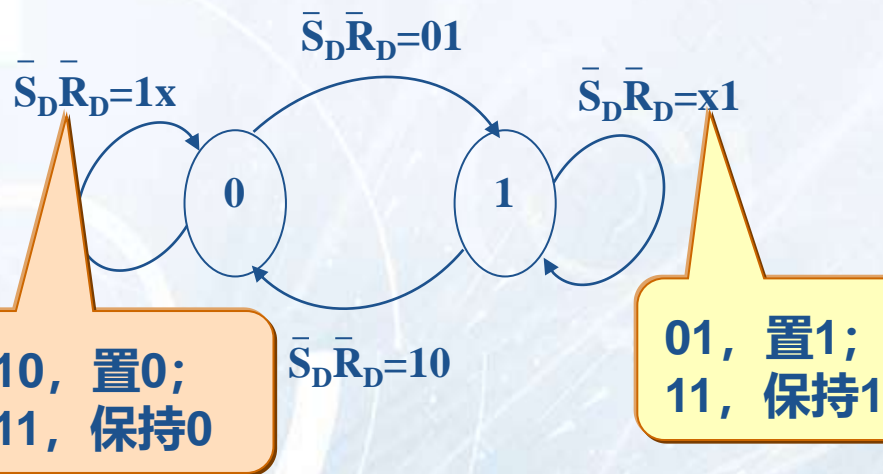
$$\bar{S}_D + \bar{R}_D = 1 \text{ 或 } S_D \cdot R_D = 0$$

(约束条件)

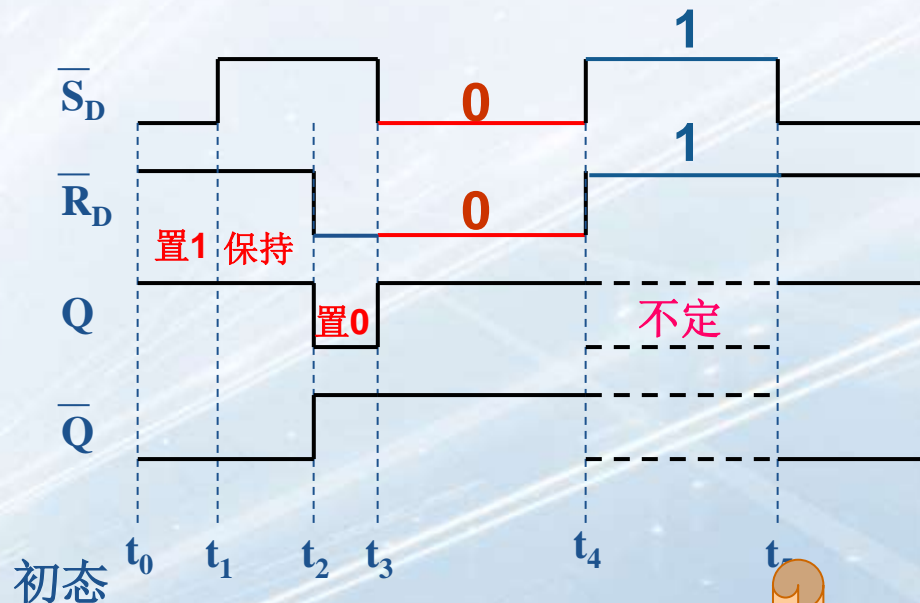
$$\begin{aligned}
 Q^{n+1} &= \bar{\bar{S}}_D \bar{\bar{R}}_D \bar{Q}^n + \bar{\bar{S}}_D \bar{\bar{R}}_D Q^n + \bar{\bar{S}}_D \bar{\bar{R}}_D Q^n \\
 &= \bar{\bar{S}}_D \bar{\bar{R}}_D + \bar{\bar{S}}_D \bar{\bar{R}}_D Q^n = S_D \bar{R}_D + \bar{S}_D \bar{R}_D Q^n
 \end{aligned}$$

# 状态转换图和时序图

**状态转换图：**简称**状态图**，是用来表示触发器状态变化（转移）的图形



**时序图：**输出随输入变化的波形（初态=0）

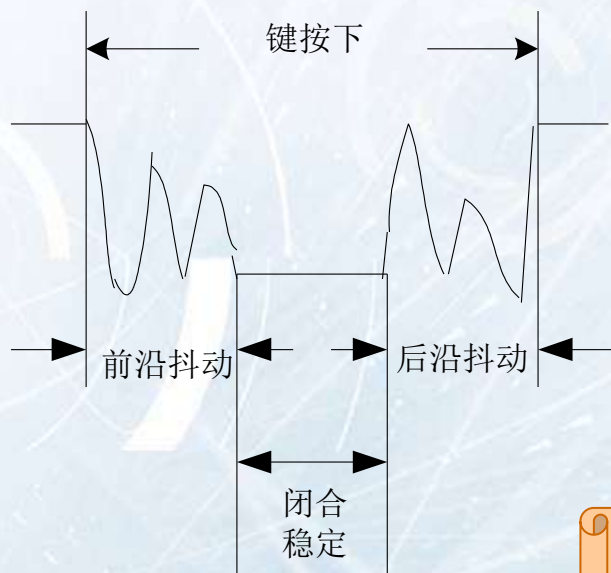


- ❖ 当两个输入有效（“0”）后同时变为无效（“1”）时，因门传输延迟的不同而产生竞争，使输出状态不确定
- ❖ 故两个输入端不允许同时为“0”！



# 基本RS触发器的应用——开关去抖电路

- ❖ 机械式开关按下或释放时，由于机械弹性作用的影响，通常伴随有一定时间的触点机械抖动，然后其触点才稳定下来。
- ❖ 抖动时间的长短与开关的机械特性有关，一般为**5~10ms**。按钮稳定闭合时间的长短由操作人员的按键动作决定，一般为零点几秒至数秒。



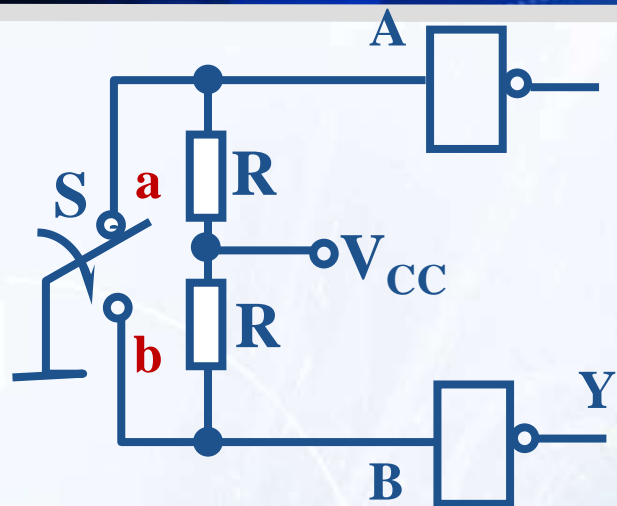
开关触点的机械抖动

- ❖ 在触点抖动期间检测开关的通与断状态，可能导致判断出错。即一次按下或释放被错误地认为是多次操作，从而对其后的电路形成多次输入。
- ❖ 为克服开关触点机械抖动所致的检测误判，必须采取去抖动措施。当键数较少时，可采用**硬件**去抖；当键数较多时，采用**软件**去抖（延时的方法）

❖ **硬件去抖**一般采用在开关输出端加基本R-S触发器或单稳态触发器构成去抖动电路

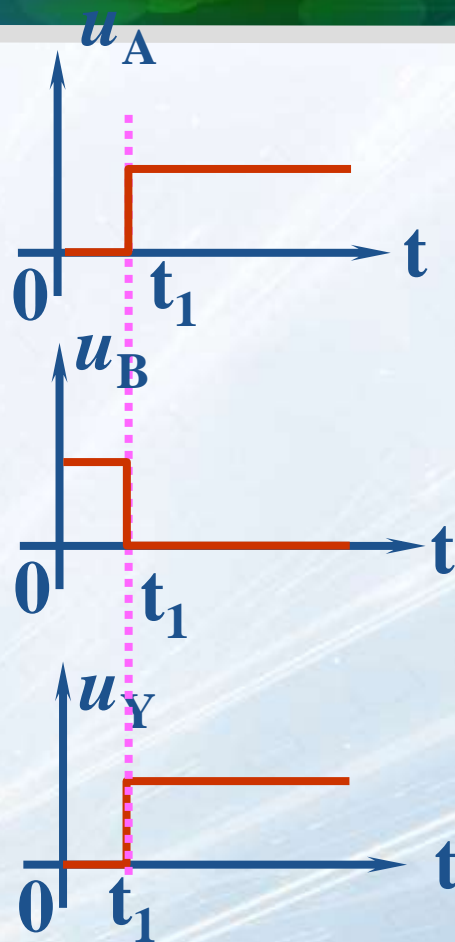


# 未去抖开关电路

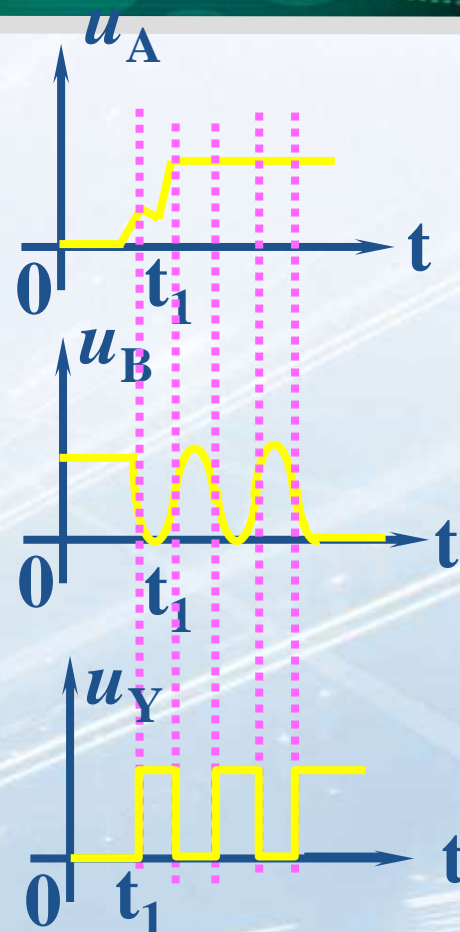


❖ 当开关S由a拨到b时，理想情况下Y由“0”变为“1”

❖ 实际情况下，当S刚到达b点时，会在b点产生抖动， $u_B$ 的波形在 $t_1$ 时刻后是一连串负脉冲；导致反相器输出 $u_Y$ 是一系列矩形波。



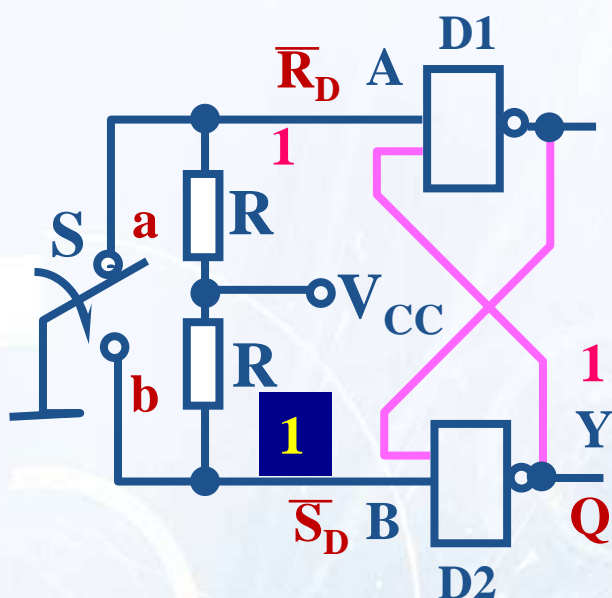
理想波形



实际波形

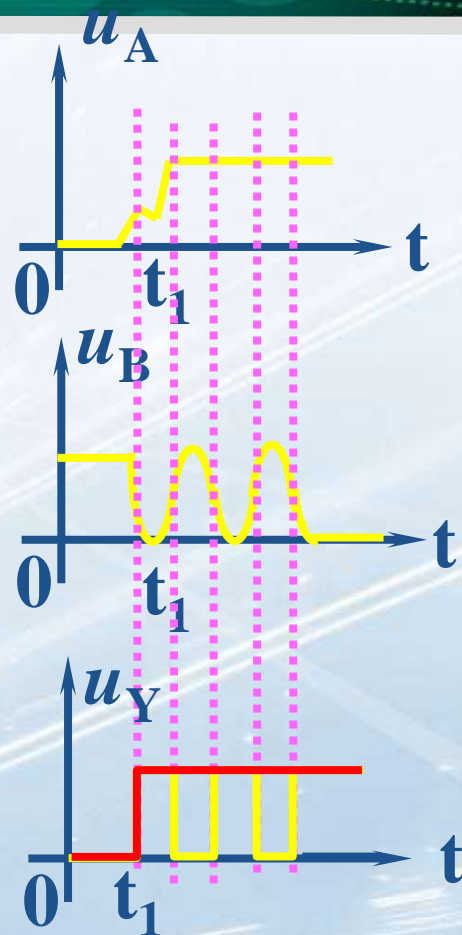
可能使后续电路产生误动作!

# 开关去抖电路的原理



- ❖ S在a点时,  $a = 0$ ,  $b = 1$ , 置“0”, 输出  $Q = 0$ 。
- ❖ S拨向下时, 产生抖动, 当S尚未稳定到达b端时,  $/R_D = 1$ ,  $/S_D$ 时而为0、时而为1。
- ❖ 一旦S接触到b点,  $/S_D$ 变为0, 置“1”, 使  $Q = 1$ ; 即使开关因抖动离开b点,  $/S_D$ 变为1, 保持功能, Q仍为1, 输出端不会产生抖动的波形。

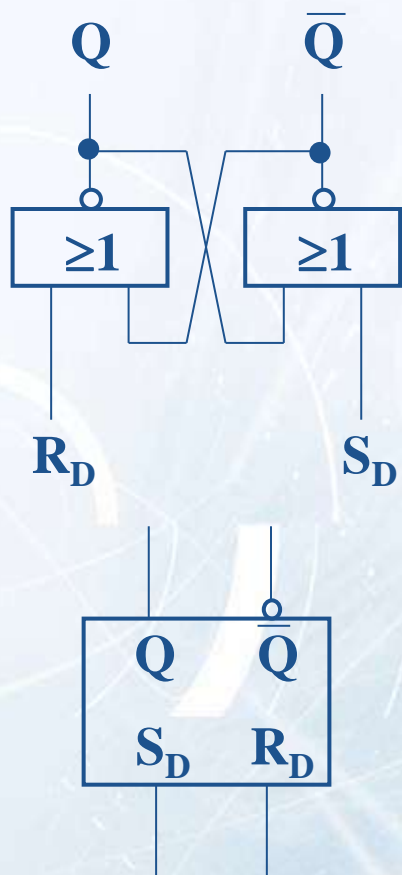
- ❖ 当S 稳定到达b端时, 因  $/R_D = 1$ ,  $/S_D = 0$ , 置“1”, 使  $Q = 1$ , 电路输出为稳定的高电平。



实际波形

## 6.2.2 由或非门构成的基本RS触发器

### ❖ 电路结构和逻辑符号



输入信号  
为高电平  
有效

### ❖ 逻辑功能的表示方法

特性表

$S_D$	$R_D$	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	X	不确定
1	1	1	X	

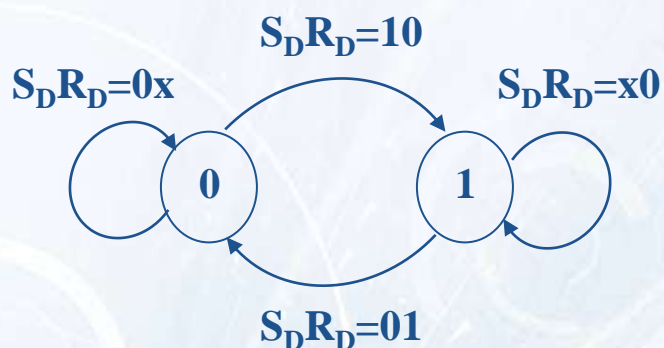
特性方程

$$Q^{n+1} = S_D + \bar{R}_D \cdot Q^n$$
$$S_D \cdot R_D = 0 \text{ (约束条件)}$$

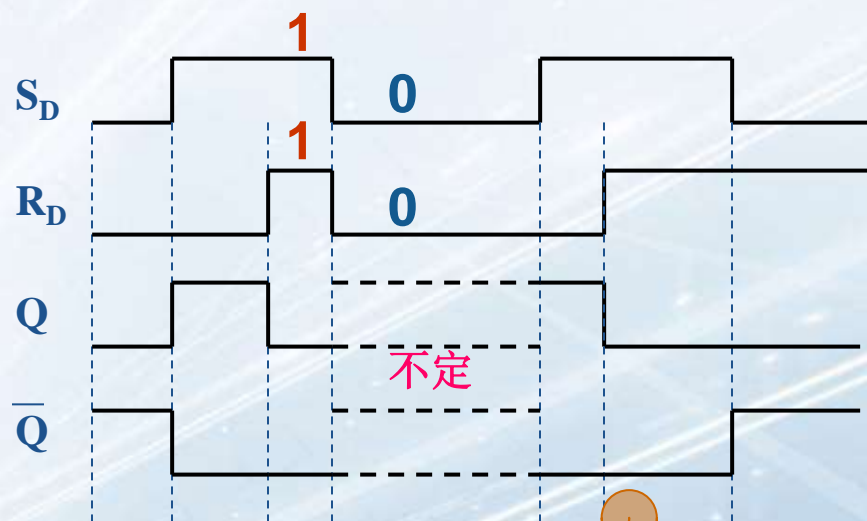
$S_D$ 、 $R_D$ 不能同  
时为1

# 状态转换图和时序图

状态转换图



时序图（初态=0）



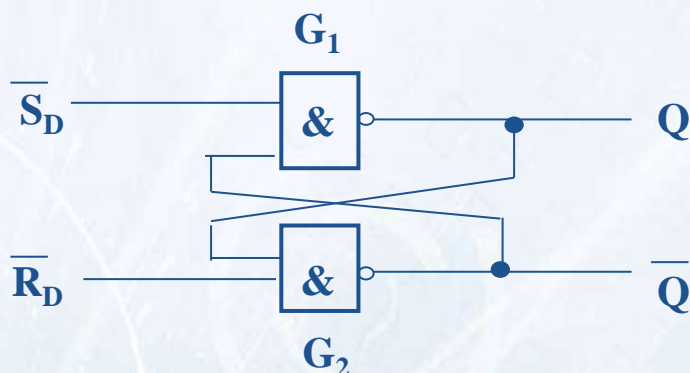
- ❖ 当两个输入有效（“1”）后同时变为无效（“0”）时，因门传输延迟的不同而产生竞争，使输出状态不确定
- ❖ 故两个输入端不允许同时为“1”！



## 6.2.3 基本RS触发器的HDL设计

### ❖ 方法一：结构描述方式

- 根据电路结构写出输出信号的逻辑表达式；
- 采用**assign**语句描述



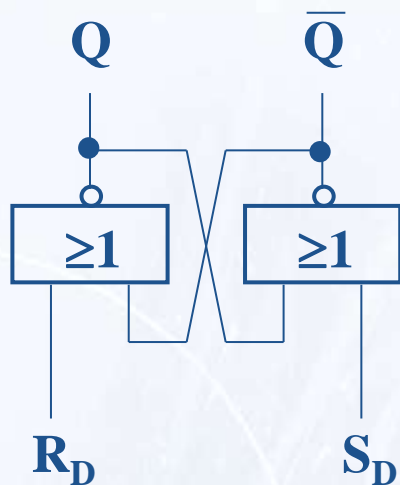
$$Q = \overline{\overline{S_D} \cdot \overline{Q}}$$

$$\overline{Q} = \overline{\overline{R_D} \cdot Q}$$

由与非门构成的基本RS触发器

```
module RS_FF(Q,QN,SDN,RDN);  
  input  SDN,RDN;  
  output Q,QN;  
  assign Q = !(SDN && QN);  
  assign QN= !(RDN && Q);  
endmodule
```

# 由或非门构成的基本RS触发器的HDL设计



$$\begin{aligned} Q &= \overline{R_D + \bar{Q}} \\ \bar{Q} &= \overline{S_D + Q} \end{aligned}$$

## ❖ 结构描述方式

- ◆ 根据电路结构写出输出信号的逻辑表达式;
- ◆ 采用**assign**语句描述

```
module (Q,QN,RD,SD);  
  input    RD,SD;  
  output   Q,QN;  
  assign   Q=! (RD || QN);  
  assign   QN=! (SD || Q);  
endmodule
```

# 基本RS触发器的行为描述方式

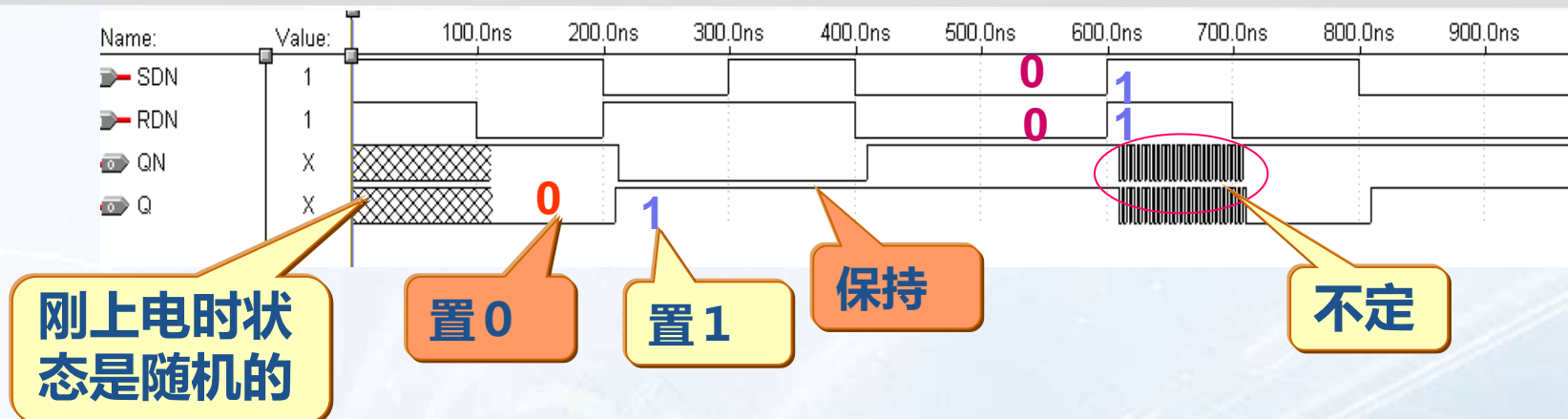
## ❖ 方法二：行为描述方式

◆ 根据特性表，直接用**case**语句描述

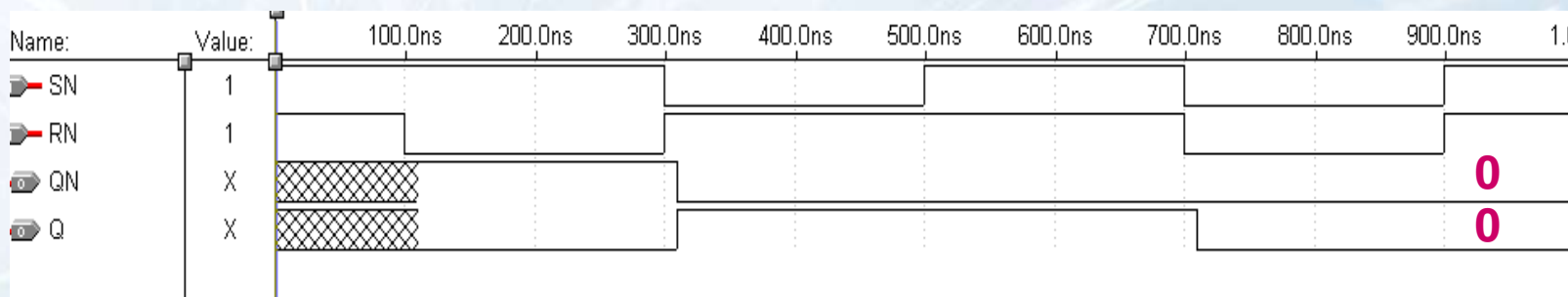
【例6.1】由与非门构成的基本RS触发器的设计

```
module RS_FF_1(RN,SN,Q,QN);
    input  RN,SN;
    output Q,QN;
    reg    Q,QN;
    always @(RN or SN )
        begin
            case({RN,SN})
                'b00 : begin Q = 'bx;      QN = 'bx;      end //不定
                'b01 : begin Q = 0;         QN = 1;         end //置0
                'b10 : begin Q = 1;         QN = 0;         end //置1
                'b11 : begin Q = Q;         QN = QN;         end //保持
            endcase
        end
endmodule
```

# 基本RS触发器的仿真波形



由与非门构成的基本RS触发器的仿真波形图（结构描述）



由与非门构成的基本RS触发器的仿真波形图（行为描述）

- ❖ 程序设计当RN、SN均为0时，Q、QN为不定值，而仿真软件默认未知为低电平，所以当RN、SN从00变为11时，Q、QN保持Q=0、QN=0。



## 6.3 钟控（电位）触发器

### 内容概要

6.3.1 钟控RS触发器

6.3.2 钟控D触发器

6.3.3 钟控JK触发器

6.3.4 钟控T触发器

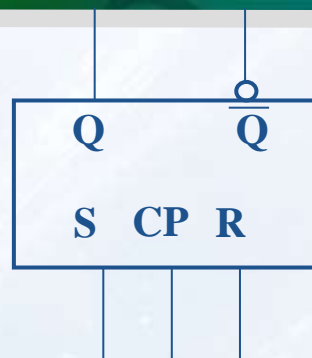
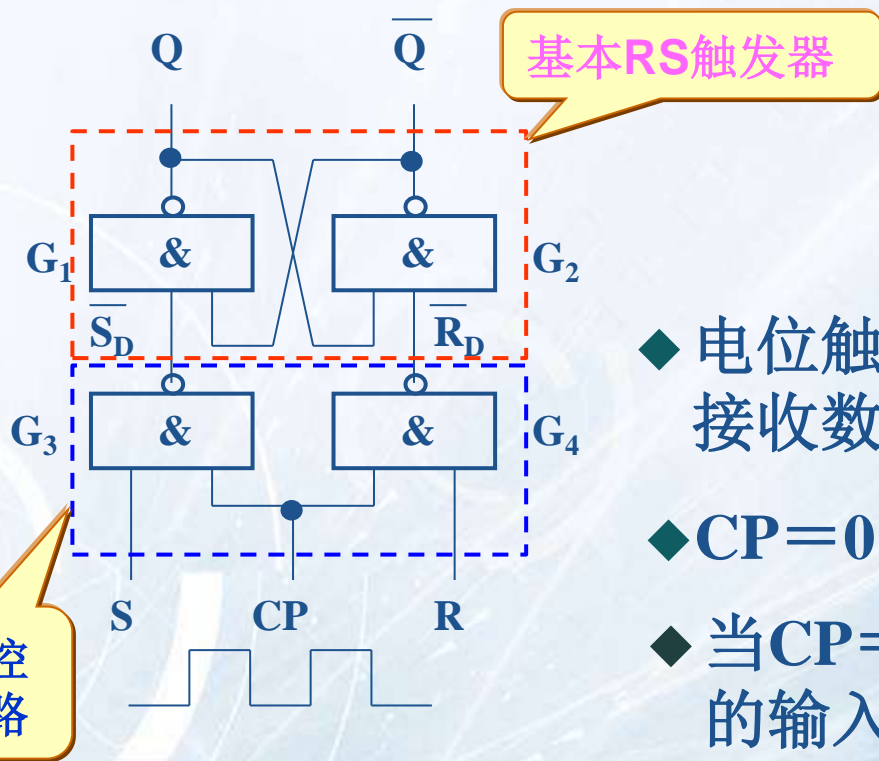
6.3.5 钟控T' 触发器

## 6.3.1 钟控RS触发器

- ❖ 在数字系统中，为了协调各部分电路的运行，常常要求某些触发器在时钟信号的控制下同时动作，即按一定的节拍将输入信号反映在触发器的输出端，这就需要增加一个控制端，只有在控制端作用脉冲时触发器才能动作，至于触发器输出变为什么状态，仍由输入端的信号决定。
- ❖ 这种有时钟控制端的触发器叫做**钟控触发器**。
- ❖ 由于这里时钟信号为高电位（或低电位）时触发器的状态随输入变化，所以钟控触发器是**电位触发方式**的触发器（简称**电位触发器**）。
- ❖ 钟控触发器在时钟控制下**同步**工作，所以也称为**同步触发器**。

# 钟控RS触发器的工作原理

## ❖ 电路结构和逻辑符号



- ◆ 电位触发：在控制电位CP的控制下接收数据。
- ◆  $CP=0$ 时， $\bar{S}_D=\bar{R}_D=1$ ，保持原有状态。
- ◆ 当 $CP=1$ 时，其输出状态由R、S端的输入信号决定——具有基本RS触发器的功能。
- ◆ 电位触发有正电位触发和负电位触发。

# 钟控RS触发器的逻辑功能表示

- ◆ CP=0时，触发器处于保持状态；
- ◆ CP=1 时，具有基本RS触发器的功能——称为钟控RS触发器

特性表(CP=1)

S	R	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	X	不确定
1	1	1	X	

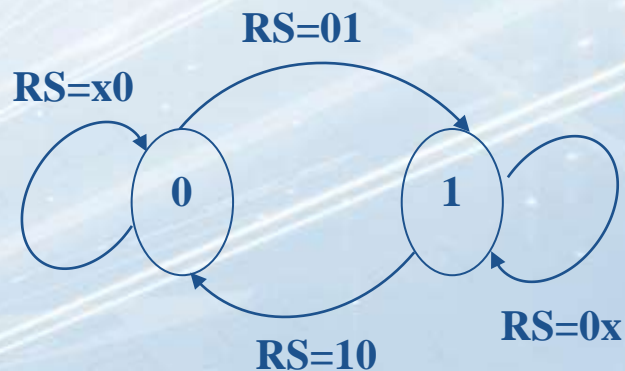
R、S不能同时为1

$$Q^{n+1} = \overline{S}\overline{R}Q^n + (S\overline{R}\overline{Q}^n + S\overline{R}Q^n) = \overline{S}\overline{R}Q^n + S\overline{R}$$

## 特性方程

$$Q^{n+1} = S + \overline{R} \cdot Q^n$$

$$S \cdot R = 0 \text{ (约束条件)}$$

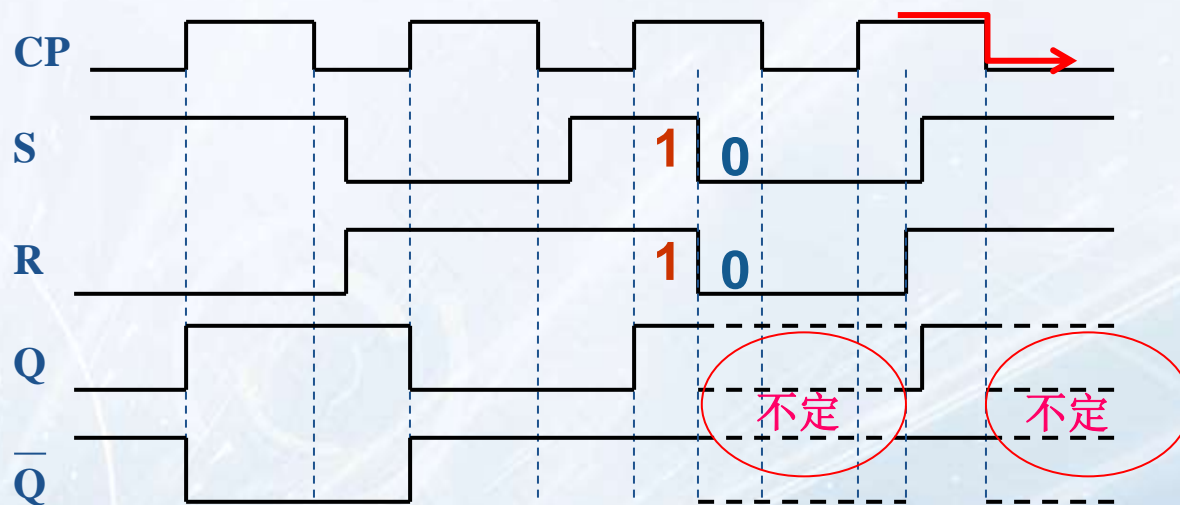


状态转换图



# 钟控RS触发器的时序图

时序图 (初态 = 0)

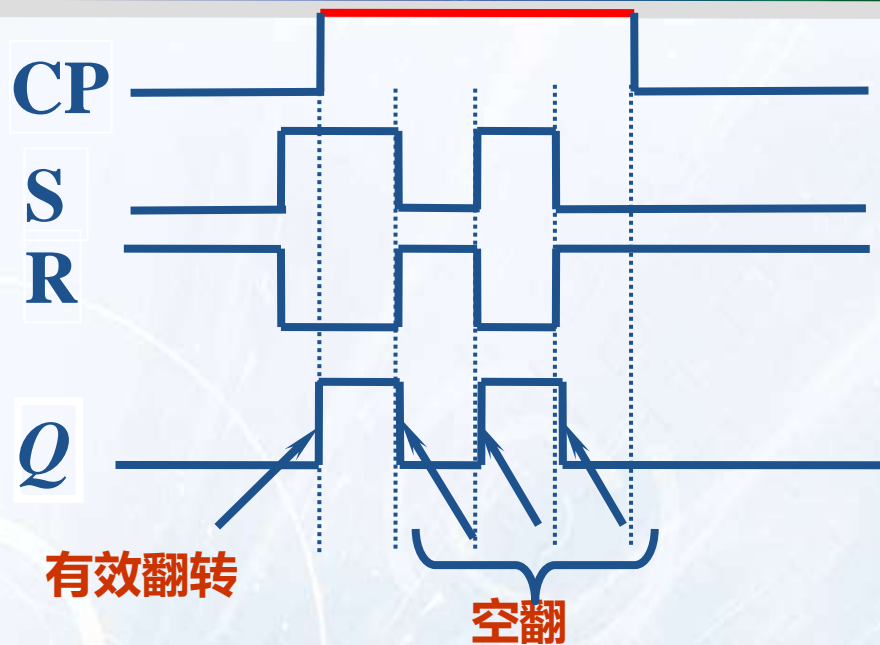


不定状态出现在:

(1) 时钟有效 ( $CP=1$ ) 时, 两个输入为有效电平 (11) 后同时转换为无效电平 (00);

(2) 两个输入有效, 时钟由有效转换为无效。

# 钟控RS触发器存在的问题——空翻



❖ “空翻”将造成状态的不确定和系统工作的混乱，这是不允许的。因此，钟控RS触发器要求在时钟脉冲作用期间输入信号保持不变。

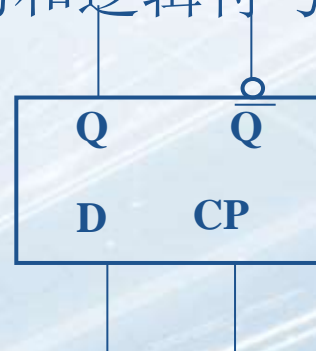
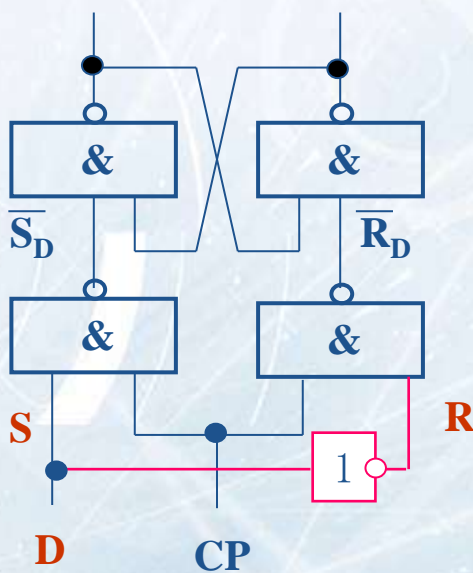
- ❖ 当CP为1时，如果R、S发生变化，则触发器状态会跟着变化，使得在一个时钟脉冲作用期间引起多次翻转。
- ❖ 在一个时钟脉冲周期中，触发器发生多次翻转的现象叫做空翻。电位（钟控）触发器（包括RS、D、JK、T、T'FF）都存在空翻现象

## 6.3.2 钟控D触发器（D锁存器）

### ❖ 问题——如何消除钟控RS触发器的不定状态？

- 将钟控RS触发器的输入由R、S双端输入改为单端输入（D）——即将其S输入端改为D输入端，然后经过非门接R端——S、R总是互非，钟控D触发器不会出现不定状态！

### ❖ 钟控D触发器（D锁存器）电路结构和逻辑符号



◆  $CP=0$ ,  $\bar{S}_D=\bar{R}_D=1$ , 保持原态。

◆ 当  $CP=1$  时，若  $D=0$ ，相当于  $S=0$ ,  $R=1$ ，触发器置“0”；若  $D=1$ ，相当于  $S=1$ ,  $R=0$ ，触发器置“1”。

# 钟控D触发器的逻辑功能表示

## ❖ 电路功能

- CP=0时保持

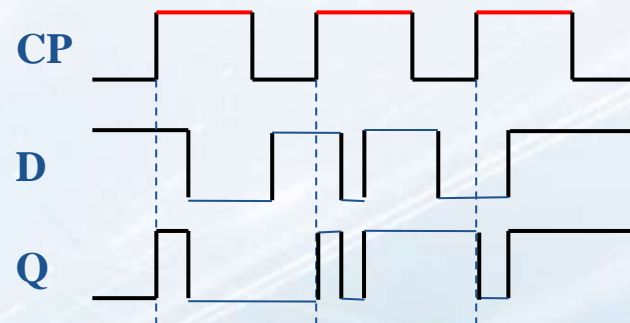
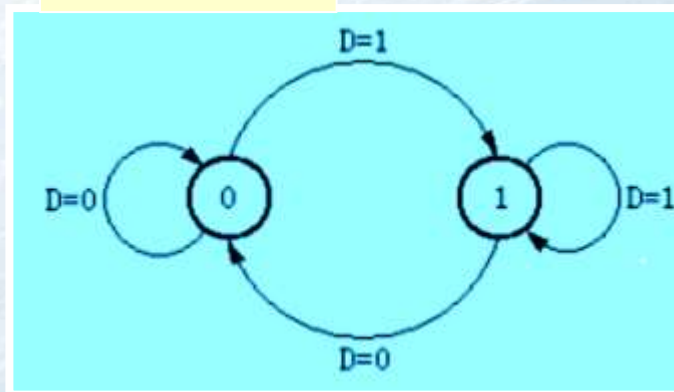
### 特性表(CP=1)

D	$Q^n$	$Q^{n+1}$	功能
0	0	0	置0
0	1	0	
1	0	1	置1
1	1	1	

### CP=1时的特性方程

$$Q^{n+1} = D$$

### 状态图



### 时序图 (初态=0)

当CP=1时，Q的  
波形与D相同；  
当CP=0时，Q保  
持原来的状态

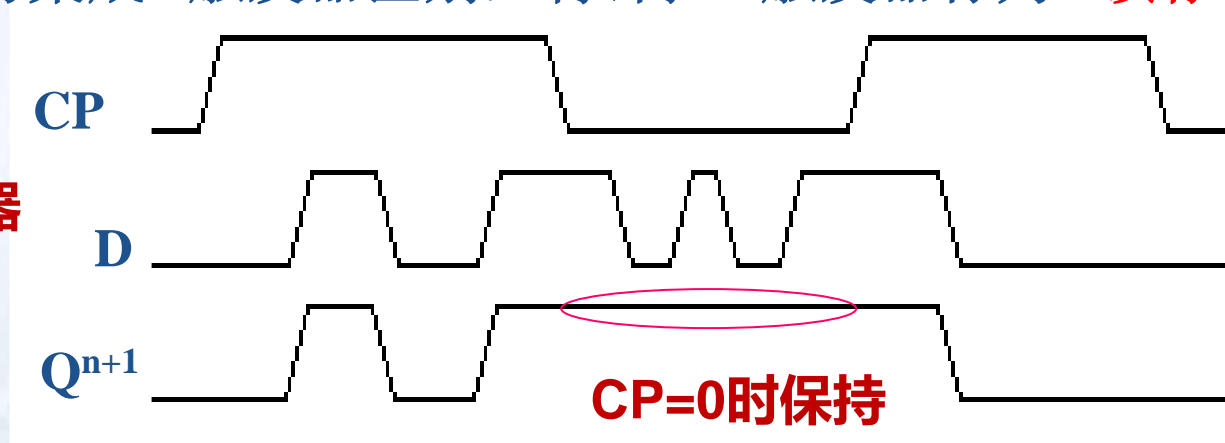
$$Q^{n+1} = D\bar{Q}^n + DQ^n = D$$



# 钟控D触发器又称为D锁存器

- ❖ 集成D触发器（边沿触发）的状态变化只发生在CP的上升沿或下降沿到来时
- ❖ 为了与集成D触发器区别，将钟控D触发器称为D锁存器

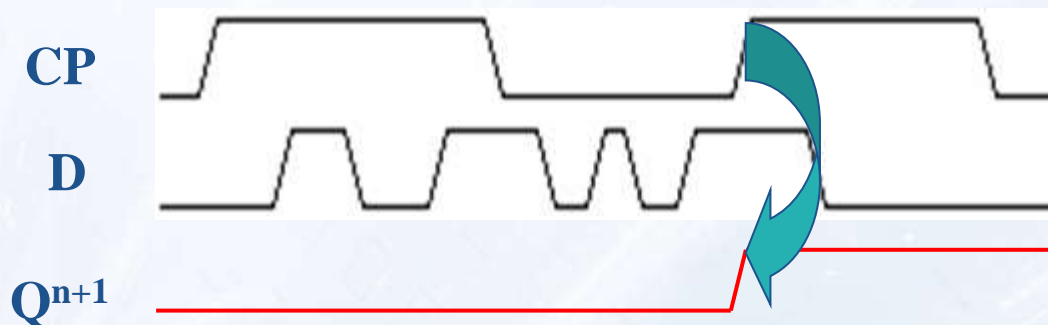
钟控D触发器  
(D锁存器)



- ❖ 当CP=1时， $Q=D$ ，Q的波形与D的波形相同。
- ❖ CP=1“电位”一到，触发器就接收数据，这种触发器称为“**电位触发器**”，它与集成触发器不同。

# (集成) D触发器的特点

## (集成) D触发器



- ❖ 集成D触发器的状态变化只发生在CP脉冲的上升沿或者下降沿到来的时候，CP=1、CP=0时触发器的状态不会发生变化。
- ❖ 锁存器是电位（电平）触发的，而触发器是脉冲边沿触发的。

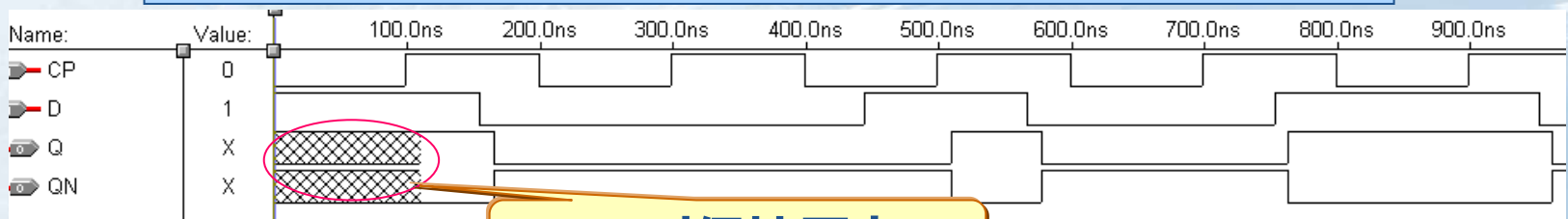
# D锁存器的HDL设计

根据特性表，采用行为描述方式

◆ D锁存器为电位触发器，假定为高电平触发

$$Q^{n+1} = D \quad (CP = 1)$$
$$Q^{n+1} = Q^n \quad (CP = 0)$$

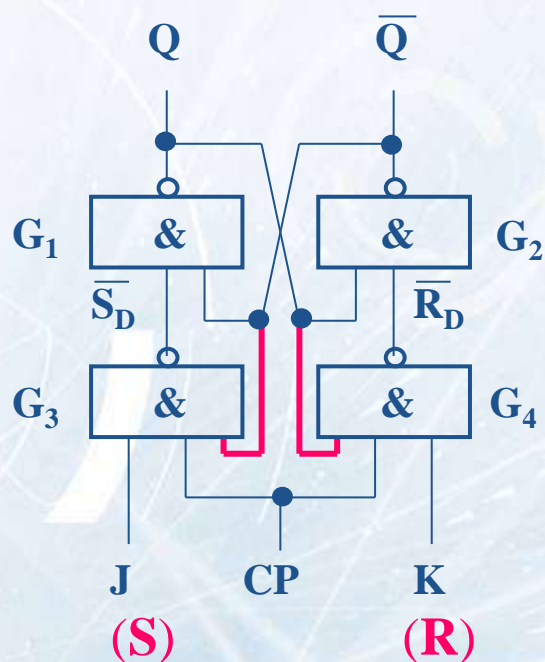
```
module D_FF_1(CP,D,Q,QN);  
    input  CP,D;  
    output Q,QN;  
    reg    Q,QN;  
  
    always  
    begin  
        if (CP == 1)begin Q = D;QN = ~Q; end  
        else          begin Q = Q;QN = QN; end  
    end  
endmodule
```



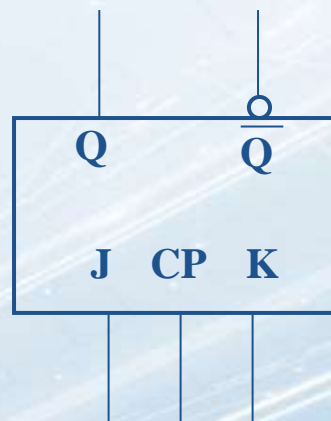
CP=0时保持原态

## 6.3.3 钟控JK触发器

- ❖ D锁存器虽然没有约束条件，但功能较少（只有置0、置1功能）。
- ❖ JK触发器是一种功能最全面，而且没有约束条件的FF。它是在钟控RS FF的基础上，增加两条反馈线，Q反馈到R钟控门的输入端，并把R改为K；/Q反馈到S门上，并把S改名为J。



钟控JK触发器的电路结构



❖ 把RS = 11的无效状态变为JK触发器的翻转（计数）功能



# 钟控JK触发器的逻辑功能表示

## ❖ 电路功能

CP=0时为保持功能

### 特性表(CP=1)

J	K	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	(计数)

$$\begin{aligned}
 Q^{n+1} &= \bar{J}\bar{K}Q^n + J\bar{K}\bar{Q}^n + J\bar{K}Q^n + JK\bar{Q}^n \\
 &= (J\bar{K}\bar{Q}^n + JK\bar{Q}^n) + (\bar{J}\bar{K}Q^n + J\bar{K}Q^n) \\
 &= J\bar{Q}^n + \bar{K}Q^n
 \end{aligned}$$

### 简化特性表(CP=1)

J K	$Q^{n+1}$	功能
0 0	$Q^n$	保持
0 1	0	置0
1 0	1	置1
1 1	$\bar{Q}^n$	翻转

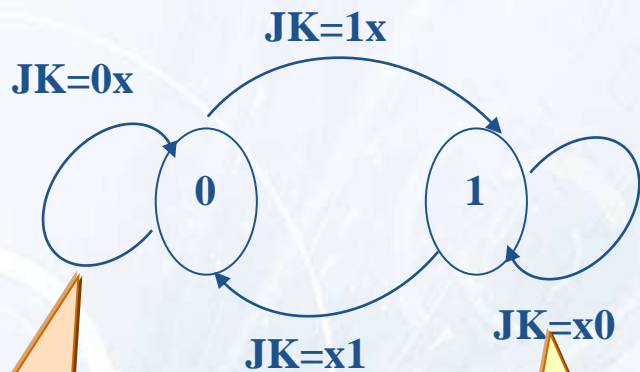
### 特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K} \cdot Q^n$$

J0K0, 输出不变; J0K1, 输出为0;  
J1K0, 输出为1; J1K1, 分频计数

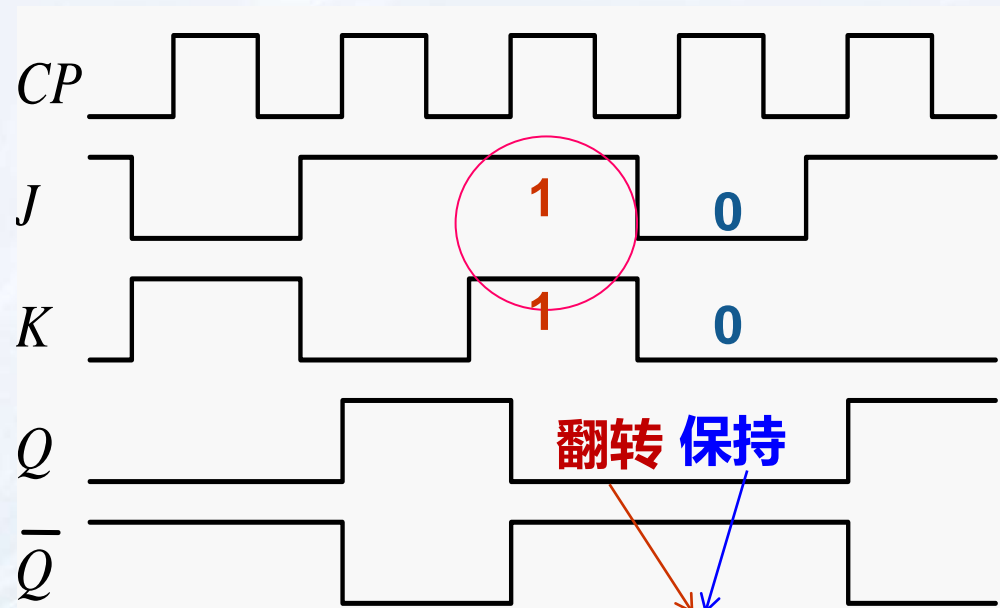
# 钟控JK触发器的状态图和时序图

状态转换图



JK=01, 置0;  
JK=00, 保持0

JK=10, 置1;  
JK=00, 保持1



时序图

比D锁存器新  
增的功能

# 钟控JK触发器的HDL设计

## ❖ 设计分析

- ◆ 根据CP=0和1，分2种情况，适合用if-else语句来描述
  - CP=0时保持
  - CP=1时完成JK FF的功能（根据简化特性表有4种功能，适于用case语句来描述）

### 简化特性表(CP=1)

J K	$Q^{n+1}$	功能
0 0	$Q^n$	保持
0 1	0	置0
1 0	1	置1
1 1	$\overline{Q^n}$	翻转

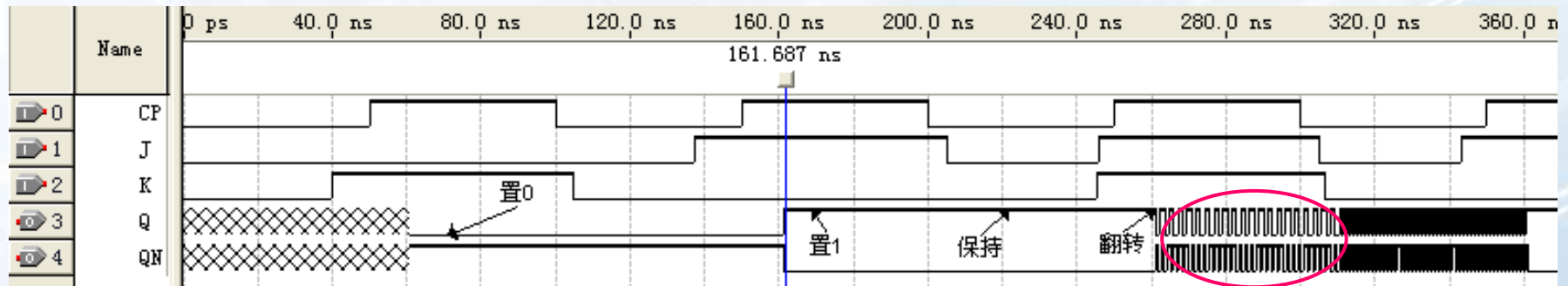
# 钟控JK触发器的

采用行为描述方式

```
module JK_FF(CP,J, K,Q,QN);
  input    CP, J, K;
  output   Q,QN;
  reg      Q,QN;
  always @(CP or J or K)
    begin
      if (CP==0)                                //保持
        begin Q = Q; QN = QN; end
      else if (CP==1)
        case ({J,K})
          2'b00: begin Q = Q;    QN = QN; end //保持
          2'b01: begin Q = 1'b0; QN = 1'b1; end //置0
          2'b10: begin Q = 1'b1; QN = 1'b0; end //置1
          2'b11: begin Q = !Q;   QN = !QN; end //翻转
        endcase
      end
    end
endmodule
```

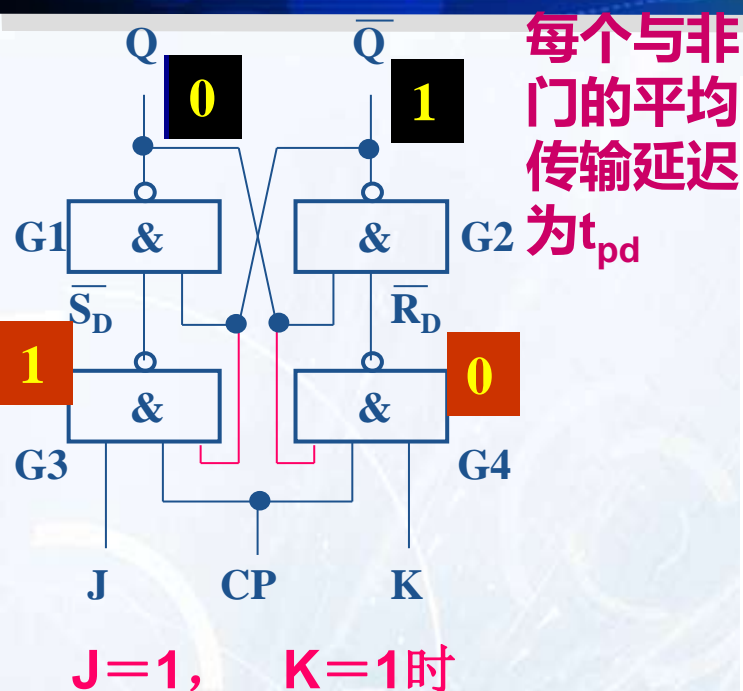


# 钟控JK触发器的仿真波形

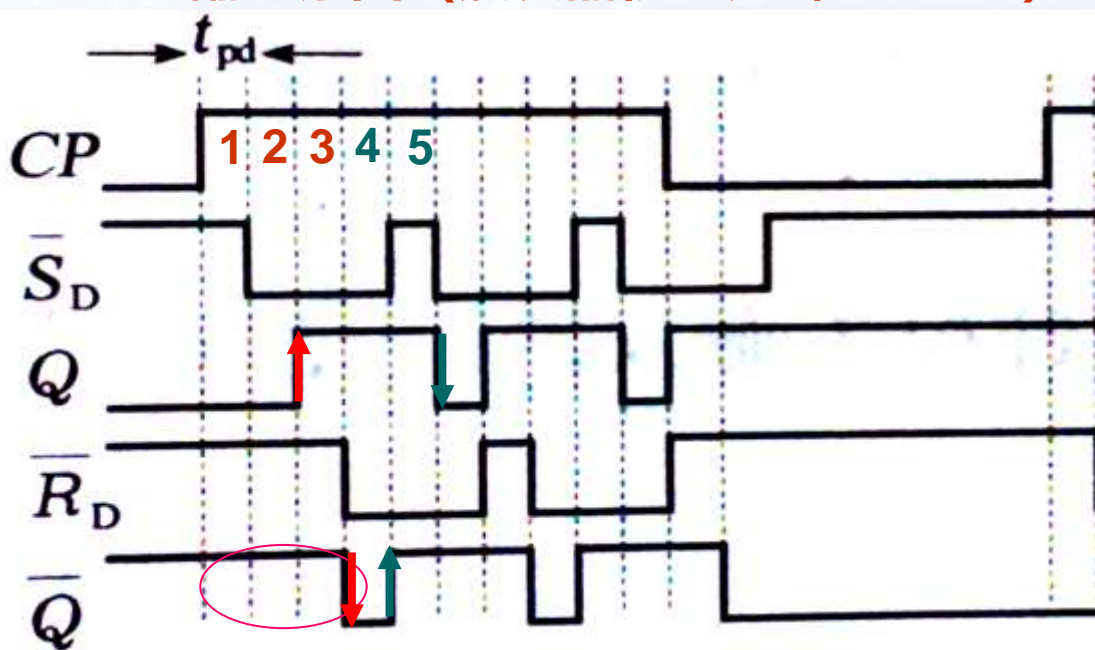


**J=1、K=1时  
发生空翻**

# 钟控JK触发器的空翻现象



空翻时序图 (触发器初态为0,  $J=K=1$ )



◆当  $CP=1$  时，由于触发器初态是0， $Q=0$  使门G4截止， $\bar{Q}=1$  使门G3导通。经历2个  $t_{pd}$  后， $Q$  端由0变为1；第3个  $t_{pd}$  后， $\bar{Q}$  由1变为0，触发器完成了第一次翻转。

◆当触发器翻转为1后，如果  $CP=1$  继续保持，则由于  $\bar{Q}=0$  使门G3截止， $Q=1$  使门G4导通，第4个  $t_{pd}$  后， $\bar{Q}$  由0变为1，第5个  $t_{pd}$  后， $Q$  由1变为0，又使触发器完成第二次翻转。

为保证  $CP=1$  期间JK触发器只翻转1次： $3t_{pd} < t_{CP} < 4t_{pd}$   
在实际的电路中难以实现

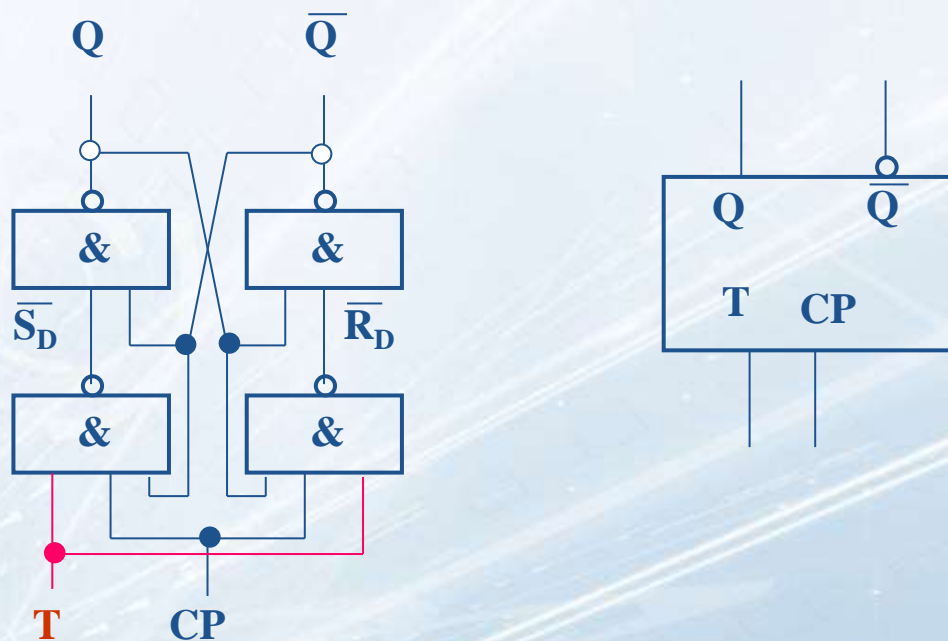
# 钟控JK触发器的空翻现象原理分析

- ❖ 当 $CP=0$ 时，门G3、G4有一个输入端为0，则它们的输出 $/S_D$ 为1， $/R_D$ 为1。
- ❖ 当 $CP=1$ 时，由于触发器初态是0， $Q=0$ 使门G4截止， $/Q=1$ 使门G3导通。
  - 延迟1个 $tpd$ ，门G3的输出 $/S_D$ 变为0， $/R_D$ 仍为1；
  - 再延迟1个 $tpd$ 后，则门G1的输出 $Q$ 端由0变为1；
  - $Q=1$ 反馈到G2的输入端，则经过第3个 $tpd$ 后，G2的输出端 $/Q$ 由1变为0，触发器完成了第一次翻转——经过一共3个 $tpd$ 后翻转1次。
  - 同时， $Q=1$ 也反馈到G4的输入端，则经过第3个 $tpd$ 后，G4的输出端 $/R_D$ 由1变为0（接G2的输入端）。
- ❖ 当触发器翻转为1后，如果 $CP=1$ 继续保持
  - 由于G2的输入端 $/R_D$ 为0，则经历第4个 $tpd$ 后，G2的输出端 $/Q$ 由0变为1；
  - 由于经过第3个 $tpd$ 后，G2的输出端 $/Q$ 由1变为0，并反馈到G3的输入端，则第4个 $tpd$ 后，G3的输出端 $/S_D$ 由0变为1（接G1的输入端）；
  - 经过第5个 $tpd$ 后，G1的输出端 $Q$ 由1变为0，使触发器完成第二次翻转。



## 6.3.4 钟控T触发器

- ❖ 在某些应用场合，需要这样一种触发器，当控制信号 **$T=1$** 时，每来一个时钟信号其状态就**翻转**一次；当 **$T=0$** 时，无论时钟信号有无到来，其状态**保持**不变。
- ❖ 把JK触发器的两个输入端合并为一个输入端 **$T$** ，得到 **$T$ 触发器**



### ❖ 工作原理

- ◆ 当 **$T=0$** 时，相当于 **$J=0$** ， **$K=0$** ，触发器处于**保持**状态；
- ◆ 当 **$T=1$** 时，相当于 **$J=1$** ， **$K=1$** ，触发器为**翻转**功能。



# 钟控T触发器的逻辑功能表

如何进行  
HDL设计?

- ❖ 电路功能  
CP=0时保持

特性表(CP=1)

T	$Q^n$	$Q^{n+1}$
0	0	0
0	1	1
1	0	1
1	1	0

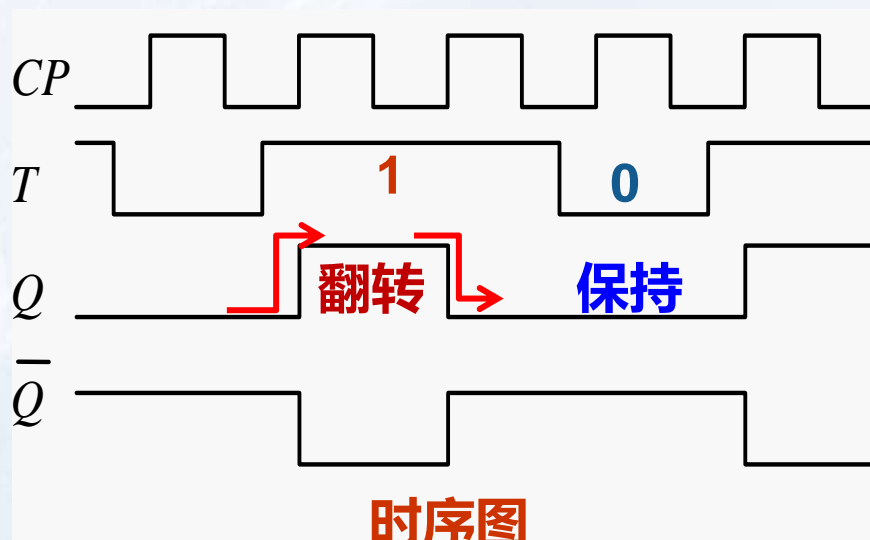
简化特性表(CP=1)

T	$Q^{n+1}$
0	$Q^n$
1	$\overline{Q^n}$

保持  
翻转

特性方程

$$Q^{n+1} = T\overline{Q^n} + \overline{T} \cdot Q^n$$



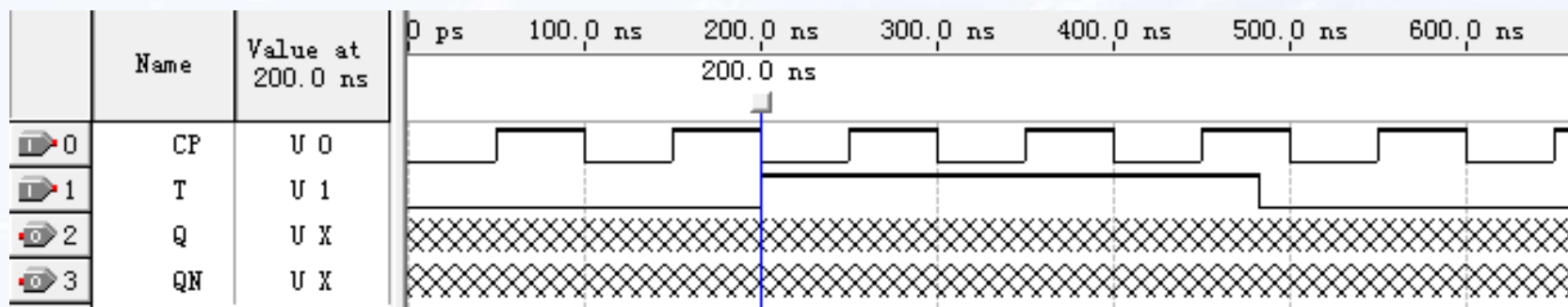
- ❖ 只有保持和翻转功能，没有置0和置1功能。
- ❖ 钟控T触发器的结构与JK触发器相似，也存在空翻现象。

# 钟控T触发器的HDL设计

```
module T_FF(CP,T,Q,QN);  
  input    CP, T;  
  output   Q,QN;  
  reg      Q,QN;  
  always @(CP or T)  
  begin  
    if (CP==0)  
      begin Q = Q; QN = QN; end  
    else if (CP==1)  
      case (T)  
        1'b0: begin Q = Q;      QN = QN; end //保持  
        1'b1: begin Q = !Q;     QN = !QN; end //翻转  
      endcase  
    end  
  end  
endmodule
```

initial  
begin  
 Q=1'b0;  
 QN=1'b1;  
end

# 钟控T触发器的仿真波形



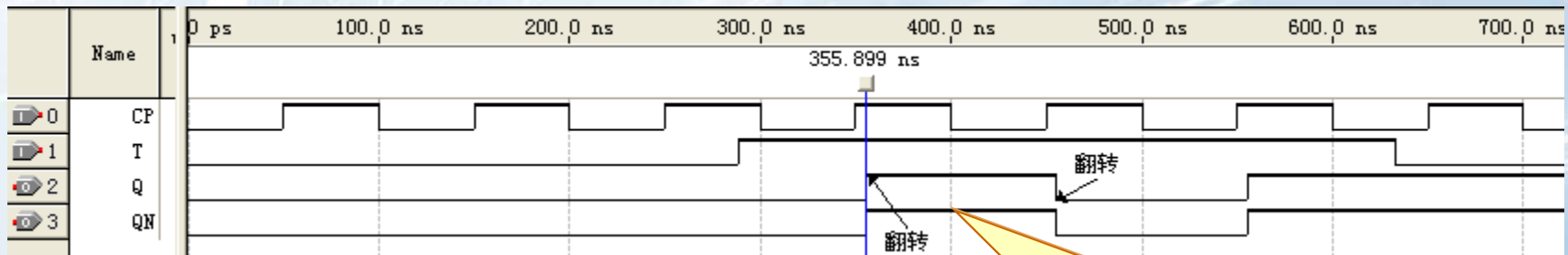
- ❖ 在0~200ns时间段，**T=0**，触发器处于保持功能。触发器刚上电时为随机状态，所以软件仿真给出了保持未知（x）的结果。
- ❖ 当**T变为1**时，触发器按特性表应该翻转，但因为之前为未知状态，所以Q输出也为未知。
- ❖ 为仿真正确，一定要先给Q和QN赋初值！但Quartus II不支持initial语句——**试用ModelSim仿真**

# 边沿T触发器的HDL设计

```
module T_FF_edge (CP,T,Q,QN);  
  input    CP, T;  
  output   Q,QN;  
  reg      Q,QN;  
  always @(posedge CP) //在CP上升沿到来时  
  begin  
    if (T)  
      begin Q = !Q; QN = !QN; end //翻转  
    else  
      begin Q = Q; QN = QN; end //保持  
  end  
endmodule
```

仿真不正确!  
为什么?

因为Quartus II 软件  
将刚上电时的随机电  
平都当成了低电平,  
所以Q和QN的初始值  
一样, 则翻转后的波  
形也一样。



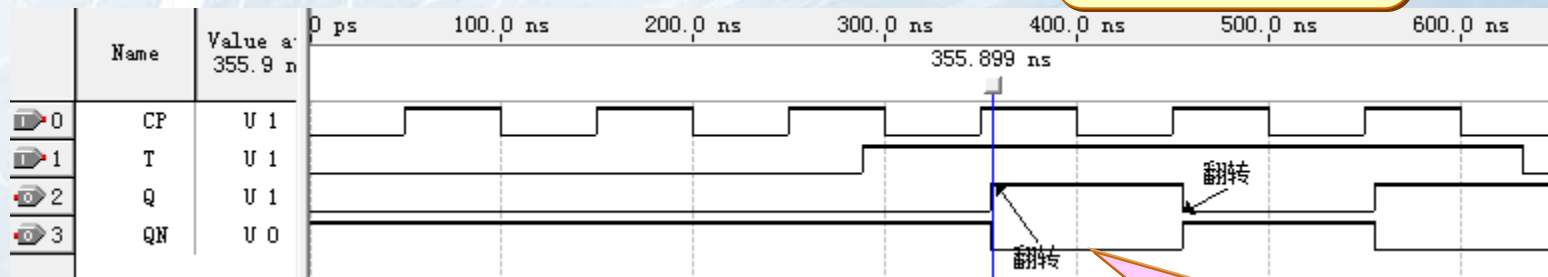
QN与Q同相了!



# 边沿T触发器的HDL设计——改进

```
module T_FF_edge_new (CP,T,Q,QN);
  input  CP, T;
  output Q,QN;
  reg    Q,QN;
  always @(posedge CP) //在CP上升沿到来时
  begin
    if (T)
      begin Q = !Q; QN = !Q; end //翻转
    else
      begin Q = Q; QN = !Q; end //保持
    end
  end
endmodule
```

QN与Q应保持互非



QN与Q反相

## 6.3.5 钟控T' 触发器

如何进行  
HDL设计?

- ❖ 把JK触发器的两个输入端并在一起接高电平（或者把T触发器的T接高电平），得到T'触发器

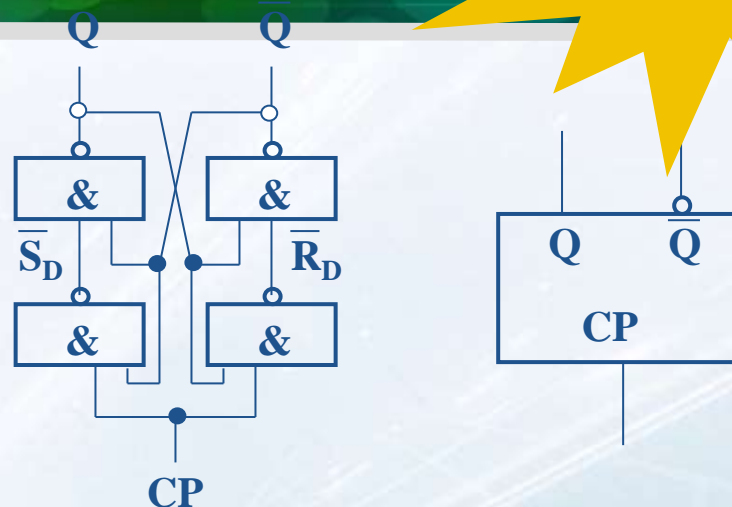
- ❖ 电路功能(JK=11或T=1)

CP=0时保持；CP=1时翻转

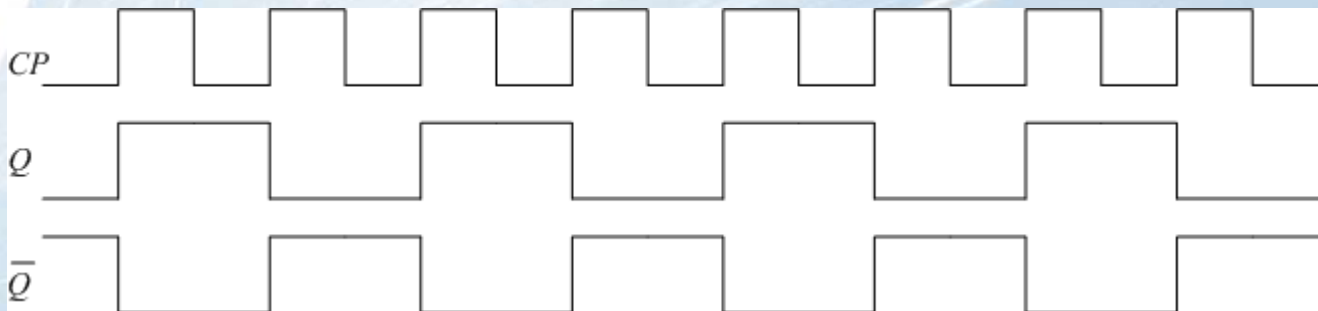
——称为**翻转型触发器**

**特性方程**

$$Q^{n+1} = \overline{Q}^n$$



- ❖ 对于TTL电路，与非门的输入端悬空相当于接高电平，因此图中接高电平的JK端没有画出——T'触发器没有输入端。
- ❖ 存在空翻现象



时序图

# 电位触发器的特点

- ❖ 电位触发器具有结构简单的优点
- ❖ 但是当 $CP = 1$ 时，输入数据的变化会直接引起输出状态的变化，用它来组成计数器或者移位寄存器就会造成空翻的现象，因此只能做锁存器，此时输入变成了透明的。

# 不同逻辑功能触发器的变迁 (1/2)

- ❖ 基本**RS**触发器具有保持、置0、置1功能，其输入信号可以**直接控制**触发器的输出

$$Q^{n+1} = S_D + \overline{R_D} \cdot Q^n$$
$$\overline{S_D} + \overline{R_D} = 1 \text{ 或 } S_D \cdot R_D = 0$$

(约束条件)

- ❖ 有时需要触发器在时钟控制下统一动作——引入**钟控RS触发器**，**CP=1**（或**0**）时触发器的状态随输入变化，但必须遵守**约束条件**：**RS=0**，即**RS=11**时为不定状态

$$Q^{n+1} = S + \overline{R} \cdot Q^n$$
$$S \cdot R = 0 \text{ (约束条件)}$$

- ❖ 为消除钟控**RS**触发器的不定状态，将钟控**RS**触发器的输入由**R**、**S**双端输入改为单端输入（**D**）——引入**钟控D触发器**，只有置0、置1功能

$$Q^{n+1} = D$$



## 不同逻辑功能触发器的变迁（2/2）

- ❖ 钟控D触发器虽然没有约束条件，但功能较少——引入钟控JK触发器，有4种逻辑功能：保持（JK=00）、置0（JK=01）、置1（JK=10）、翻转（JK=11）功能

$$Q^{n+1} = J\overline{Q}^n + \overline{K} \cdot Q^n$$

- ❖ 在某些应用场合，需要这样一种触发器，当控制信号T=1时，每来一个时钟信号其状态就翻转一次；当T=0时，无论时钟信号是否有效，其状态都保持不变。把JK触发器的两个输入端合并为一个输入端T，得到T触发器。

$$Q^{n+1} = T\overline{Q}^n + \overline{T} \cdot Q^n$$

- ❖ 把JK触发器的两个输入端并在一起接高电平（或者把T触发器的T接高电平），得到T'触发器，CP=0时保持；CP=1时翻转

$$Q^{n+1} = \overline{Q}^n$$

## 6.4 集成触发器

### 内容概要

6.4.1 主从JK触发器

6.4.2 边沿JK触发器

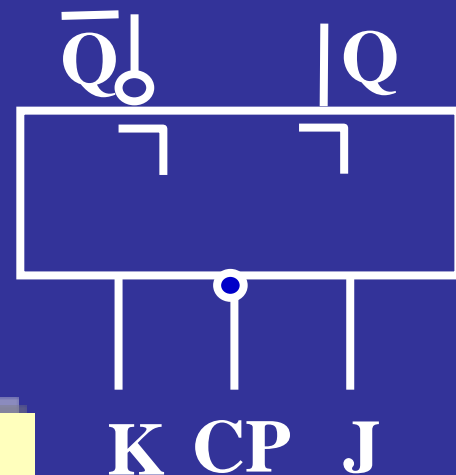
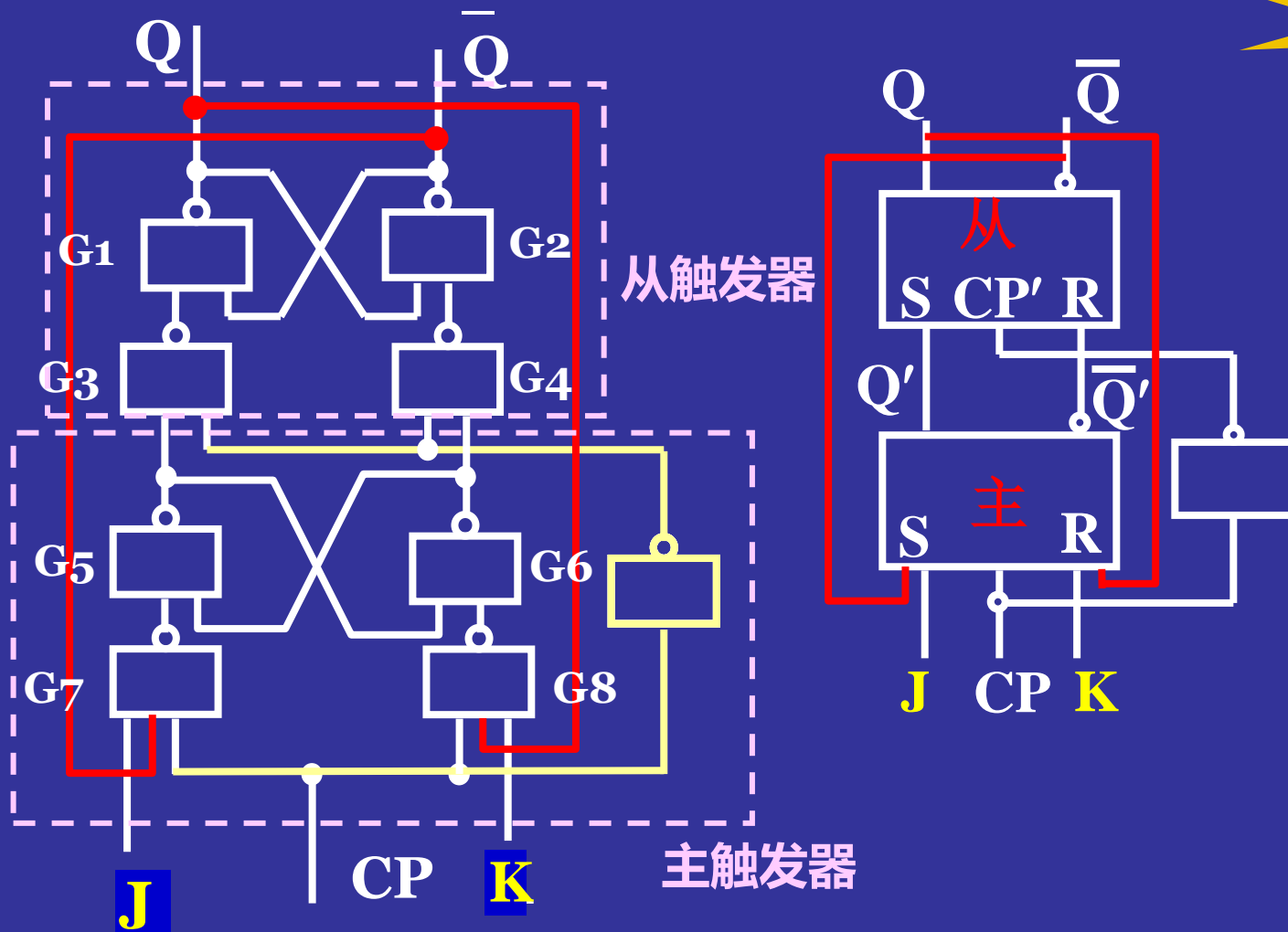
6.4.3 维持阻塞D触发器

# 集成触发器

- ❖ 把多个同一类型的触发器做在一片硅片上就形成了集成触发器。
- ❖ 集成触发器有主从JK 触发器、边沿JK触发器和维持-阻塞D触发器等。
- ❖ 为了克服钟控触发器的空翻现象，提高触发器工作的可靠性，希望在每个CP周期里输出端的状态只改变一次，为此提出了主从触发器。
- ❖ 主从触发器是由两级电位触发器（主触发器、从触发器）串联而成。
- ❖ 主从FF克服了钟控FF的空翻现象，但存在一次翻转问题（主触发器在CP=1期间只可能翻转1次，且一旦翻转就不会翻回原来的状态），降低了抗干扰能力。

## 6.4.1 主从JK触发器

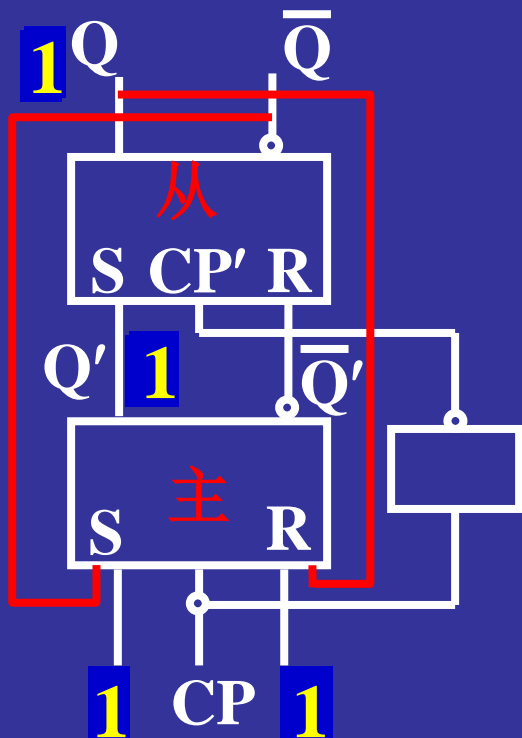
了解即可



- ❖ 由2个同样的钟控RS触发器构成，主触发器与从触发器的CP反相；
- ❖ 将Q和 $\bar{Q}$ 作为一对附加的控制信号接回到输入端



# 主从JK触发器的工作原理



		CP=1	CP ↓
J	K	$Q^{n+1}$	$Q^{n+1}$
0	0	$Q^n$	$Q^n$
0	1	0	0
1	0	1	1
1	1	$\overline{Q}^n$	$\overline{Q}^n$

保持

置0

置1

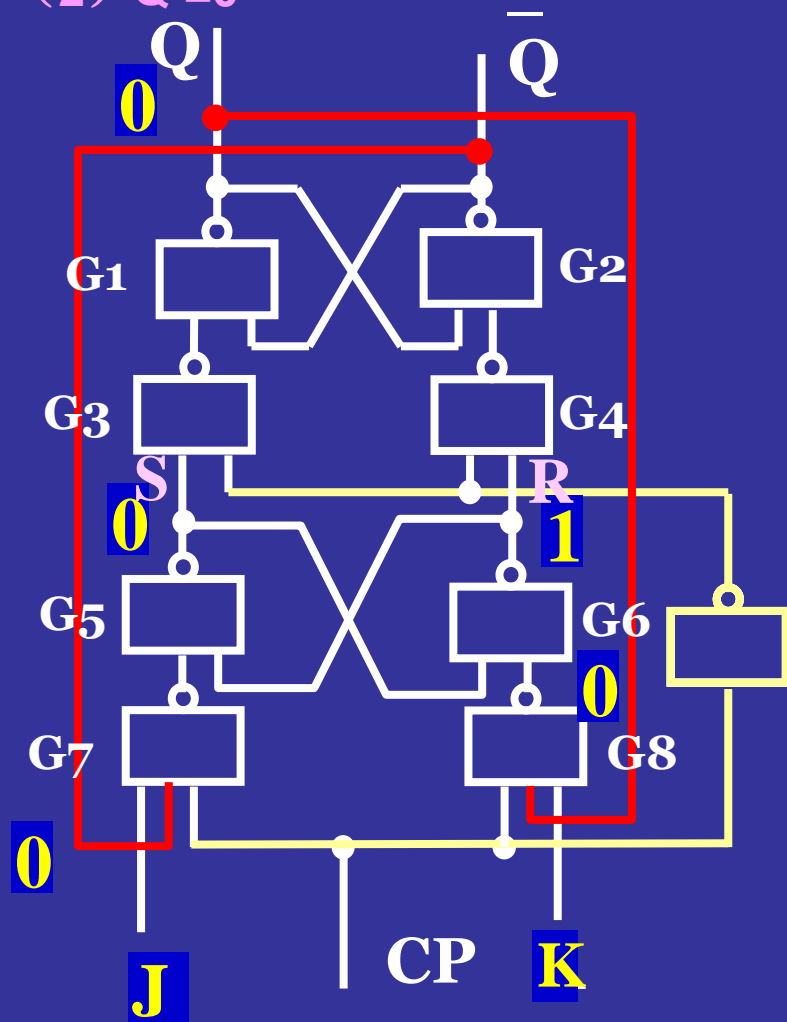
翻转

- ❖ 若  $JK=00$ ，当  $CP=1$  时，触发器保持原态不变， $Q^{n+1}=Q^n$ ；
- ❖ 若  $JK=01$ ，当  $CP=1$  时，主触发器置0，待  $CP=0$  后从触发器也置0， $Q^{n+1}=0$ ；
- ❖ 若  $JK=10$ ，当  $CP=1$  时，主触发器置1，待  $CP=0$  后从触发器也置1， $Q^{n+1}=1$ ；
- ❖ 若  $JK=11$ ，当  $CP$  的下降沿到达时，JK触发器的状态翻转。
  - (1)  $Q^n = 1$ ， $Q^{n+1}=0$ ；
  - (2)  $Q^n = 0$ ， $Q^{n+1}=1$ 。

(1)  $Q = 1$

## J=1、K=1时的原理分析

(2)  $Q = 0$



❖ 若  $JK=11$ ，需要考虑2种情况：

(1)  $Q^n = 1$ ，门G7被 $\bar{Q}$ 端的低电平封锁，当  $CP=1$  时，仅G8输出低电平信号，故G6输出 $\bar{Q}' = 1$  ( $R=1$ )，G5输出 $Q' = 0$

( $S=0$ )，主触发器置0；待  $CP=0$  后从触发器也置0， $Q^{n+1}=0$ ；

(2)  $Q^n = 0$ ，门G8被Q端的低电平封锁，当  $CP=1$  时，仅G7输出低电平信号，故G5输出 $Q' = 1$  ( $S=1$ )，G6输出 $\bar{Q}' = 0$

( $R=0$ )，主触发器置1；待  $CP=0$  后从触发器也跟着置1， $Q^{n+1}=1$ 。

❖ 若  $JK=11$ ，无论  $Q^n$  为1或0，当CP的下降沿到达时，JK触发器的状态都翻转。

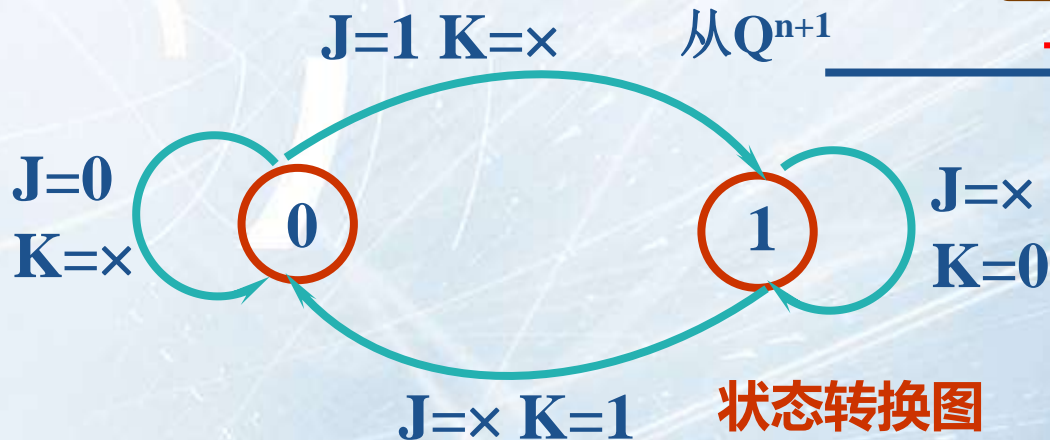
# 主从JK触发器的逻辑功能表示

特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



时序图



状态转换图

# 主从JK触发器的动作特点

## (1) 触发器的翻转分两步动作

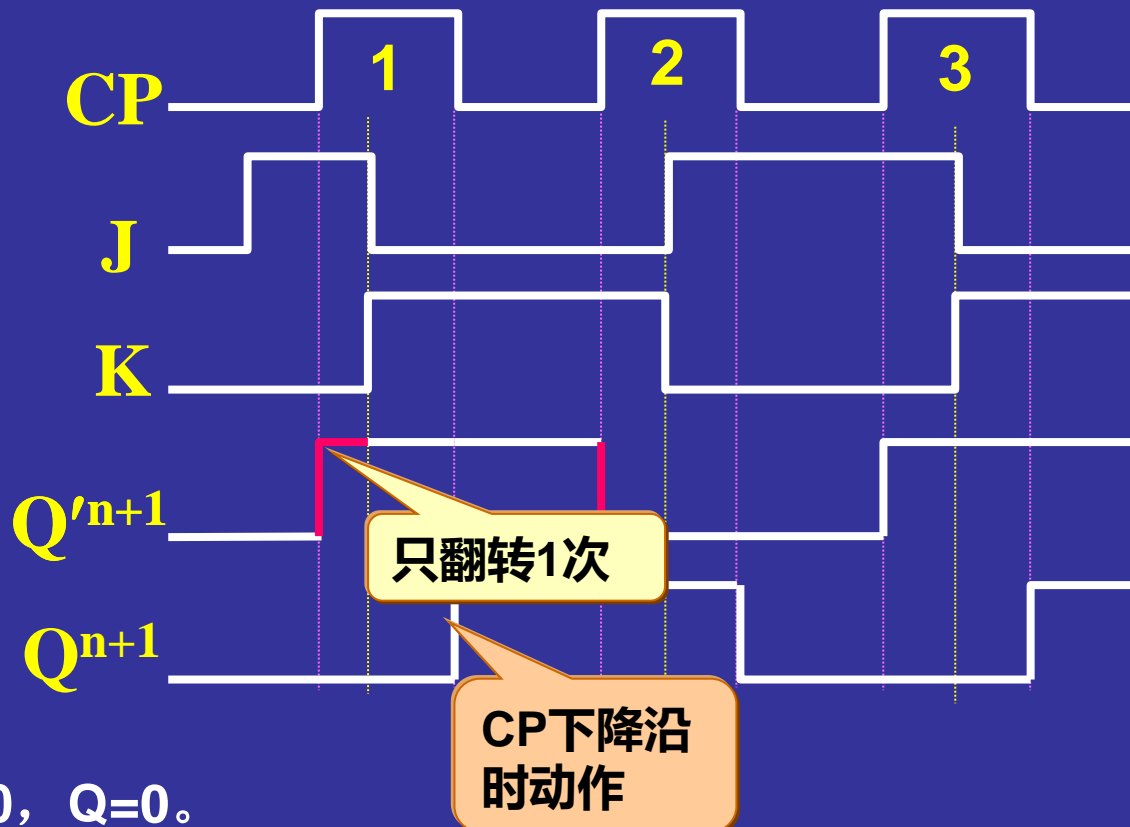
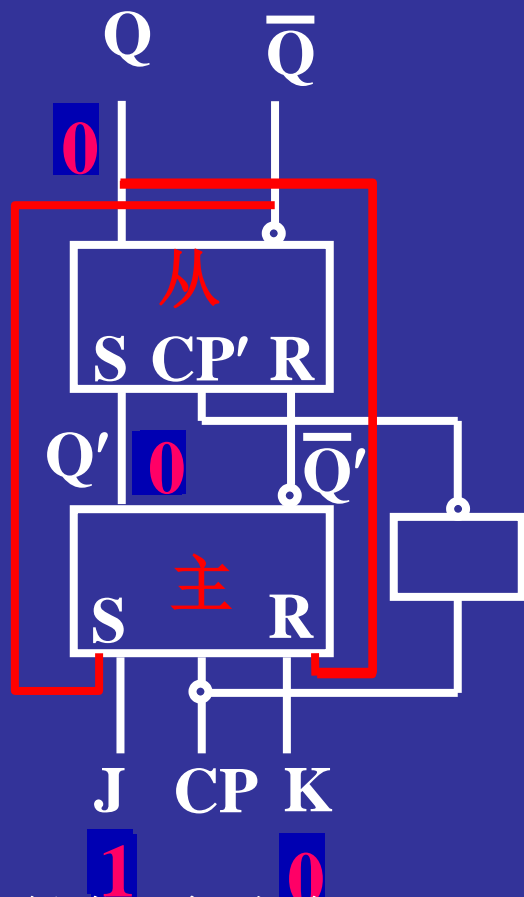
- ◆  $CP=1$  期间主触发器接收输入端 ( $J$ 、 $K$ ) 的信号, 被置成相应的状态, 而从触发器不动;
- ◆  $CP$  下降沿到来时从触发器按照主触发器的状态翻转, 所以  $Q$ 、 $/Q$  端状态的改变发生在  $CP$  的下降沿。

## (2) 主触发器本身是一个电位触发RS触发器, 在 $CP=1$ 的全部时间里主触发器都可以接收输入信号。但因为 $Q$ 、 $/Q$ 接回到输入门上, 所以在 $Q=0$ 时主触发器只能接受置1输入信号 ( $J=1$ ), 在 $Q=1$ 时主触发器只能接受置0输入信号 ( $K=1$ )。结果是在 $CP=1$ 期间主触发器只有可能翻转一次, 一旦翻转则不会回到原来的状态。

- ❖ 只要保证在  $CP=1$  期间首次出现的输入信号是正确的, 则主从触发器的输出肯定是正确的。



# 主从JK触发器的“一次翻转”问题



假设触发器初态为0，即 $Q'=0$ ， $Q=0$ 。

在 $CP=1$ 期间，无论J、K的状态变化多少次， $Q'$ 的状态只变化一次；从触发器不动， $Q$ 的状态不发生变化。当 $CP\downarrow$ ，从触发器与主触发器的状态相一致。此时的J、K状态有可能不符合功能表。

Q仍为1；接着JK变为10，由于主触发器只翻转一次，所以 $Q'$ 保持0。

# 主从JK触发器的“一次翻转”原理分析

❖ 假设触发器初态为0，即 $Q'=0$ ， $Q=0$ 。

- (1) 在第1个CP为“1”期间，开始 $J=1$ ， $K=0$ ，主触发器置1， $Q'=1$ ，从触发器不动， $Q$ 仍为0；接着 $J=0$ ， $K=1$ ，按RS触发器的功能表，主触发器应置0，但因为 $Q$ 一直为0，并反馈到G8门的输入端，封锁了G8，使G8输出1，G6输出0，反馈到G5的输入端，使G5输出为1，即 $Q'=1$ ，故主触发器保持1——在CP=1期间，无论J、K变化多少次，主触发器只翻转一次。
- (2) 当CP由1变为0后，主触发器处于保持状态， $Q'$ 仍为1；由于CP经过一个非门后接CP'，所以CP'由0变为1，使从触发器动作，由于从触发器的 $S=1$ ， $R=0$ ，则置1， $Q=1$ 。
- (3) 在第2个CP为“1”期间， $J=0$ ， $K=1$ ，主触发器置0， $Q'$ 变为0，从触发器不动， $Q$ 仍为1；接着J变为1，K变为0，由于主触发器只翻转一次，所以 $Q'$ 保持0。
- (4) 当第2个CP下降沿到来时，从触发器动作，由于从触发器的 $S=0$ ， $R=1$ ，则置0， $Q=0$ 。
- (5) 在第3个CP为“1”期间， $J=1$ ， $K=0$ ，主触发器置1， $Q'=1$ ，从触发器不动， $Q$ 仍为0。
- (6) 当第3个CP下降沿到来时，从触发器动作，由于从触发器的 $S=1$ ， $R=0$ ，则置1， $Q=1$ 。

# 使用主从JK触发器的注意事项

- ❖ 在**CP=1**期间，**J**、**K**不允许变化！如果**J**、**K**在**CP=1**期间变化的话，触发器的状态就不满足功能表。
- ❖ **JK**触发器抗干扰能力差。
- ❖ 使用主从**JK**触发器时，**CP=1**的宽度不宜过大，应  
以窄正脉冲、宽负脉冲的**CP**为宜。

# 3种触发器的比较

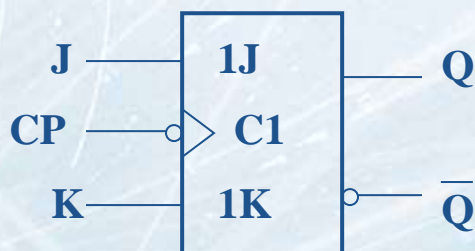
- ❖ **钟控（电位）触发器**：具有结构简单的优点；但是当 $CP=1$ 时，输入数据的变化会直接引起输出状态的变化，因此用它来组成计数器或者移位寄存器就会造成**空翻的现象**，所以只能做锁存器。
- ❖ **主从触发器**：为了解决钟控FF空翻的现象，提出了主从FF。虽然主从触发器解决了钟控FF的空翻现象，但存在**一次翻转**问题，降低了抗干扰的能力。为此，提出了边沿FF。
- ❖ **边沿触发器**：边沿触发器的次态仅仅取决于CP下降沿（或上升沿）到达时刻输入信号的状态，而在这之前和之后输入状态的变化对触发器的次态没有影响——**抗干扰能力强**。
- ❖ **边沿触发的种类**
  - ◆ 利用FF内部门电路的延迟时间不同来实现边沿触发：**负边沿J-K FF**。
  - ◆ 利用直流反馈原理（维持—阻塞）：**正边沿触发的D FF**



## 6.4.2 边沿JK触发器

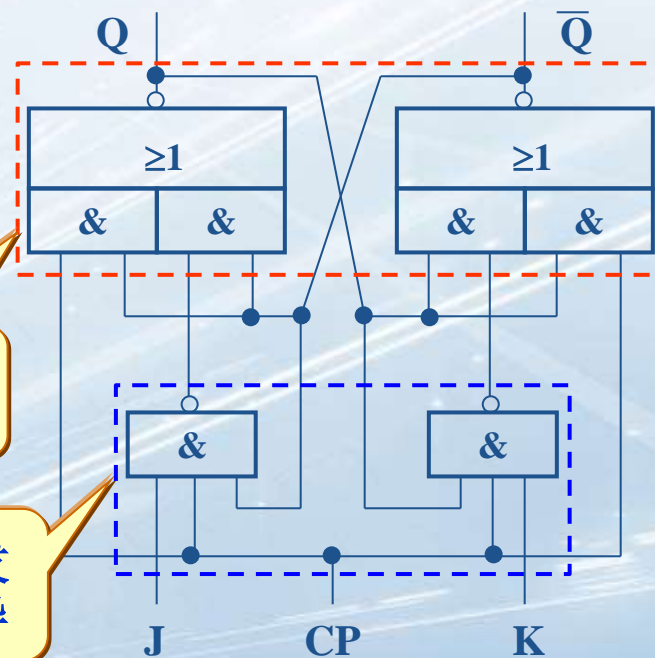
❖ 为提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于**CP**下降沿（或上升沿）到达时输入信号的状态，而在此之前和之后输入状态的变化对触发器的次态没有影响。为此研制出各种**边沿**触发器

- 两个电平D触发器构成的边沿触发器
- 维持阻塞触发器
- 利用门电路传输延迟时间的边沿触发器



基本RS触发器

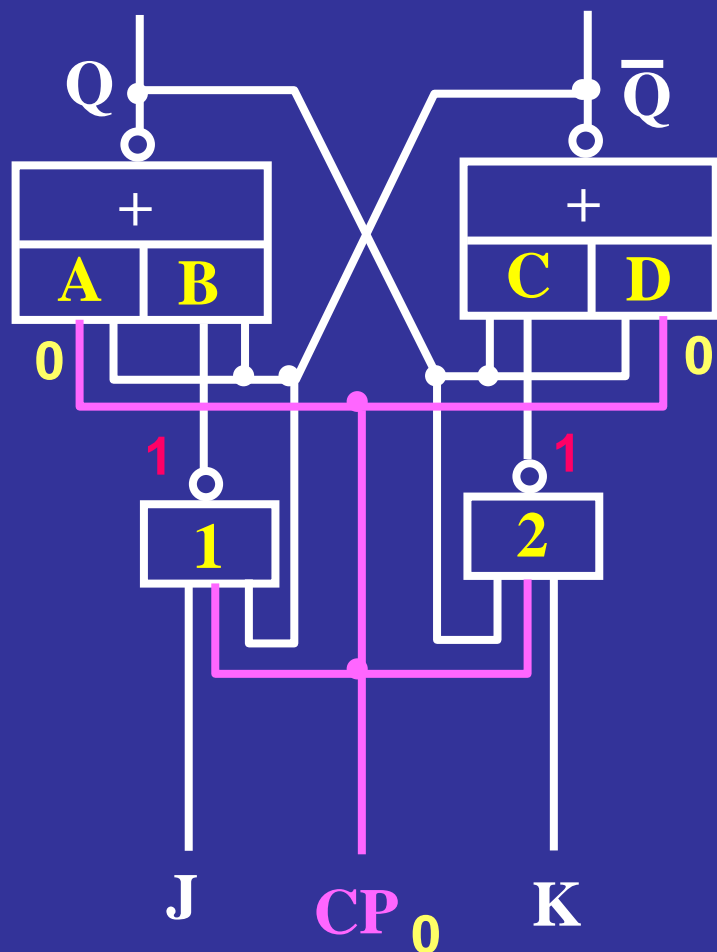
触发引导



边沿JK触发器电路结构

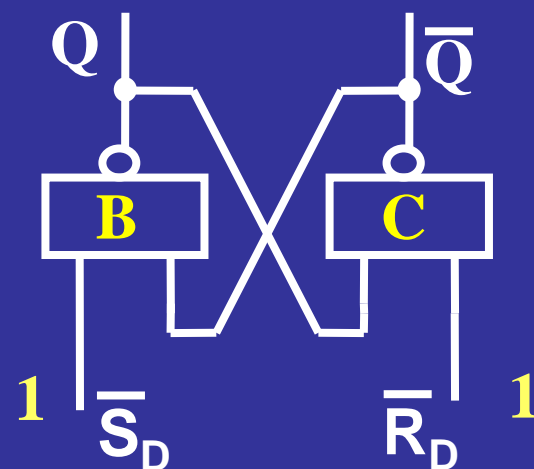
## 负边沿触发的JK触发器（1/3）

- ❖ 边沿JK触发器是利用门电路传输延迟的差异而引导触发的触发器
- ❖ 采用与或非门交叉连接构成基本RS触发器，门1和门2起触发引导作用
- ❖ 门1、2的传输延迟时间大于门A、D的翻转时间。



### 1、CP=0时

门1、2输出为1，门A、D封锁；  
故门B和C构成基本RS触发器

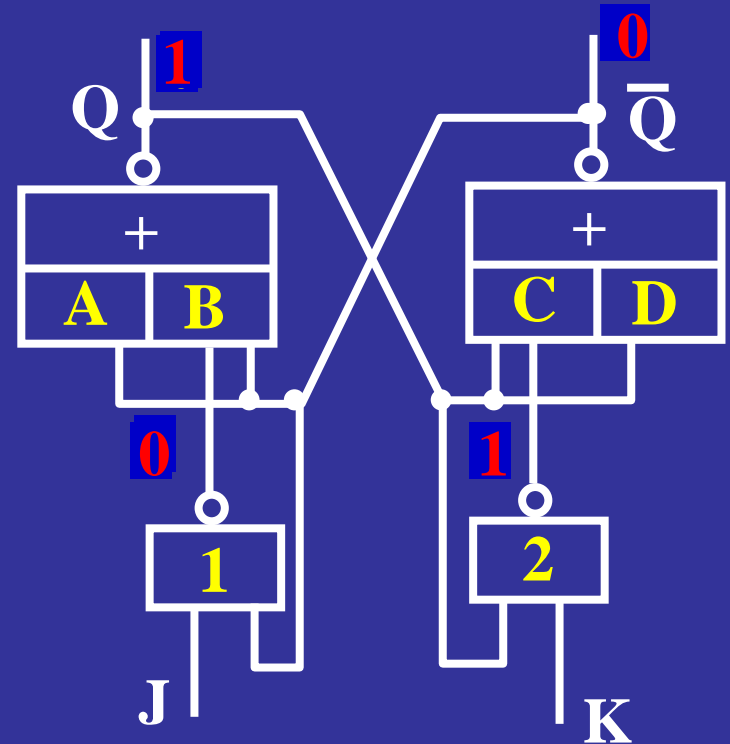
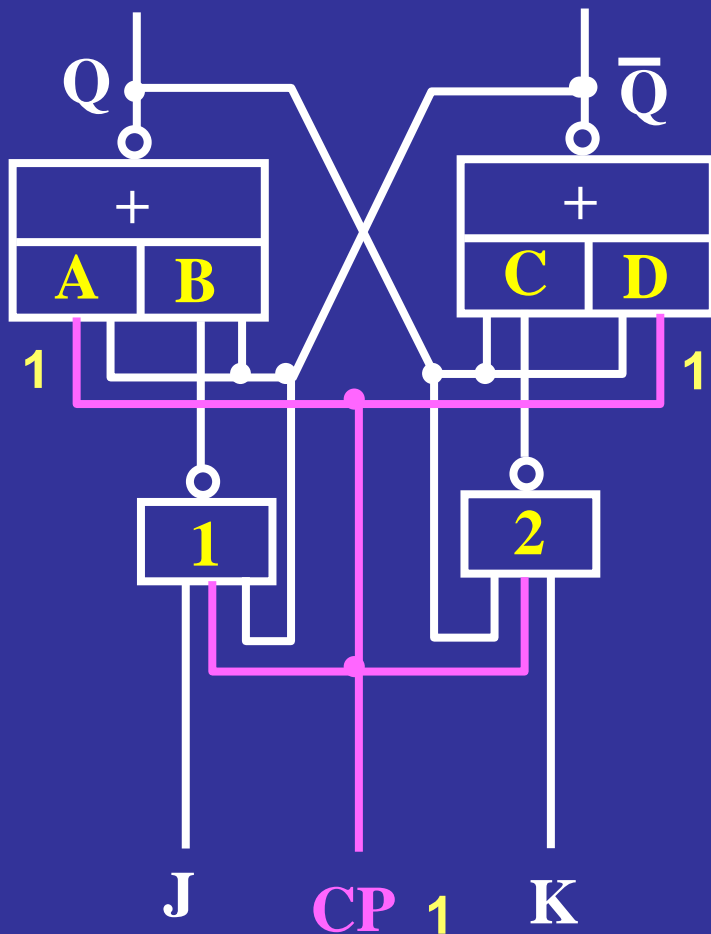


$\overline{S}_D=1, \overline{R}_D=1$ ，保持功能，  
 $Q^{n+1}=Q^n$ ，与J、K输入无关

## 负边沿触发的JK触发器 (2/3)

### 2、CP=1时

门A和D的输入分别为 $\bar{Q}$ 和Q

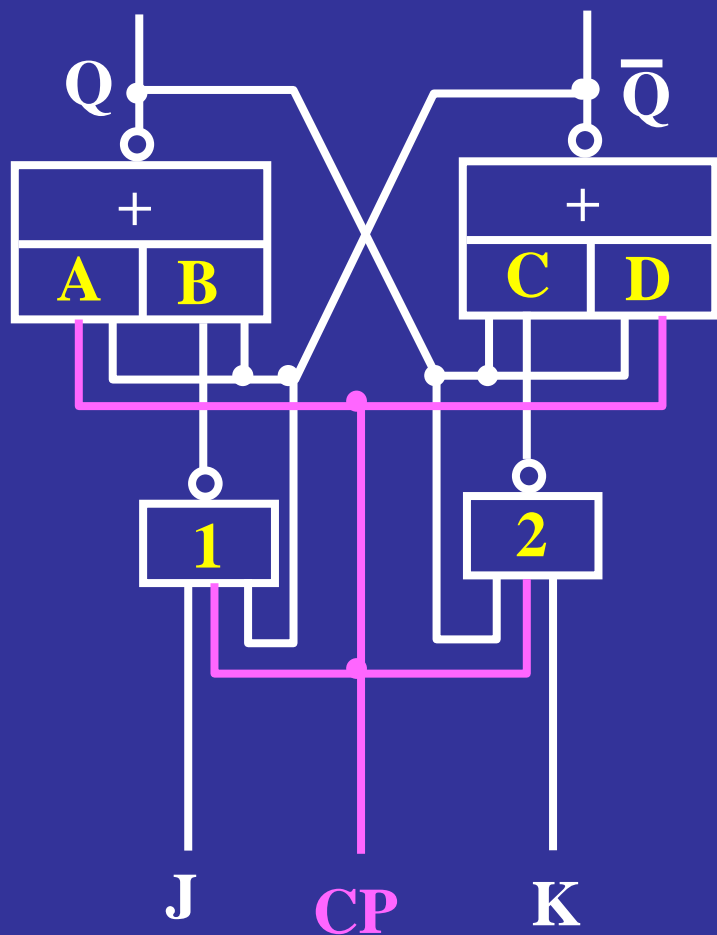


若:  $Q^n=0$       则:  $Q^{n+1}=0$

若:  $Q^n=1$       则:  $Q^{n+1}=1$

保持功能,  $Q^{n+1}=Q^n$  , 且与J、K的值无关

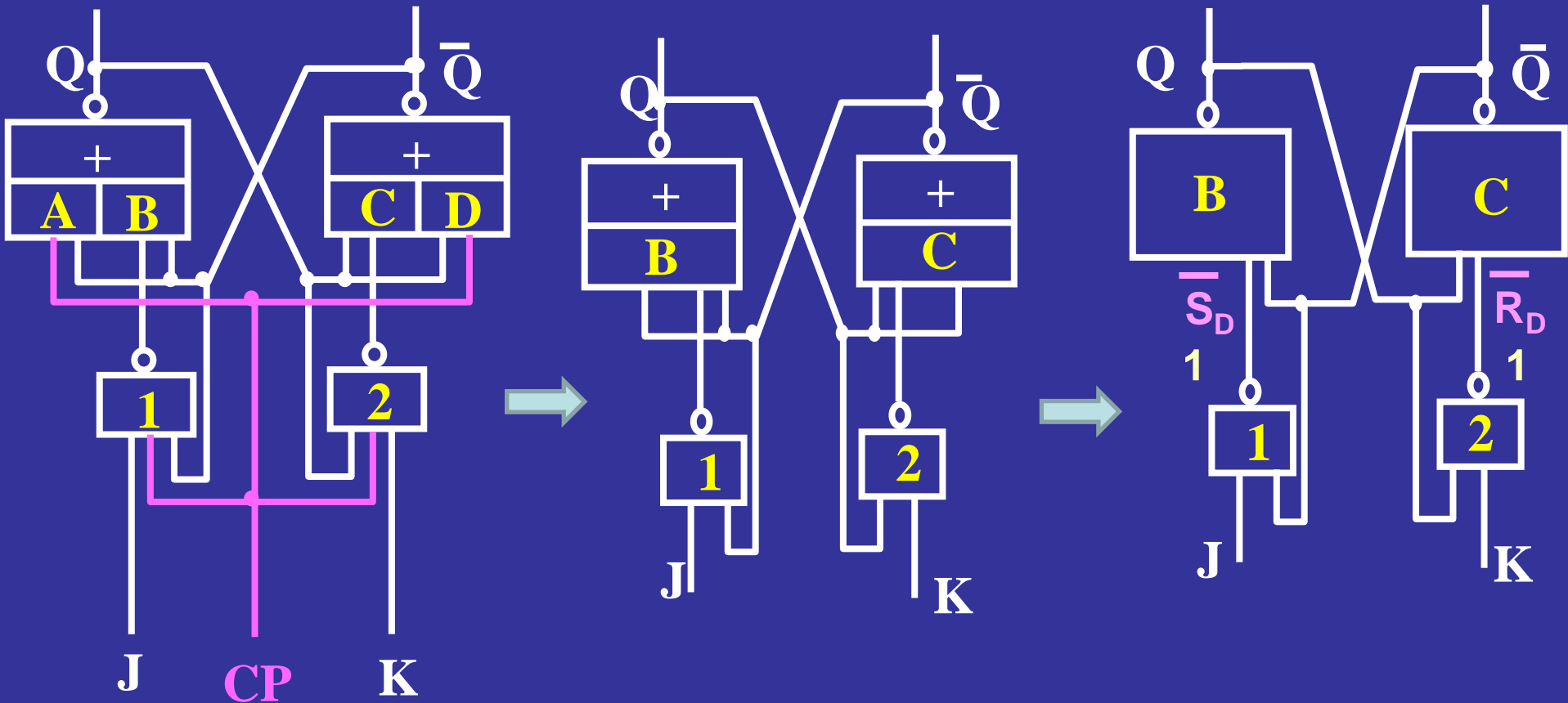
## 负边沿触发的JK触发器（3/3）



- ◆ 边沿JK触发器能够工作的前提条件：门A、D的开启快于门1、2的开启；门A、D的关闭快于门1、2的关闭——门1、2的传输延迟时间大于门A、D的翻转时间。



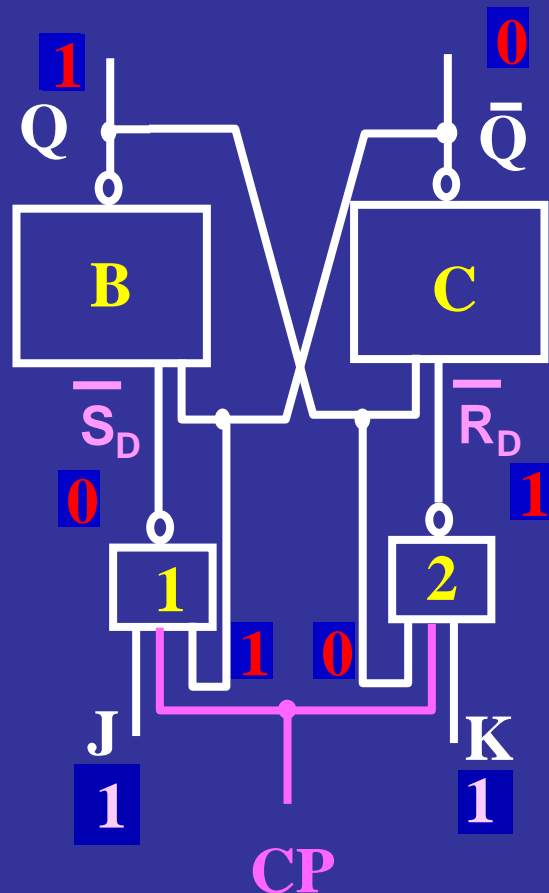
## 负边沿触发的JK触发器工作原理



3、CP↓时，门A、D先关闭，但门1、2还未关闭，J、K的状态从门1、2输出，通过门B、C进入基本RS触发器——完成的是钟控JK触发器的功能。

❖ 之后，门1、2关闭，输出1， $/S_D$ 、 $/R_D=1$ ，使触发器执行保持功能——即使J、K状态再发生变化也不会影响触发器的状态，保证了触发器工作稳定、可靠，增强了触发器的抗干扰能力。

# CP↓时负边沿触发的JK触发器工作原理分析



❖ **CP↓时**，门A、D先关闭，但门1、2还未关闭（仍可看作**CP**为高电平）

◆ 若JK=00，则G1、G2 输出/ $S_D$ 、/ $R_D$ =11， $Q^{n+1}=Q^n$ ，保持功能。

◆ 若JK=11，翻转功能

- 若Q初态为0，反馈到门2的输入端，使/ $R_D$ =1；/ $Q$ =1，反馈到门1的输入端，使/ $S_D$ =0，置1，使 $Q^{n+1}=1$ ，/ $Q^{n+1}=0$ ，然后门1、2关闭；
- 若Q初态为1，反馈到门2的输入端，使/ $R_D$ =0；/ $Q$ =0，反馈到门1的输入端，使/ $S_D$ =1，置0，使 $Q^{n+1}=0$ ，/ $Q^{n+1}=1$ ，然后门1、2关闭。

◆ 若JK=10， $Q^{n+1}=1$ ，/ $Q^{n+1}=0$ ，置1功能。

◆ 若JK=01， $Q^{n+1}=0$ ，/ $Q^{n+1}=1$ ，置0功能。

# 边沿JK触发器的特性表

CP	J	K	$Q^{n+1}$	功能
0	x	x	$Q^n$	保持
1	x	x	$Q^n$	保持
↓	0	0	$Q^n$	保持
↓	0	1	0	置0
↓	1	0	1	置1
↓	1	1	$\bar{Q}^n$	翻转

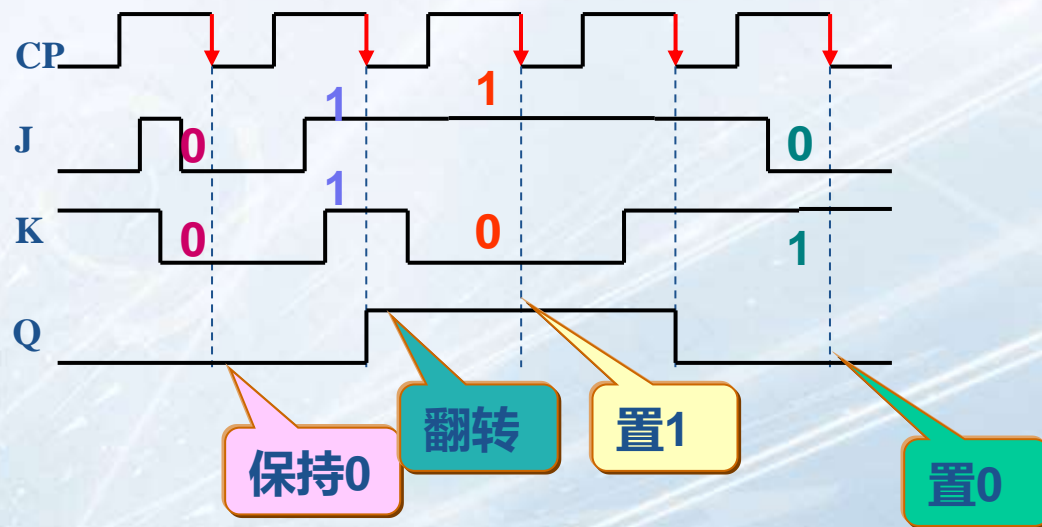
CP=0或1  
时，保持  
功能

# 边沿JK触发器功能表示

特性方程

$$Q^{n+1} = (J\overline{Q}^n + \overline{K}Q^n)CP \downarrow$$

时序图（在CP↓时刻按照JK FF特性画出FF的次态）



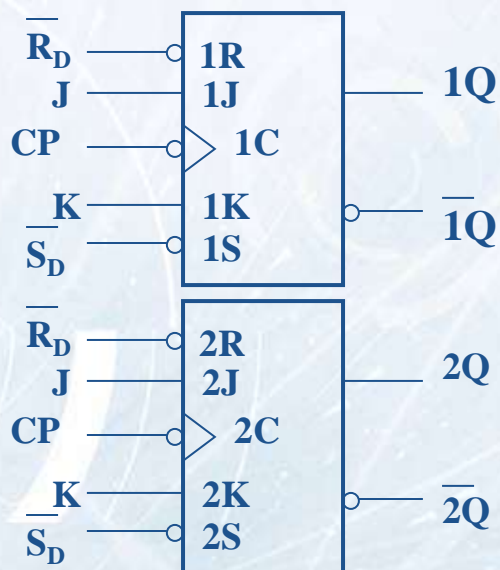
❖ 这种利用门电路传输延迟的差异而引导触发的边沿JK触发器，从工作原理来说，是**稳定**和**可靠**的。它的状态变化，仅仅取决于CP下降沿达到时刻的输入信号（J、K）的状态。因此，**增强了抗干扰能力**。



# 集成边沿JK触发器

## ❖ 集成边沿JK触发器(CT7479和CT74109)

- CT7479: 双带预置清除**负触发**边沿JK触发器
- CT74109: 双带预置清除**正触发**边沿JK触发器



**CT7479功能表**

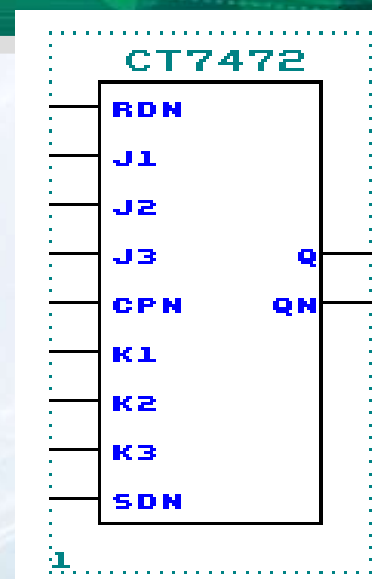
$\overline{R_D}$	$\overline{S_D}$	CP	J	K	$Q^{n+1}$	功能
0	1	x	x	x	0	异步置0
1	0	x	x	x	1	异步置1
1	1	↓	0	0	$Q^n$	保持
1	1	↓	0	1	0	置0
1	1	↓	1	0	1	置1
1	1	↓	1	1	$\overline{Q^n}$	翻转

**CT7479逻辑符号**

# JK触发器的HDL设计(CT7472)

## ❖ CT7472的元件符号

- ◆ 主从结构的JK触发器，J3、J2、J1是3个具有与逻辑关系的J输入端，K3、K2、K1是3个具有与逻辑关系的K输入端
- ◆ 将其作为下降沿触发的JK触发器来设计



## ❖ CT7472的特性表

$\overline{R_D}$	$\overline{S_D}$	CP	J	K	$Q^{n+1}$	功能
0	1	X	X	X	0	异步复位
1	0	X	X	X	1	异步置位
0	0	X	X	X	x	不允许
1	1	↓	0	0	$Q^n$	保持
1	1	↓	0	1	0	置0
1	1	↓	1	0	1	置1
1	1	↓	1	1	$\overline{Q}^n$	翻转

## ❖ 设计分析

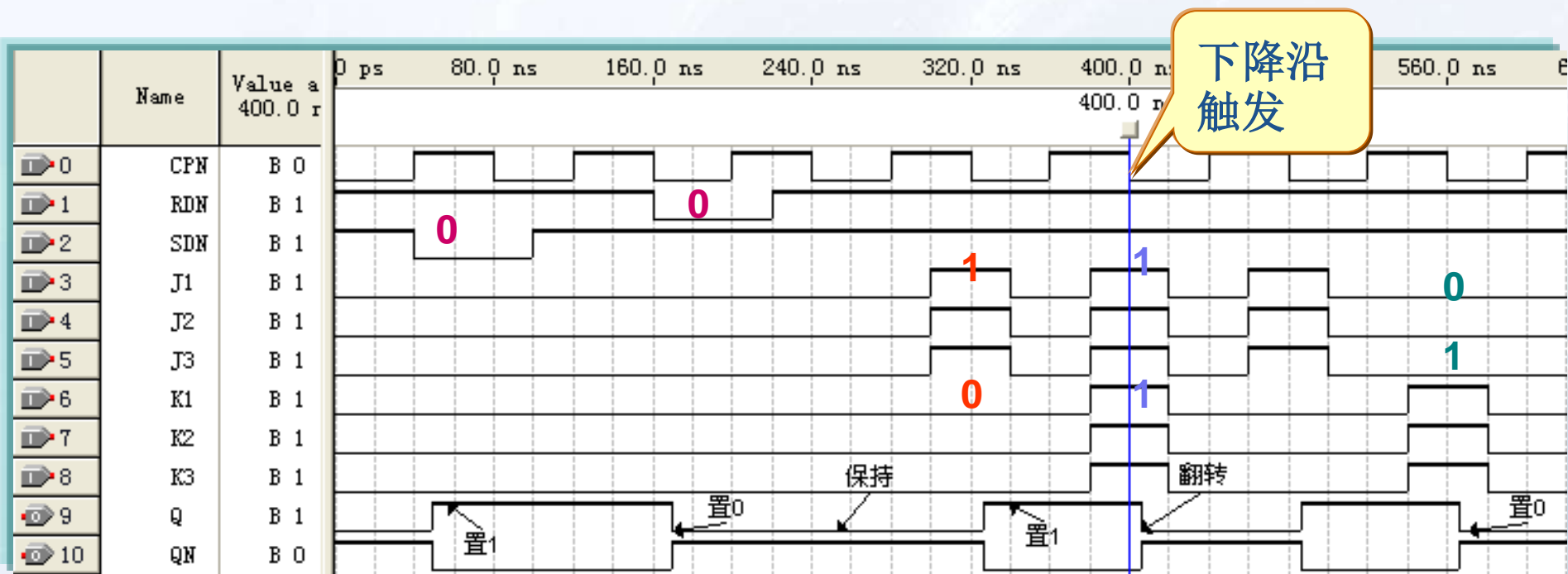
- ◆ 根据特性表，分3种情况，适合用if-else语句来描述
  - $\overline{R_D}=0$ 时异步复位（异步复位优先级最高）
  - $\overline{S_D}=0$ 时异步置位
  - CP下降沿到来时完成JK FF的功能（4种功能，适于用case语句来描述）

# CT7472 的源

采用行为描述方式

```
module CT7472(RDN,J1,J2,J3,CPN,K1,K2,K3,SDN,Q,QN)
  input    RDN,J1,J2,J3,CPN,K1,K2,K3,SDN;
  output   Q,QN;
  reg      Q,QN;
  wire     J_SIG,K_SIG;
  assign   J_SIG = J3 && J2 && J1;
  assign   K_SIG = K3 && K2 && K1;
  always   @(negedge RDN or negedge SDN or negedge CPN)
    begin
      if (!RDN)
        begin Q = 1'b0; QN = 1'b1; end //异步复位
      else if (!SDN)
        begin Q = 1'b1; QN = 1'b0; end //异步置位
      else case ({J_SIG,K_SIG})
        2'b00: begin Q = Q;      QN = QN; end //保持
        2'b01: begin Q = 1'b0;  QN = 1'b1; end //置0
        2'b10: begin Q = 1'b1;  QN = 1'b0; end //置1
        2'b11: begin Q = !Q;    QN = !QN; end //翻转
      endcase
    end
endmodule
```

# CT7472.v 的时序仿真波形

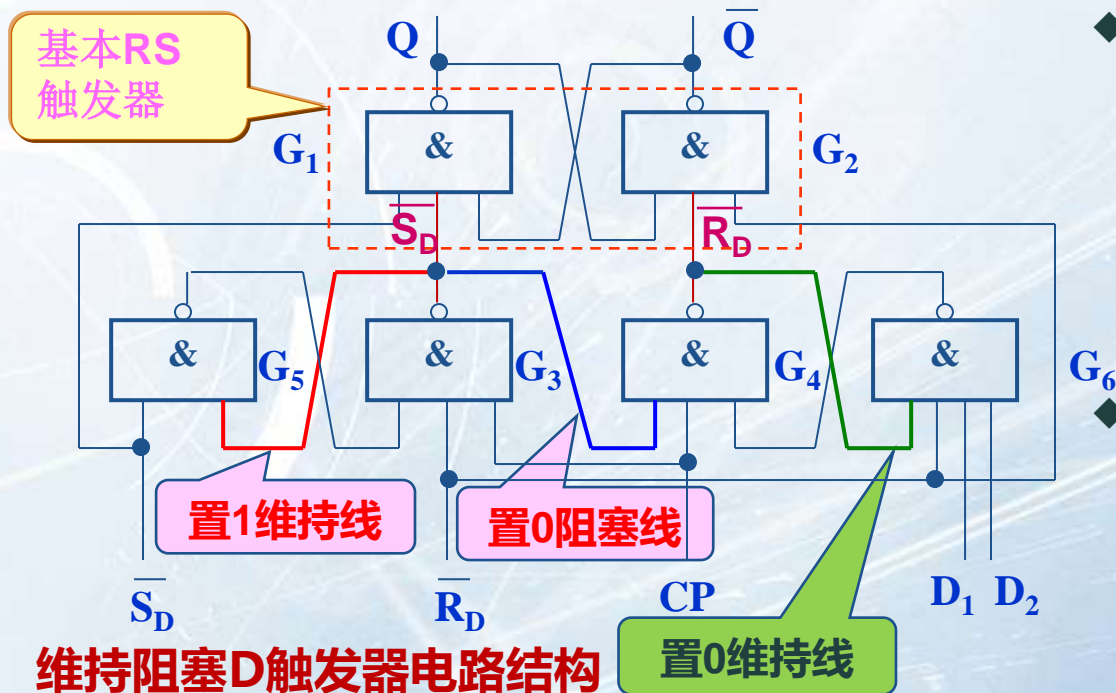




## 6.4.3 维持阻塞D触发器

了解功能即可

- ❖ 边沿触发器的另一种电路结构形式是维持阻塞结构（直流反馈原理）。这种电路结构在TTL电路中使用较多。
- ❖ 维持就是在CP期间使触发器维持正确的电位；阻塞就是在CP期间阻止触发器产生不应有的动作。
- ❖ 维持阻塞触发器包括维持阻塞结构RS、JK和D触发器



◆ 在 $D=1$ 时，置1维持线和置0阻塞线能保证使 $G1$ 、 $G2$ 构成的基本RS触发器/ $S_D=0$ 、/ $R_D=1$ ，触发器置1，保证 $CP=1$ 期间不发生空翻（干扰 $D=0$ 使 $Q$ 变为0）。

◆ 当 $D=0$ 时，置0维持线保证 $G1$ 、 $G2$ 构成的基本RS触发器/ $S_D=1$ 、/ $R_D=0$ ，触发器置0，从而保证 $CP=1$ 期间不发生空翻（使干扰 $D=1$ 不至于使 $Q$ 变为1）。

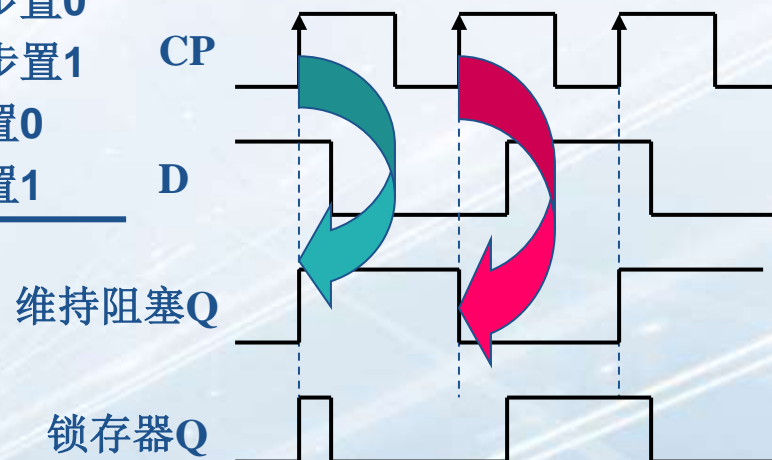
# 维持阻塞D触发器逻辑功能

如何进行HDL设计?

功能表

$\overline{R}_D$	$\overline{S}_D$	CP	D	$Q^{n+1}$	功能
0	1	X	X	0	异步置0
1	0	X	X	1	异步置1
1	1	↑	0	0	置0
1	1	↑	1	1	置1

时序图 (初态=0)



特性方程

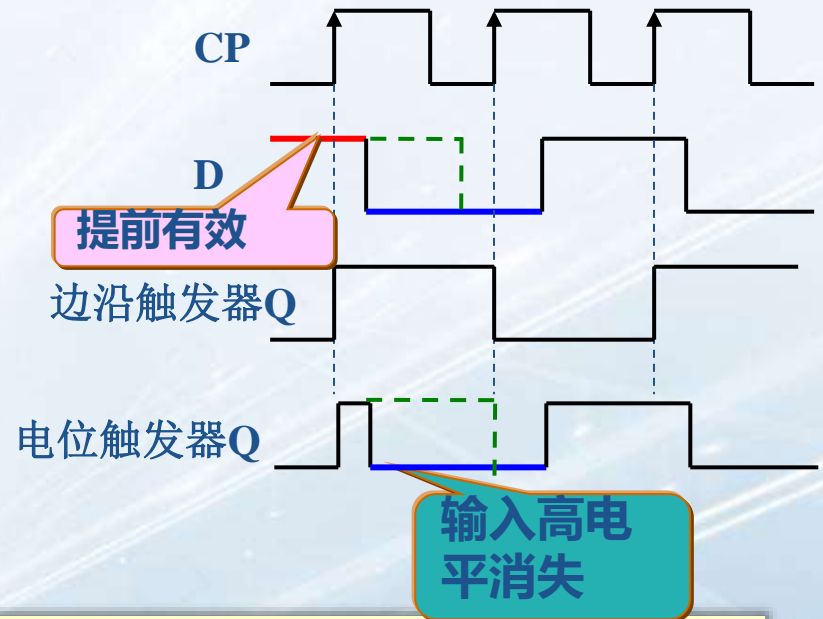
$$Q^{n+1} = D \cdot CP \uparrow$$

特点: CP正跳变时, 触发器才接受输入数据;  
CP = 1、CP = 0及CP↓期间, 保持原态, 输入数据变化不会影响触发器状态。

- ❖ 对于维持阻塞D触发器, 当CP上升沿到来时,  $Q=D$ ;
- ❖ 对于D锁存器 (钟控D触发器), 当CP为1期间,  $Q=D$ 。

# 电位触发器和边沿触发器的区别

时序图 (初态=0)



❖ 边沿触发器为使数据可靠接收，输入数据必须比约定时钟跳变提前到达输入端。电位触发器，只要CP为约定电平，数据到来后立即被接收；但若输入数据在CP有效期间撤除，则触发器状态也随之改变，故若要保持电位触发器状态不变，应使输入数据延迟到CP的约定电平消失后再撤除（如绿色线条所示）。

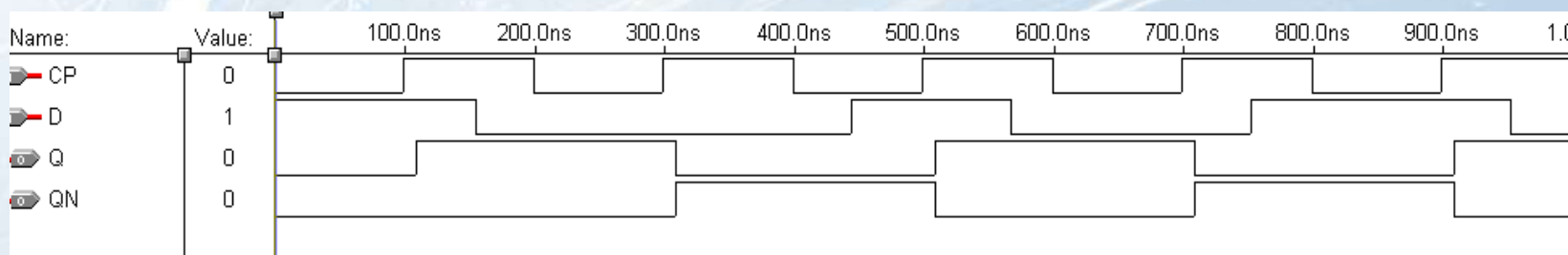
- ❖ 电位触发器，在CP的约定电平期间出现在数据输入端的干扰信号易被接收。边沿触发器，在CP=0 及CP=1 期间出现在输入端的正向及负向干扰信号均不会被接收——边沿触发器抗干扰能力强！
- ❖ 用边沿触发器组成计数器或移位寄存器时不存在“空翻”现象；电位触发器由于存在“空翻”现象，只能用作数码寄存器，不能用作计数器或移位寄存器。

## 【例6.2】不带置0和置1功能的D触发器的HDL设计

### ❖ 行为描述方式

◆ D触发器为边沿触发器，这里假设为上升沿触发

```
module D_FF (CP,D,Q,QN);  
  input CP,D;  
  output Q,QN;  
  reg Q,QN;  
  always @(posedge CP)  
  begin  
    Q = D;  
    QN = !Q;  
  end  
endmodule
```

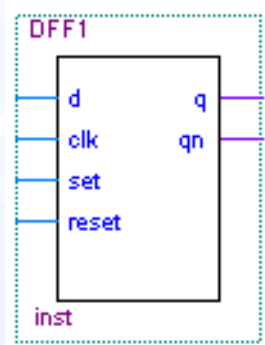




# 带异步清0、异步置1端的D触发器的HDL设计

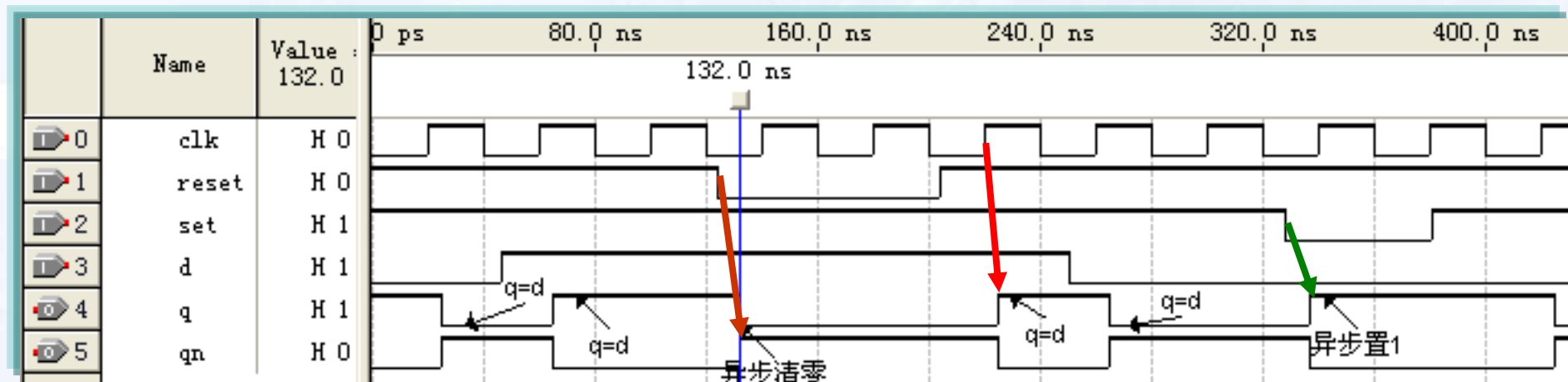
【例6.3】带异步清0、异步置1端的D触发器  
有多个沿触发信号（clk、reset、set）

reset、set为  
脉冲信号



```
module DFF1(q,qn,d,clk,set,reset);
    output q,qn;
    input d,clk,set,reset;
    reg q,qn;
    always @(posedge clk or negedge set or negedge reset )
        begin
            if(!reset) begin
                q=0; //异步清零，低电平有效
                qn=1;
            end
            else if(! set) begin
                q=1; //异步置1，低电平有效
                qn=0;
            end
            else begin
                q=d;
                qn=!q;//最好不要写成“qn=!d;”
            end
        end
    end
endmodule
```

# 带异步清0、异步置1端的D触发器仿真波形



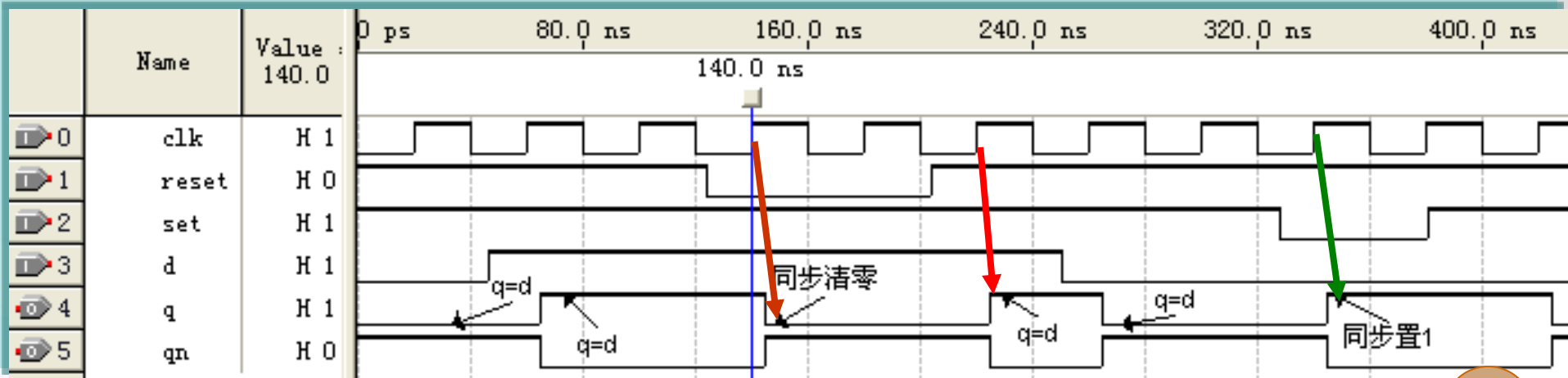
# 带同步清0、同步置1端的D触发器的HDL设计

【例6.4】带同步清0、同步置1端的D触发器  
只有一个沿触发信号clk

```
module DFF2(q,qn,d,clk,set,reset);  
    output q,qn;  
    input d,clk,set,reset;  
    reg q,qn;  
    always @(posedge clk)  
    begin  
        if(!reset)    begin  
            q=0; //同步清零, 低电平有效  
            qn=1;  
        end  
        else if(!set) begin  
            q=1; //同步置1, 低电平有效  
            qn=0;  
        end  
        else  
            begin  
                q=d;  
                qn=!q; //最好不要写成“qn=!d;”  
            end  
    end  
endmodule
```

reset、set为  
电平信号

# 带同步清0、同步置1端的D触发器仿真波形



- ❖ **同步清0、同步置1**：在时钟信号控制下**同步**操作——即使reset或set信号有效，还必须等待时钟信号也有效才能动作。适合于清0信号、置1信号的有效时间较长而时钟周期较短的场合。
- ❖ **异步清0、异步置1**：清0和置1操作不受时钟信号控制——只要reset信号下降沿到来，触发器就被清零；只要set信号下降沿到来，触发器就被置1。适合于清0信号、置1信号的有效时间较短而时钟周期较长的场合



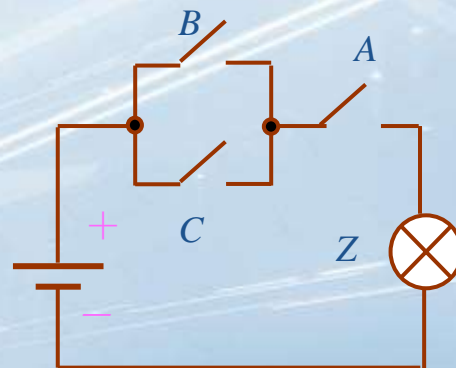
## 1、触发器存储功能的应用

- ❖ 触发器的应用之一是利用其记忆功能把需要保存的瞬态信号保存下来，直到需要清除时为止。
- ❖ **【例6.5】** 设计一个举重裁判逻辑电路。在一个主裁判员和两个副裁判员当中，只有包含主裁判员在内的两人以上认定试举动作合格，并按下自己的按钮时，则表示试举成功的输出信号 $Z=1$ 。而且，要求这个 $Z=1$ 的信号一直保持下去，直到工作人员按下清除按钮为止。

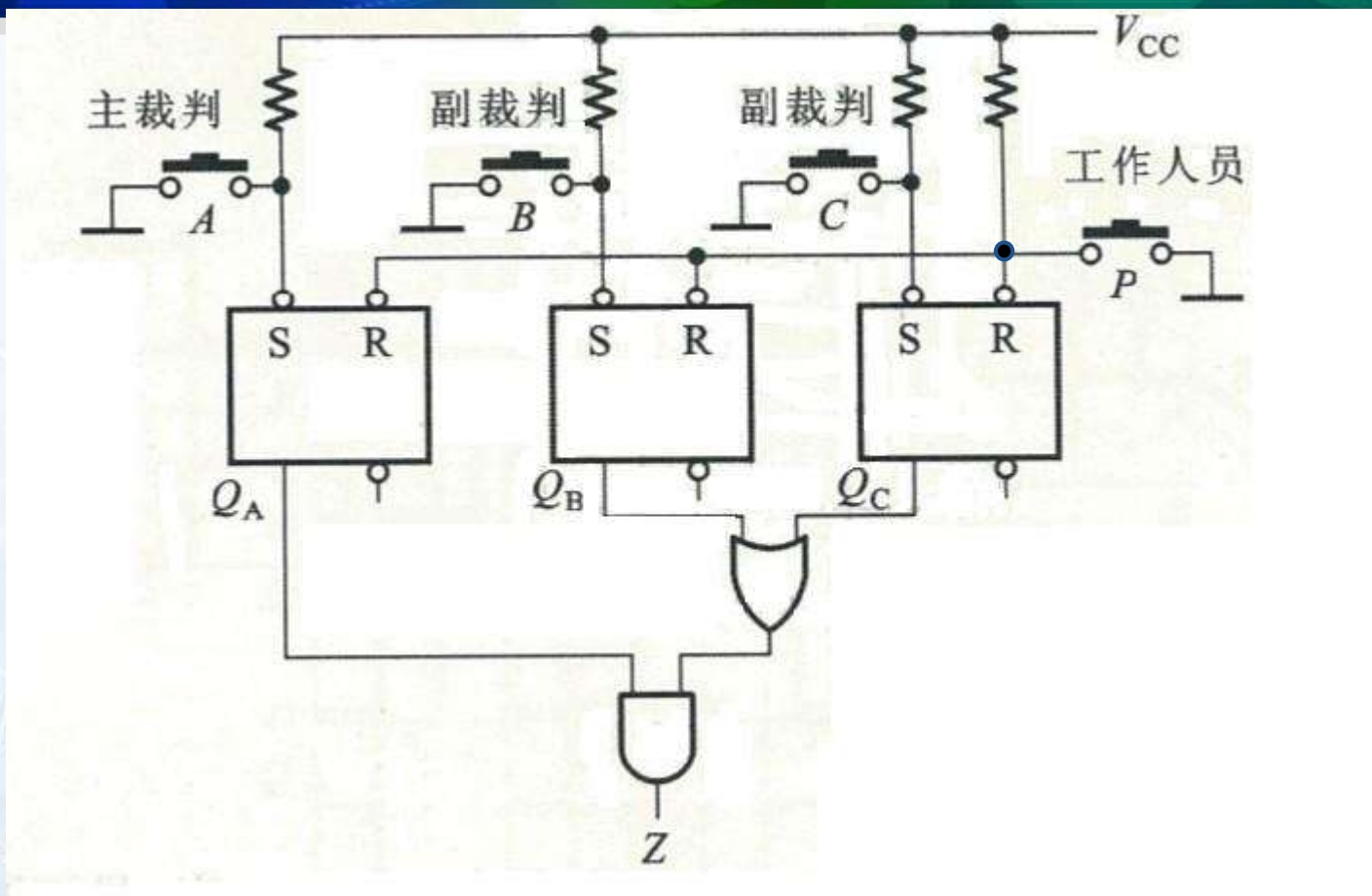
## 【例6.5】解题思路

**解：**由于三个裁判员按下按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要用三个触发器分别保存三个按钮给出的信号。由于只要求触发器有置**1**和置**0**功能即可，所以用**RS**、**JK**、**D**型触发器均可，对结构类型也无特定要求。

若选用基本**RS**触发器，则可用裁判员按下按钮**A**、**B**、**C**输出的低电平信号接触发器的**S**输入端，作为置**1**信号；用工作人员按动按钮**P**给出的低电平信号接**R**输入端，作为置**0**信号。试举成功的信号**Z**由三个触发器的输出状态判别——**或与**逻辑。



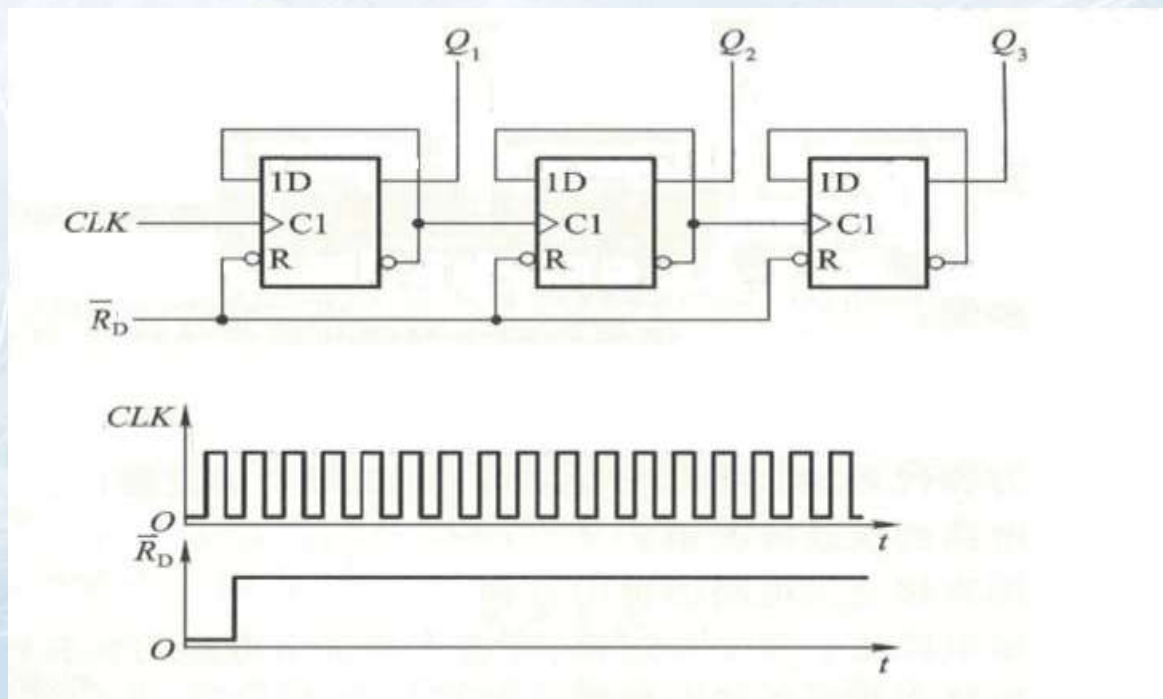
## 【例6.5】电路图



**想一想：如果采用JK触发器或D触发器，电路图怎么接？哪种方法更简单？**

## 2、触发器分频/计数功能的应用

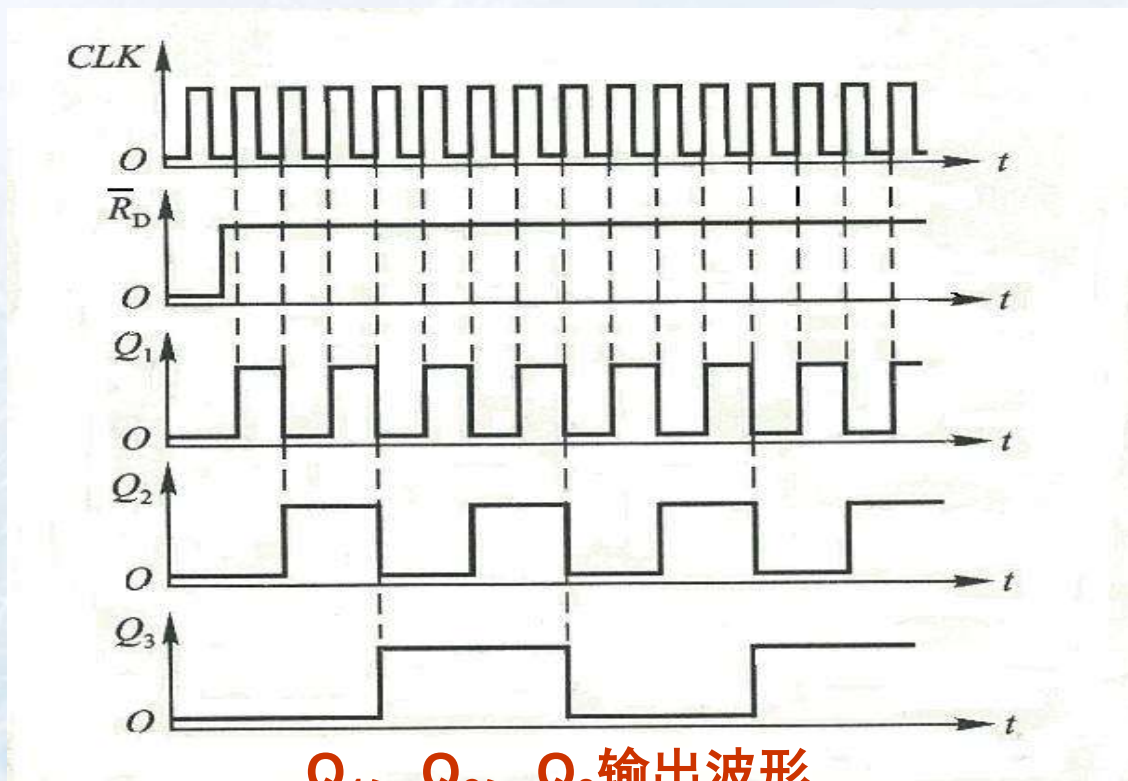
- ❖ 利用触发器的置0、置1功能，可以由某种类型的多个触发器组成分频电路，对输入的时钟信号进行分频。
- ❖ **【例6.6】** 试画出下图电路在图中所示CLK、 $\overline{R}_D$ 信号作用下 $Q_1$ 、 $Q_2$ 、 $Q_3$ 的输出电压波形，并说明 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出信号的频率与CLK信号频率之间的关系。





## 【例6.6】解答

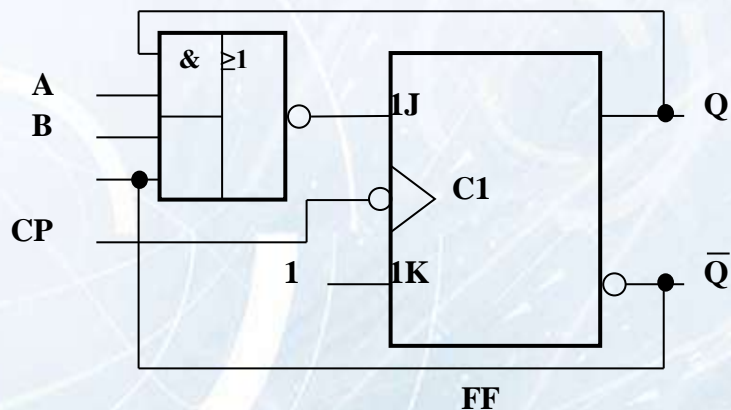
**解：** 由于每个D触发器都接成了  $D = \overline{Q}$ ，所以  $Q^{n+1} = \overline{Q}^n$ ，即每次时钟上升沿到来后D FF都要翻转，这样就得到了波形图。由图可见，若CLK的频率为  $f_0$ ，则  $Q_1$ 、 $Q_2$ 、 $Q_3$  输出脉冲频率依次为  $\frac{1}{2}f_0$ 、 $\frac{1}{4}f_0$ 、 $\frac{1}{8}f_0$ 。



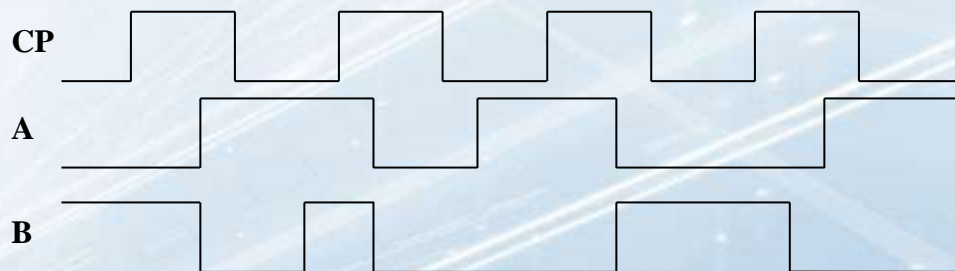
$Q_1$ 、 $Q_2$ 、 $Q_3$  输出波形

## 【例6.7】根据给定的输入信号波形，画出触发器的输出波形

- ❖ 【例6.7】某逻辑电路如左图所示，输入波形如右图所示，设触发器FF的初态为0。试根据电路图推导出FF的次态函数；然后根据CP和A、B的输入波形画出Q的输出波形图。



组合逻辑电路和触发器  
构成的逻辑电路图



CP和A、B的输入波形

## 【例6.7】解题思路

- ❖ 此题属于输入信号经组合逻辑电路加到触发器的输入端，要求根据给定的输入信号波形，画出对应的输出波形。
- ❖ 解题方法：
  - ① 首先根据电路图写出触发器每个输入端的输入信号的逻辑函数式（**驱动方程**）。
  - ② 然后将输入信号的逻辑函数代入触发器的特性方程，即得到触发器的**次态函数**。
  - ③ 将不同的输入取值代入触发器的次态函数，求出触发器的**次态输出与原态的关系式**。
  - ④ 对照输入波形，画出输出随输入和原态变化的波形图。



## 【例6.7】解答

解：① 根据电路图写出触发器FF的驱动方程

$$J = \overline{AQ^n} + \overline{BQ^n} \quad K = 1 \quad (1)$$

② FF为下降沿触发的边沿JK触发器，其特性方程为

$$Q^{n+1} = (J\overline{Q^n} + \overline{K}Q^n) \bullet CP \downarrow \quad (2)$$

将（1）式代入（2）式并化简后，得到FF的次态函数：

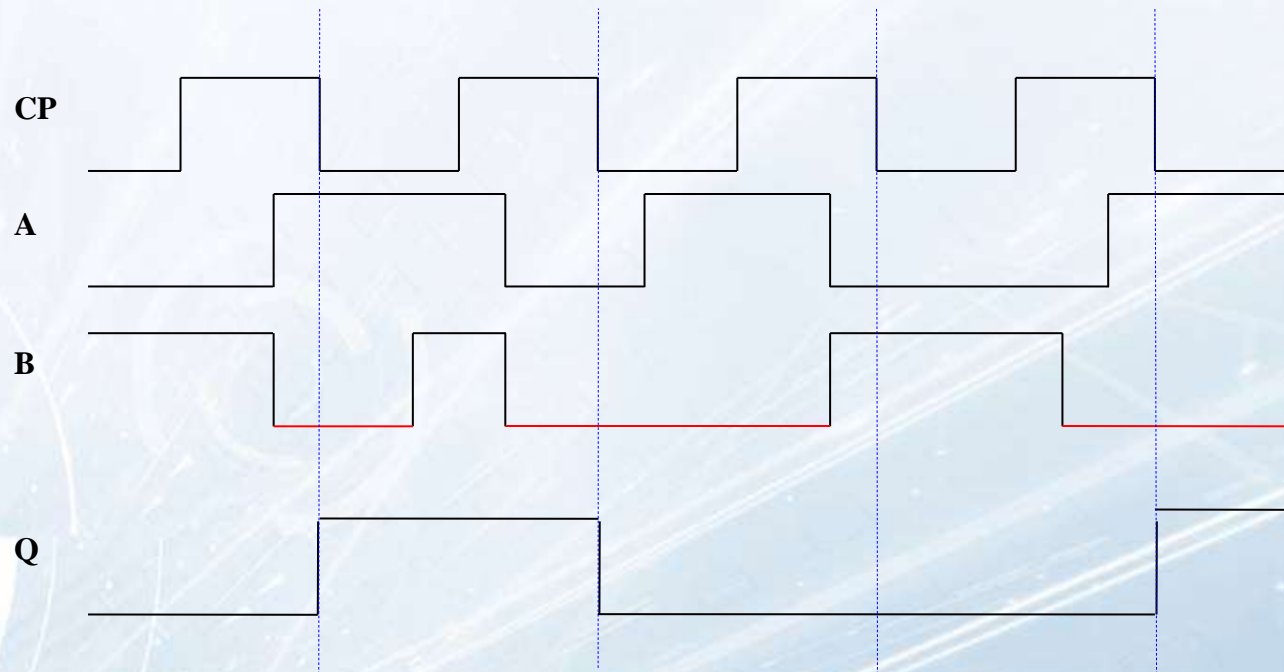
$$Q^{n+1} = (\overline{B} \bullet \overline{Q^n}) \bullet CP \downarrow \quad (3)$$

③将不同的输入取值代入（3）式，求出触发器的次态输出与原态的关系式。

当CP的下降沿到来时，若B=0，则  $Q^{n+1} = \overline{Q^n}$ ，触发器翻转；  
若B=1，则  $Q^{n+1}=0$ ，触发器置0。



## 【例6.7】的输入输出波形



## 6.5 触发器之间的转换

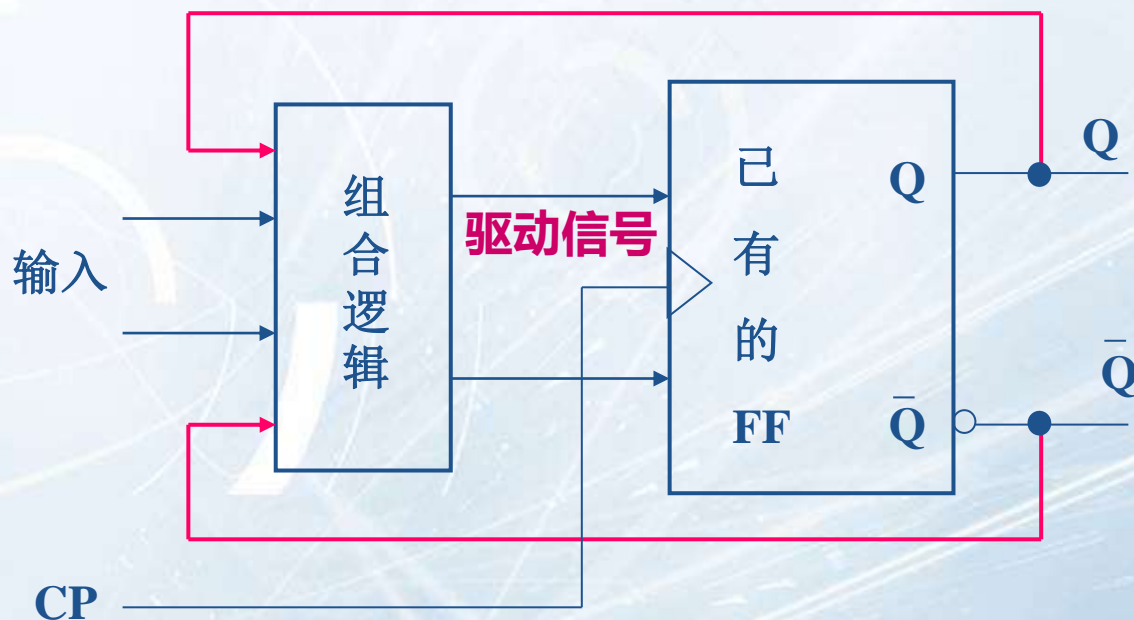
### 内容概要

6.5.1 用JK触发器转换

6.5.2 用D触发器转换

# 触发器的转换方法

- ❖ 常用的触发器有**5种**类型
- ❖ 在实际电路设计中，当需要的触发器类型缺货时，可以通过触发器的转换方法，将现有的触发器类型转换为需要的触发器类型
- ❖ 转换方法：在现有的触发器前增加**组合逻辑**电路



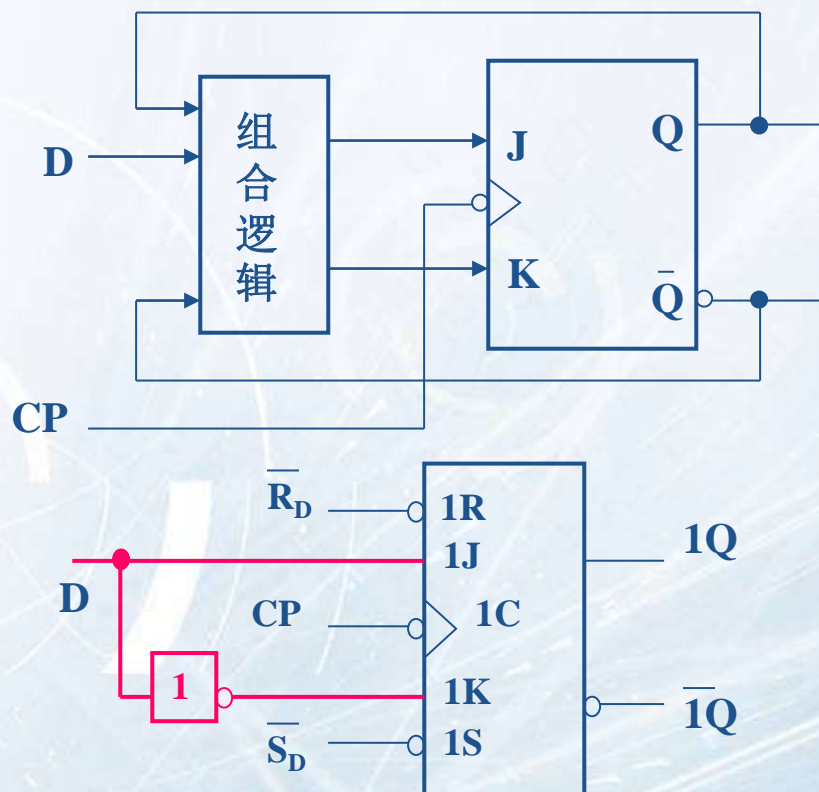
**转换后的FF**

- (1) 分别写出已有触发器和所需要的触发器的特性方程
- (2) 比较二者，写出已有触发器输入端的驱动方程，即得到组合逻辑电路的输出表达式
- (3) 画出电路连接图

## 6.5.1 用JK触发器转换

❖ JK\_FF可以转换为D\_FF、T\_FF和T'\_FF

### 1、JK\_FF到D\_FF的转换



JK\_FF实现D\_FF的电路

已有JK:  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$   
转换D:  $Q^{n+1} = D = D\overline{Q}^n + \overline{D}Q^n$   
 $J = D; K = \overline{D}$

J、K输入端的驱动方程

$$J = D, K = \overline{D}$$

转换后D触发器的特性方程

$$Q^{n+1} = D \cdot CP \downarrow$$



# JK\_FF到T\_FF的转换

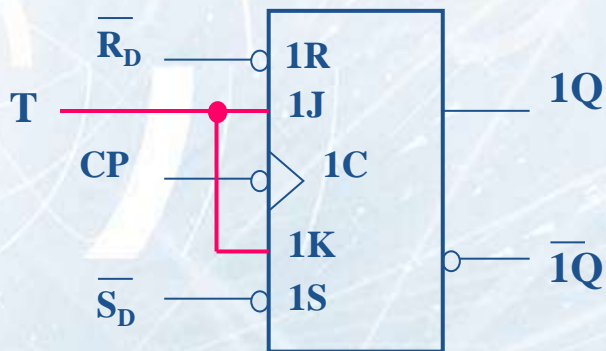
## 2、JK\_FF到T\_FF的转换

JK\_FF的特性方程:  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

T\_FF的特性方程:  $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

### J、K输入端的驱动方程

$$J = T, K = T$$



T\_FF

### 转换后的TFF的特性方程

$$Q^{n+1} = (T\bar{Q}^n + \bar{T}Q^n) \text{ CP } \downarrow$$

# JK\_FF到T'\_FF的转换

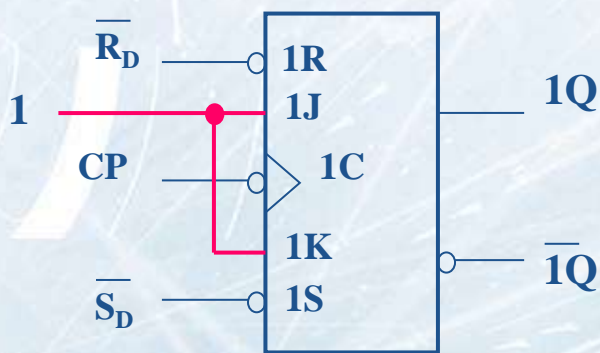
## 3、JK\_FF到T'\_FF的转换

JK\_FF的特性方程:  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

T'\_FF的特性方程:  $Q^{n+1} = \bar{Q}^n = 1 \cdot \bar{Q}^n + \bar{1}Q^n$

### J、K输入端的驱动方程

$$J = 1, K = 1$$



T'\_FF

转换后的T'\_FF的特性方程

$$Q^{n+1} = \bar{Q}^n CP \downarrow$$

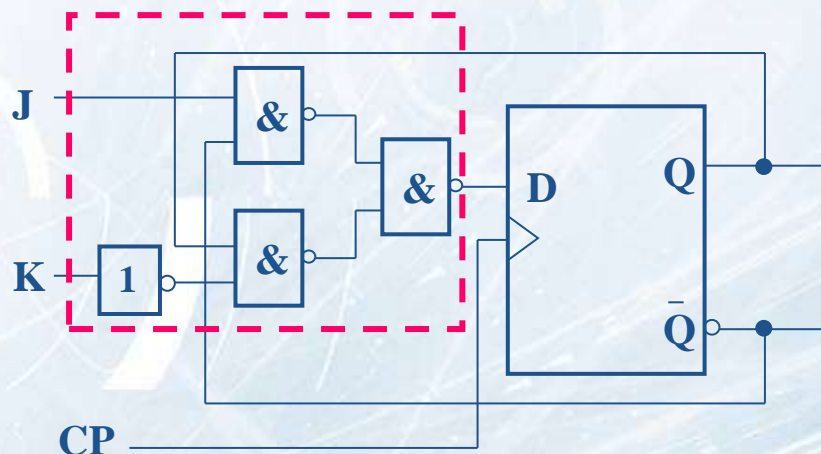
## 6.5.2 用D触发器转换

### 1、D\_FF到JK\_FF的转换

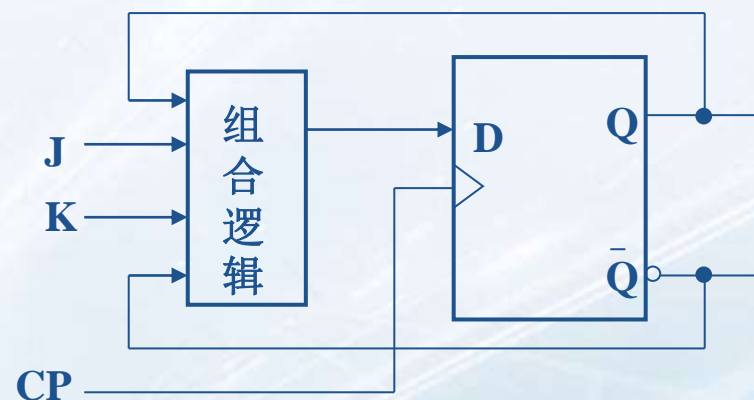
已有  $D$ :  $Q^{n+1} = D$

转换  $JK$ :  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

$$D = J\overline{Q}^n + \overline{K}Q^n = \overline{\overline{J\overline{Q}^n + \overline{K}Q^n}}$$



D\_FF实现JK\_FF的电路



转换后的JK\_FF的特性方程

$$Q^{n+1} = (J\overline{Q}^n + \overline{K}Q^n)CP \uparrow$$

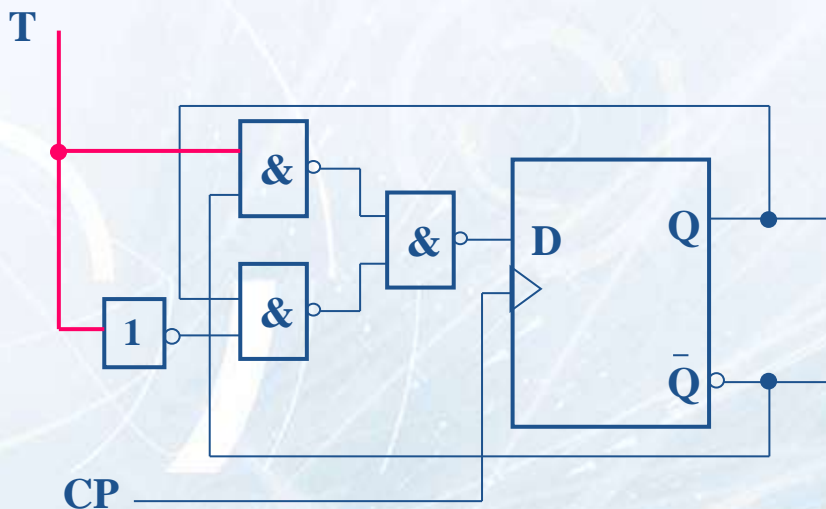
## 2、D\_FF到T\_FF的转换

D\_FF的特性方程:  $Q^{n+1} = D$

T\_FF的特性方程:  $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

D输入端的驱动方程

$$D = (T\bar{Q}^n + \bar{T}Q^n) = \overline{\overline{T\bar{Q}^n + \bar{T}Q^n}} = \overline{\overline{T}\overline{\bar{Q}^n}} \bullet \overline{\overline{\bar{T}Q^n}} = \overline{\overline{T}\overline{\bar{Q}^n}} \bullet \overline{\overline{\bar{T}Q^n}}$$



D\_FF实现T\_FF的电路

转换后的T\_FF的特性方程

$$Q^{n+1} = (T\bar{Q}^n + \bar{T}Q^n) \text{ CP } \uparrow$$

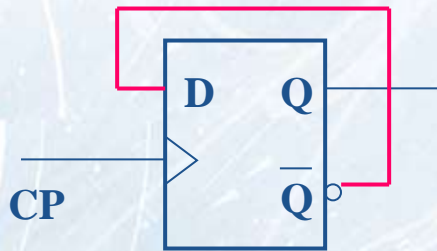


### 3、D\_FF到T'\_FF的转换

已有D:  $Q^{n+1} = D$

转换T':  $Q^{n+1} = \overline{Q^n}$

$D = \overline{Q^n}$



**D\_FF实现T'\_FF的电路**

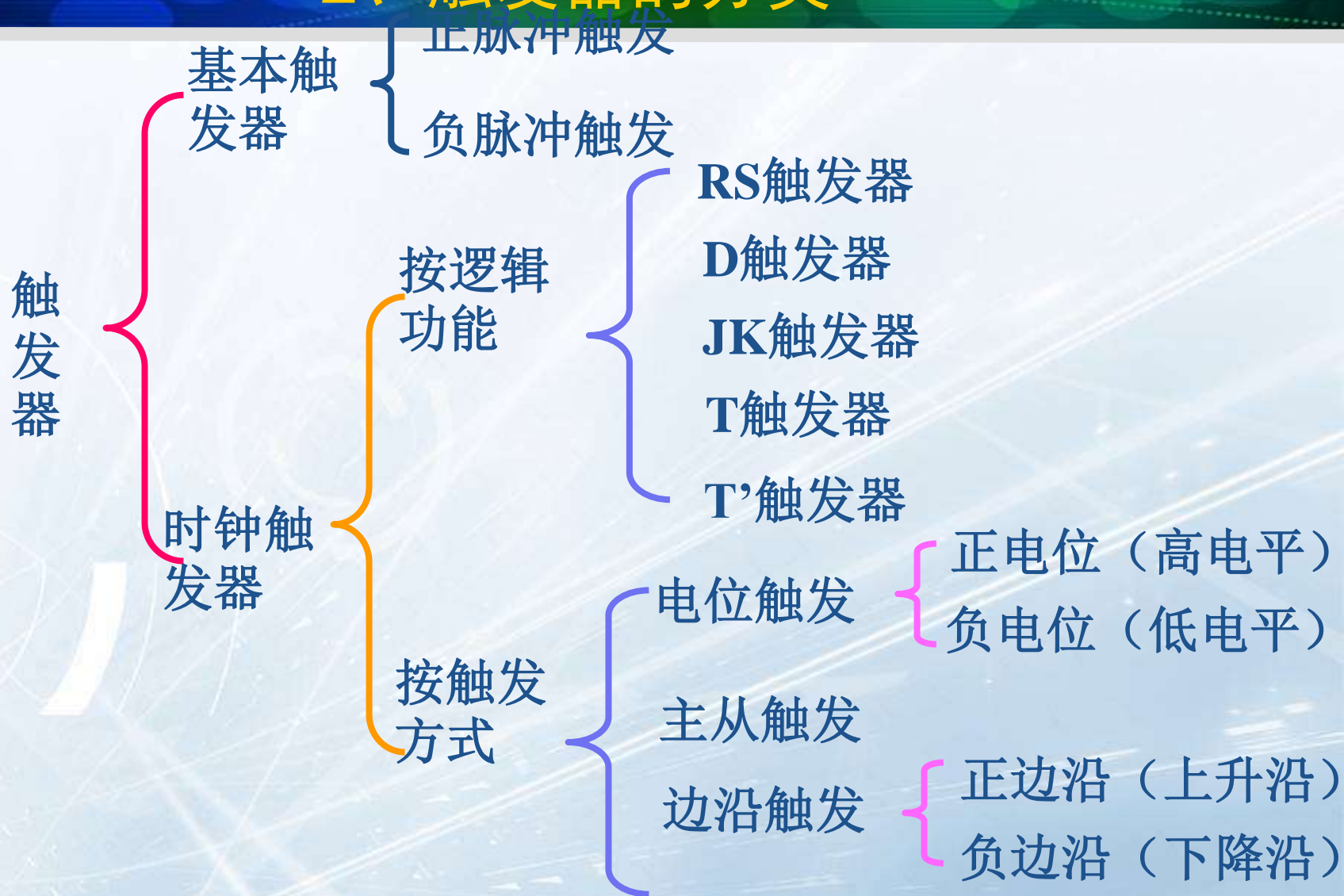
**转换后的T'\_FF的特性方程**

$$Q^{n+1} = \overline{Q^n} \cdot CP \uparrow$$

### 1、触发器的特点

- ❖ 触发器是一种有记忆功能的器件，它是构成时序逻辑电路的基本器件
- ❖ 触发器的3个主要特点
  - 双稳态（0态和1态）；
  - 无外加信号作用时，保持原态；
  - 在外加信号作用（触发）下，可以改变状态
- ❖ n位触发器可以记忆n位二进制信息
- ❖ 为了能记忆不同的信息，一般触发器都有置0和置1功能，有的还有翻转功能（如JK、T、T' FF）。
- ❖ 触发器的逻辑功能可以用功能表、真值表（特性表）、特性方程、状态转换图和时序图等来表示。

## 2、触发器的分类



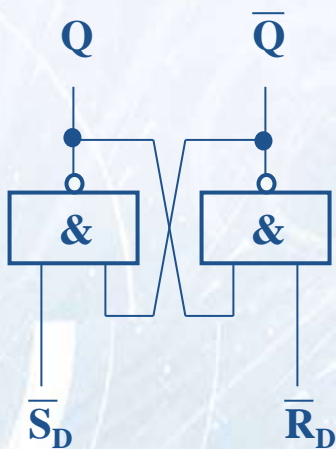
### 3、触发器的选用

- ❖ 触发方式是关键：电位、主从、边沿触发
  - 钟控（电位）触发器存在空翻的现象，只能做锁存器。
  - 主从触发器解决了钟控FF空翻的现象，但存在一次翻转问题，降低了抗干扰的能力。
  - 边沿触发器只在CP规定的正跳变或负跳变时，才接受输入的数据。不存在钟控（电位）触发器的空翻现象，也解决了主从触发器的一次翻转问题，抗干扰能力强，应用广泛。
- ❖ 不同的触发方式下，当触发信号到达时，触发器的状态转换过程具有不同的特点
- ❖ 常用的5种触发器：RS、D、JK、T、T'触发器
- ❖ 用得最多是D触发器，JK触发器一般只用作计数器
- ❖ 触发器的各种时序关系配合很重要



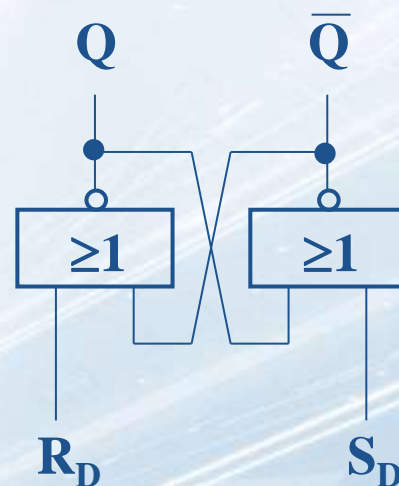
## 4、基本RS触发器

- ❖ 基本RS触发器可以用与非门或者是或非门构成
- ❖ 功能：保持、置0、置1，有约束条件
- ❖ 输入信号直接控制触发器的输出，也称为直接型触发器
- ❖ 基本RS触发器的应用——开关去抖电路
- ❖ 基本RS触发器的HDL设计有结构描述和行为描述方式



$$Q^{n+1} = S_D + \bar{R}_D \cdot Q^n$$
$$\bar{S}_D + \bar{R}_D = 1 \text{ 或 } S_D \cdot R_D = 0$$

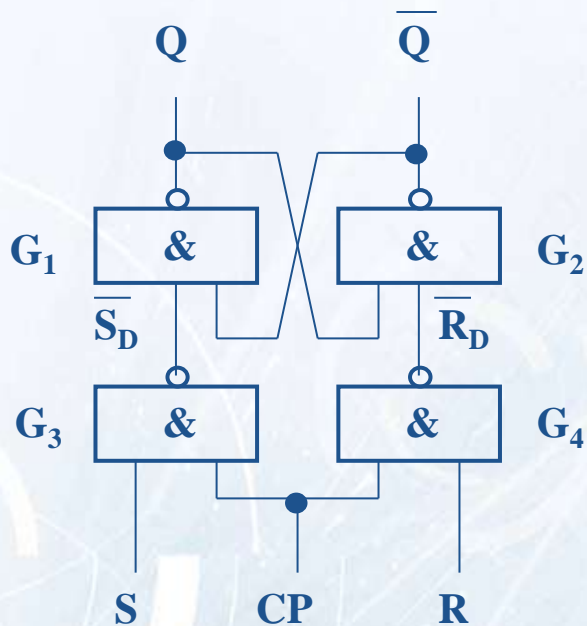
(约束条件)



$$Q^{n+1} = S_D + \bar{R}_D \cdot Q^n$$
$$S_D \cdot R_D = 0 \text{ (约束条件)}$$

## 5、钟控触发器

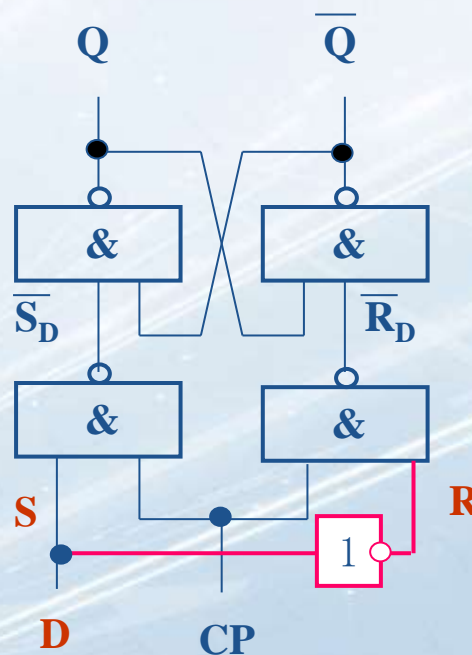
### (1) 钟控RS触发器



$$Q^{n+1} = S + \bar{R} \cdot Q^n$$
$$S \cdot R = 0 \text{ (约束条件)}$$

### (2) 钟控D触发器 (D锁存器)

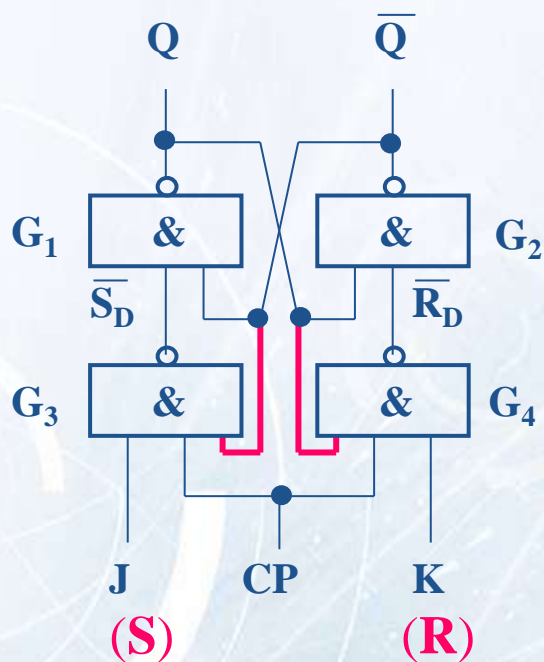
❖ 消除了钟控RS触发器的不定状态



$$Q^{n+1} = D$$

### (3) 钟控JK触发器

❖ JK触发器是一种功能最全面，而且没有约束条件的FF。



简化特性表(CP=1)

J K	$Q^{n+1}$	功能
0 0	$Q^n$	保持
0 1	0	置0
1 0	1	置1
1 1	$\bar{Q}^n$	翻转

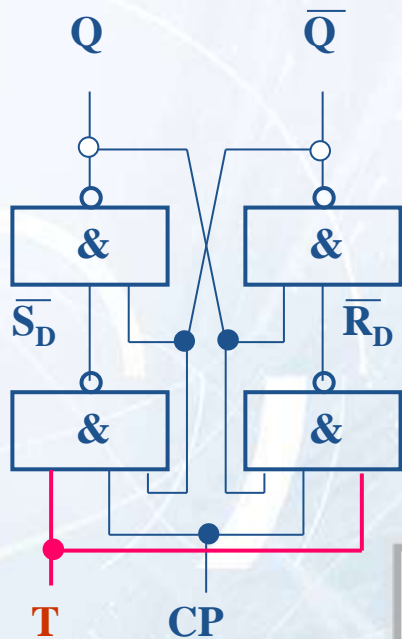
特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K} \cdot Q^n$$

# 钟控T触发器和钟控T'触发器

## (4) 钟控T触发器

- ❖ 把JK触发器的两个输入端合并为一个输入端T，得到T触发器



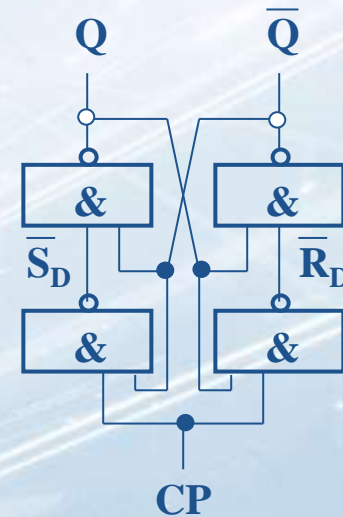
简化特性表(CP=1)

T	$Q^{n+1}$
0	$Q^n$
1	$\overline{Q^n}$

$$Q^{n+1} = T\overline{Q^n} + \overline{T} \cdot Q^n$$

## (5) 钟控T'触发器

- ❖ 把T触发器的T接高电平，得到T'触发器

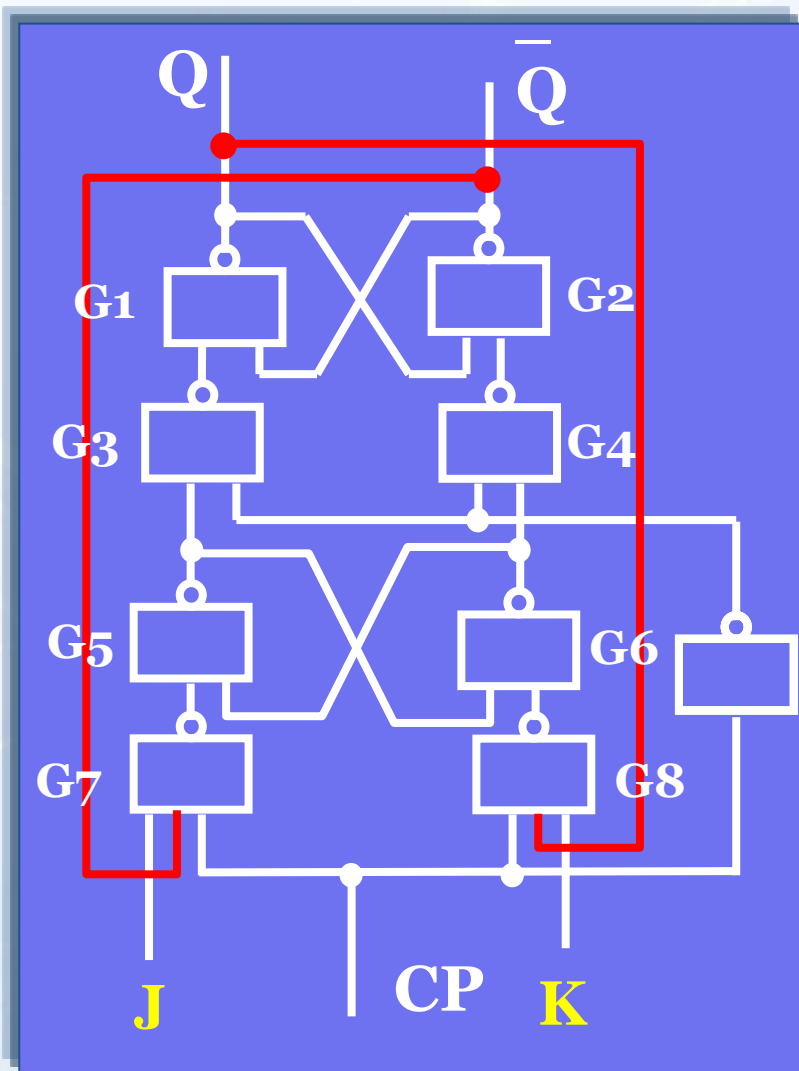


$$Q^{n+1} = \overline{Q^n}$$



## 6、集成触发器

### (1) 主从JK触发器

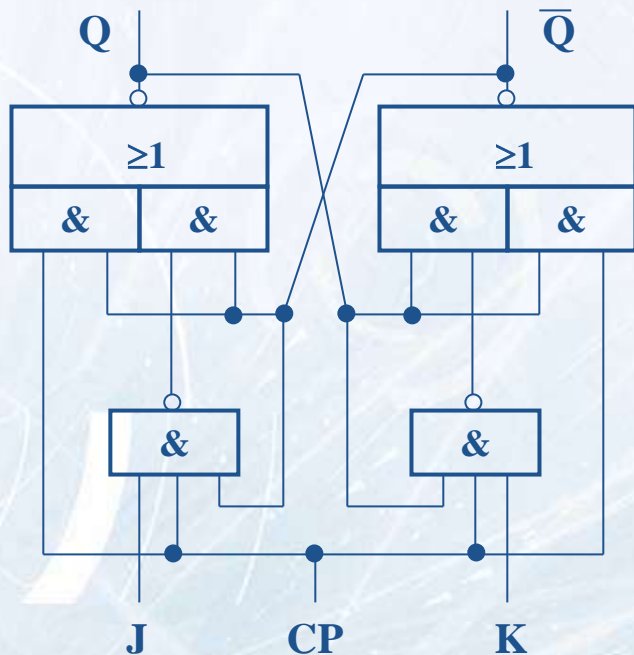


- ❖ 集成触发器有主从JK 触发器、边沿JK触发器和维持-阻塞D触发器。
- ❖ 主从JK FF克服了钟控FF的空翻现象，但存在一次翻转问题，降低了抗干扰能力。

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

## (2) 边沿JK触发器

- ❖ 边沿JK触发器的次态仅仅取决于CP下降沿到达时输入信号的状态，不存在钟控（电位）触发器的空翻现象，也解决了主从触发器的一次翻转问题，增强了抗干扰能力。

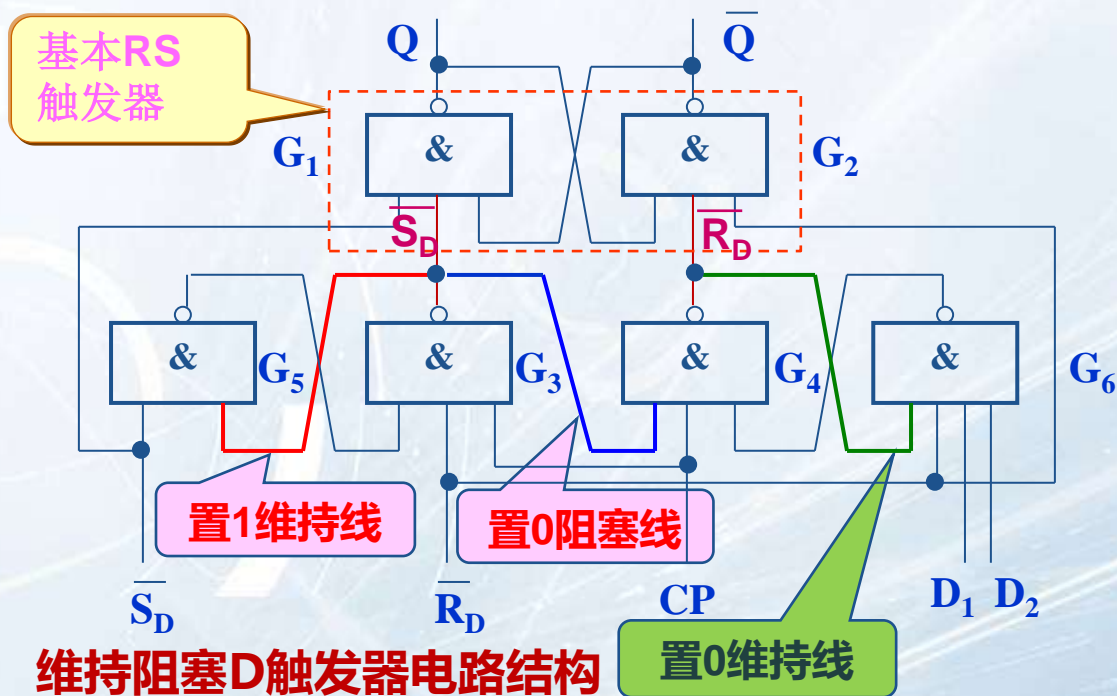


边沿JK触发器电路结构

$$Q^{n+1} = (J\overline{Q}^n + \overline{K}Q^n)CP \downarrow$$

### (3) 维持阻塞D触发器

- ❖ 维持阻塞触发器是边沿触发器
- ❖ 包括维持阻塞结构RS、JK和D触发器



$$Q^{n+1} = D \quad CP \uparrow$$

## 7、触发器的转换方法

- ❖ 可以通过在现有的触发器前增加组合逻辑电路，将现有的触发器类型转换为需要的触发器类型
- ❖ 转换方法
  - 首先写出现有的触发器和转换后的触发器的特性方程；
  - 比较二者，可得到新触发器输入端的驱动方程，也即组合逻辑电路的输出表达式；
  - 据此画出转换电路



## 8、触发器的HDL设计方法

- ❖ **方法一**：根据电路结构，写出输出表达式，采用**结构描述方式**（**assign**语句）
  - ◆ 适于简单的触发器，或没有时钟信号的触发器
  - ◆ 例如基本**RS**触发器，**D**锁存器
- ❖ **方法二**：根据特性表，采用**行为描述方式**（系统级描述：**if-else**语句、**case**语句；算法级描述：**assign**语句）
  - ◆ 适于功能较复杂的触发器、有时钟信号的触发器
  - ◆ 例如钟控**RS**触发器，各种**D**、**JK**、**T**、**T'**触发器

❖ **建议**：对课件中的每种触发器，自己进行设计分析，在计算机上完成HDL设计！