学 生 实 验 报 告

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 实验三 构建基于SoCLib的单核SoC（硬件设计） | | | | |
| 班级 |  | 姓名 |  | 学号 |  |
| 实验时间 |  | 实验地点 |  | 指导教师 |  |

1. **实验目的**
2. 了解SoCLib平台工作原理。
3. 掌握如何利用SoCLib定义一个单核SoC硬件平台，如何在该SoC平台之上添加其他硬件设备。
4. 学习如何编写简单C程序以控制各种硬件设备。
5. 在所定义的单核SoC上运行串行的Motion-JPEG程序。。
6. **实验内容与步骤**
7. 首先，利用实验平台所提供的一个最基本的单核SoC熟悉SoCLib的工作原理。如图4所示，该单核SoC硬件平台由一个MIPS R3000处理器，一个存储器以及一个显示终端TTY组成。这些硬件设备通过片上网络——Generic Micronetwork（GMN）进行互连。



图4 基本单核SoC硬件平台

1. 该基本单核SoC基于SoCLib实现的顶层文件***top.cpp***位于***/projet\_soc/TP/TP0/HW***下。建议学生仔细阅读该顶层文件，了解如何通过该文件利用SoCLib所提供的各种ESL模型组件搭建SoC验证平台，如何定义声明各种设备模块以及各设备模块之间如何连接。
2. 在熟悉SoCLib工作原理和顶层文件***top.cpp***的组织形式后，在图5所示的单核SoC平台之上添加定时器VCI\_TIMER、文件系统VCI\_FDACCESS、帧缓存VCI\_FRAMEBUFFER以及同步锁VCI\_LOCKS等设备模块，修改后的单核SoC平台如图3所示。

图5 修改后的单核SoC硬件平台

基于SoCLib添加各个设备模块时，应重点检查以下几个方面：

* 1. 设备模块与各种信号的声明是否正确？
  2. 设备模块的初始化及各种参数的设置是否正确？
  3. 各设备模块与互连网络及模块间信号的连接是否正确？
  4. 各设备模块的内存映射（Memory Mapping）地址的设置是否正确？
  5. 与互连网络连接的主设备、从设备数目设置是否正确？

注意：使用SoCLib，每添加一个设备模块都会遇到上述问题，因此应该特别注意。

1. 编写简单的C程序，控制所添加的各种设备模块的功能，以验证SoC系统各设备工作的正确性。如何添加各设备模块以及如何使用请参见SoCLib主页中的相关信息：

VCI\_TIMER：http://www.soclib.fr/trac/dev/wiki/Component/VciMultiTimer

VCI\_FDACCESS：http://www.soclib.fr/trac/dev/wiki/Component/VciFdAccess

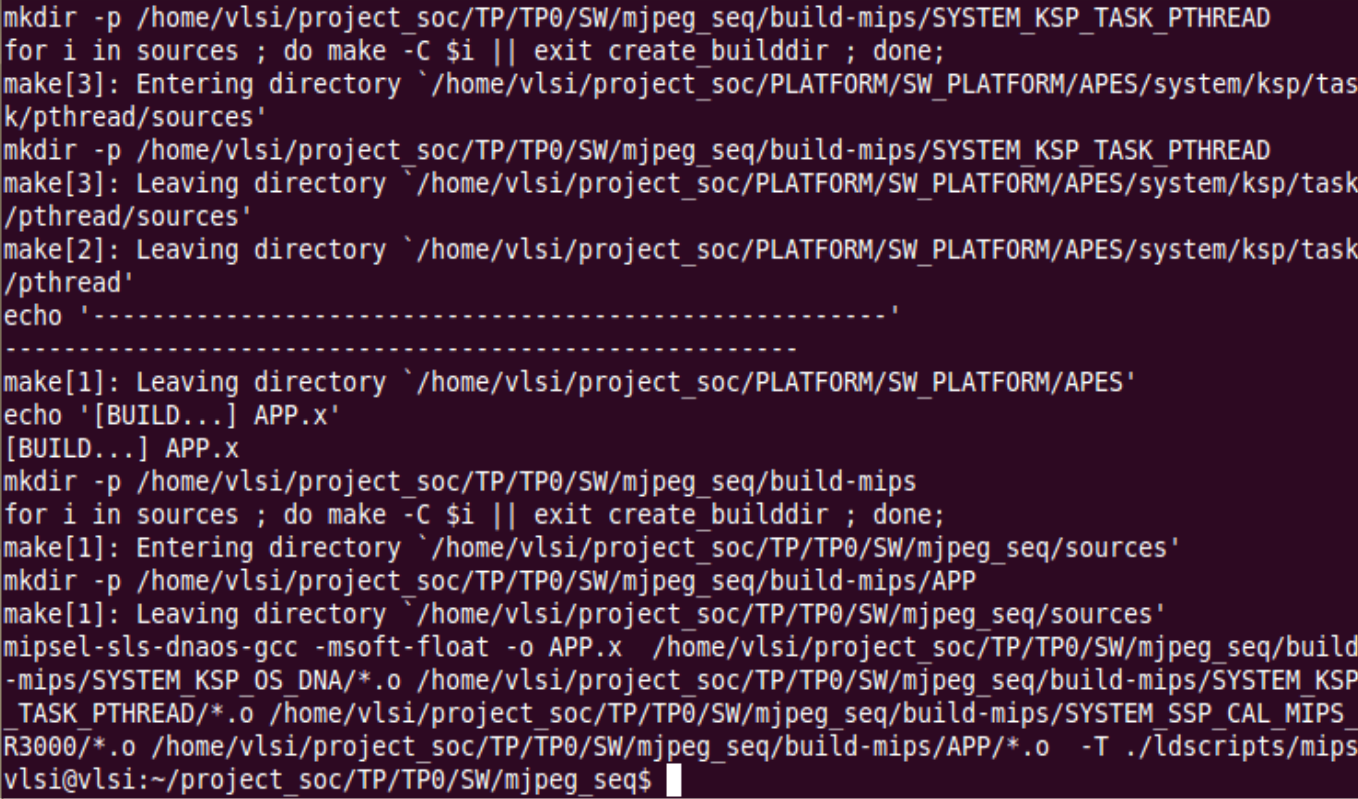
VCI\_FRAMEBUFFER：http://www.soclib.fr/trac/dev/wiki/Component/VciFrameBuffer

VCI\_LOCKS：http://www.soclib.fr/trac/dev/wiki/Component/VciLocks

1. 对位于***/projet\_soc/TP/TP0/SW/mjpeg\_seq***文件夹下的MJPEG串行程序使用MIPS交叉编译器进行编译，移植到图3所示的单核SoCLib平台之上，熟悉MJEPG的算法流程，思考对该算法进行并行化时，如何进行的软/硬件的改进。建议利用TIMER模块，统计MJPEG串行程序每部分在MIPS3000上运行所需要的时间。

**实验实现步骤**

构建结果



**4、实验三评分及评语**

**#注 实验三与实验四，整体评分**