

Липецкий государственный технический университет

Факультет автоматизации и информатики

Кафедра автоматизированных систем управления

ЛАБОРАТОРНАЯ РАБОТА №4

по ОСНОВАМ ЭЛЕКТРОНИКИ И СХЕМОТЕХНИКИ

ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

Студент

Станиславчук СМ

Группа

АС-21-1

Руководитель

Болдырихин О. В.

Липецк 2023 г.

Цель работы

Изучение цифровых последовательностных интегральных схем, их типов и свойств, особенностей программируемых микросхем.

Задание кафедры

Вариант 41.

S1. 8. 7473 – JK-триггер.

S2. 2. 40103 – 8-разрядный синхронный двоичный счетчик вниз.

S3. 18. 74HC595 – 8-разрядный сдвиговый регистр с трехстабильным выходом.

S4. 1. 27128 – 128 Кбит EPROM.

S5. 1. 8250A – последовательный порт.

Задание 1. Изучение триггеров

Изучить спецификацию заданного триггера (s1). Исследовать триггер экспериментально, подавая на входы триггера последовательности сигналов с определенными логическими значениями, отследить порядок изменения выходных сигналов. Построить таблицу истинности триггера.

Задание 2. Изучение счетчиков

Изучить спецификацию заданного счетчика (s2). Исследовать заданный счетчик экспериментально. Определить назначение входных сигналов счетчика и их влияние на его работу. Построить таблицу истинности счетчика. Представить работу счетчика в виде диаграммы состояний.

Задание 3. Изучение регистров

Изучить спецификацию заданного регистра (s3). Исследовать регистр экспериментально. Определить назначение выводов регистра и построить его таблицу истинности.

Задание 4. Изучение микросхем памяти

Экспериментально исследовать заданную микросхему памяти (s4).

Определить назначение выводов микросхемы, ее емкость и разрядность. Подключить ко входу выбора кристалла схему дешифрации адреса, назначив микросхеме определенный диапазон адресов. Произвести запись и чтение микросхемы по определенным адресам. Убедиться, что читается записанная ранее информация.

Задание 5. Изучение программируемых микросхем

Изучить спецификацию заданной программируемой микросхемы (s5).
Исследовать микросхему экспериментально, программируя ее в различные режимы и отслеживая ее работу.

Ход работы

1. Задание 1

1.1. Схема для исследования триггера

Схема для исследования триггера 7473 представлена на рисунке 1.

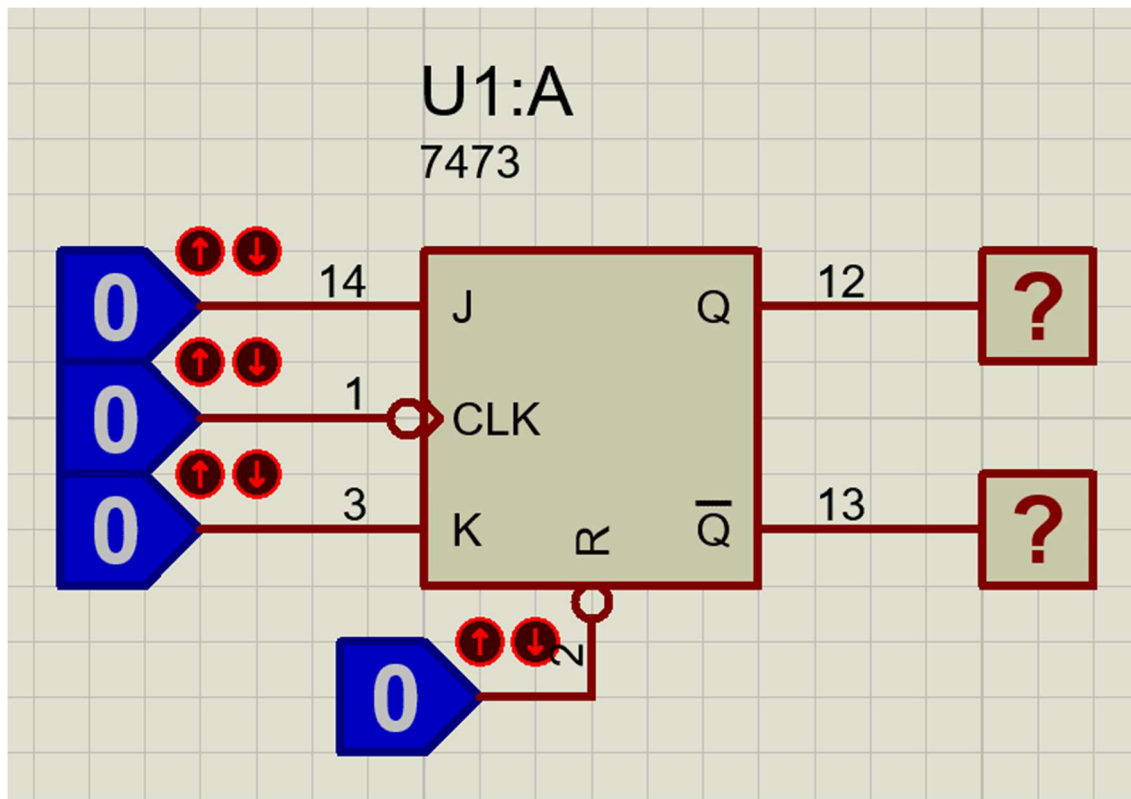


Рисунок 1 — Схема для исследования триггера 7473

1.2. Таблица истинности триггера

Таблица истинности триггера 7473 представлена в таблице 1.

Таблица 1 – Таблица истинности триггера 7473

Состояние входов				Состояние выходов	
R	CLK	J	K	Q	Q#
0	-	-	-	0	1
1	↓	0	0	Хранение	
1	↓	1	0	1	0
1	↓	0	1	0	1
1	↓	1	1	Переключение	

1.3. Диаграмма состояний триггера.

Диаграмма состояний триггера 7473 представлена на рисунке 2.

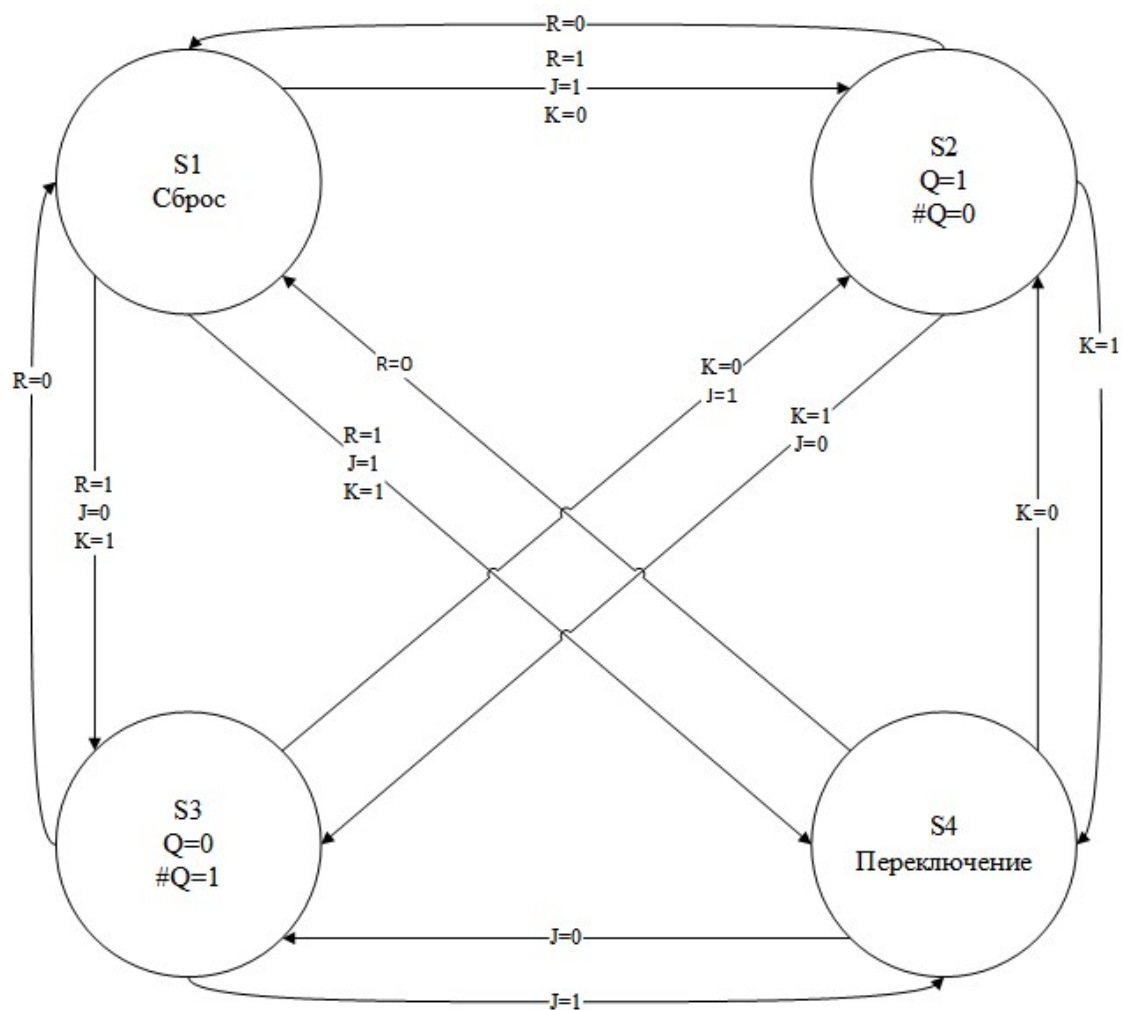


Рисунок 2 – Диаграмма состояний триггера

2. Задание 2

2.1. Схема для исследования счетчика

Схема для исследования счетчика 40103 представлена на рисунке 3.

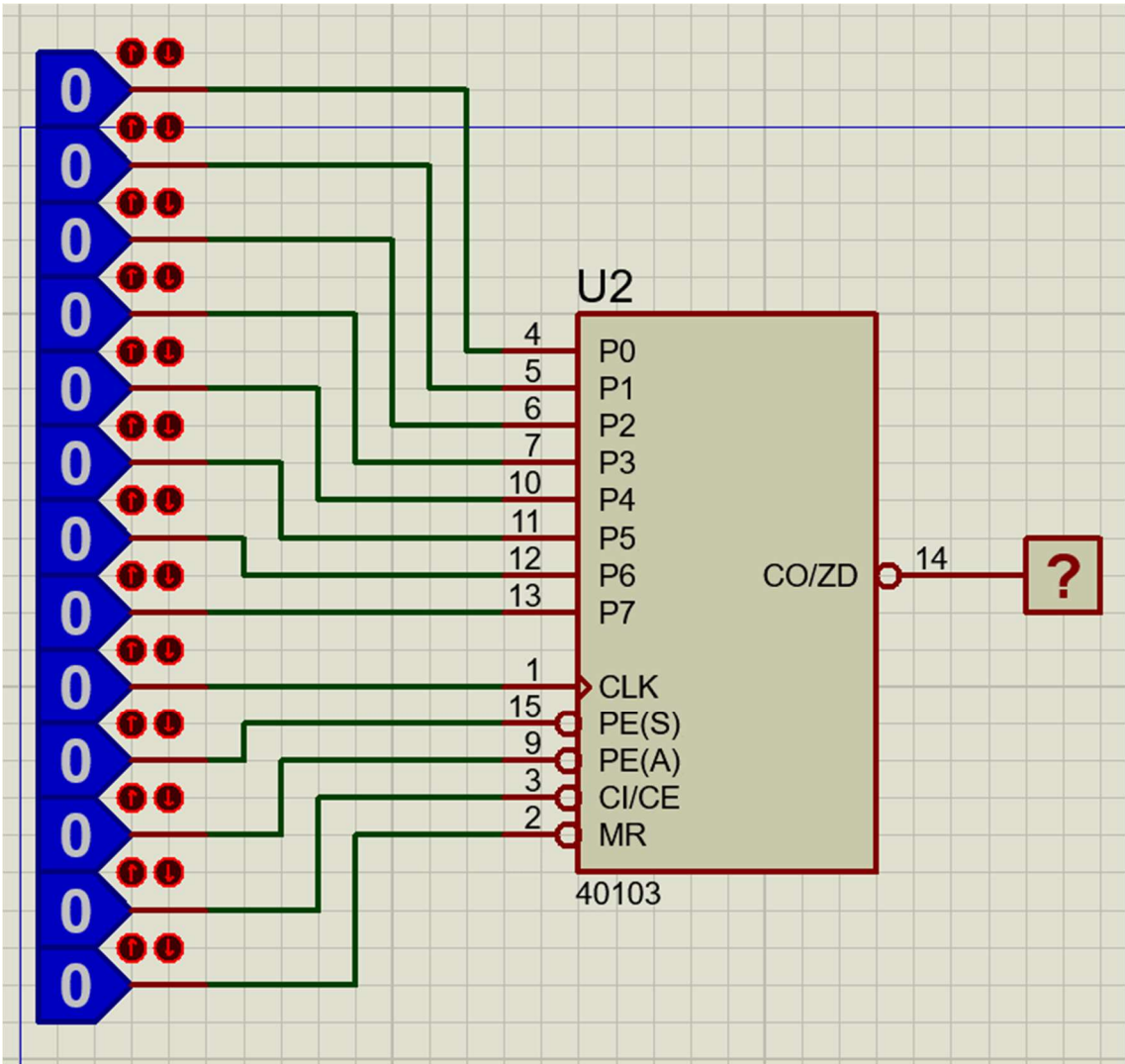


Рисунок 3 — Схема для исследования счетчика 40103

2.2. Таблица истинности счетчика

Таблица истинности счетчика 40103 представлена в таблице 2.

Таблица 2 — Таблица истинности счетчика 40103

Состояние входов				Режим
MR	PE(A)	PE(S)	CI/CE	
1	1	1	1	Запрет счета
1	1	1	0	Счет
1	1	0	-	Установка в 0 синхронно

1	0	-	-	Установка в 0 асинхронно
0	-	-	-	Сброс

2.3. Диаграмма состояний счетчика

Диаграмма состояний счетчика 40103 представлена на рисунке 4.

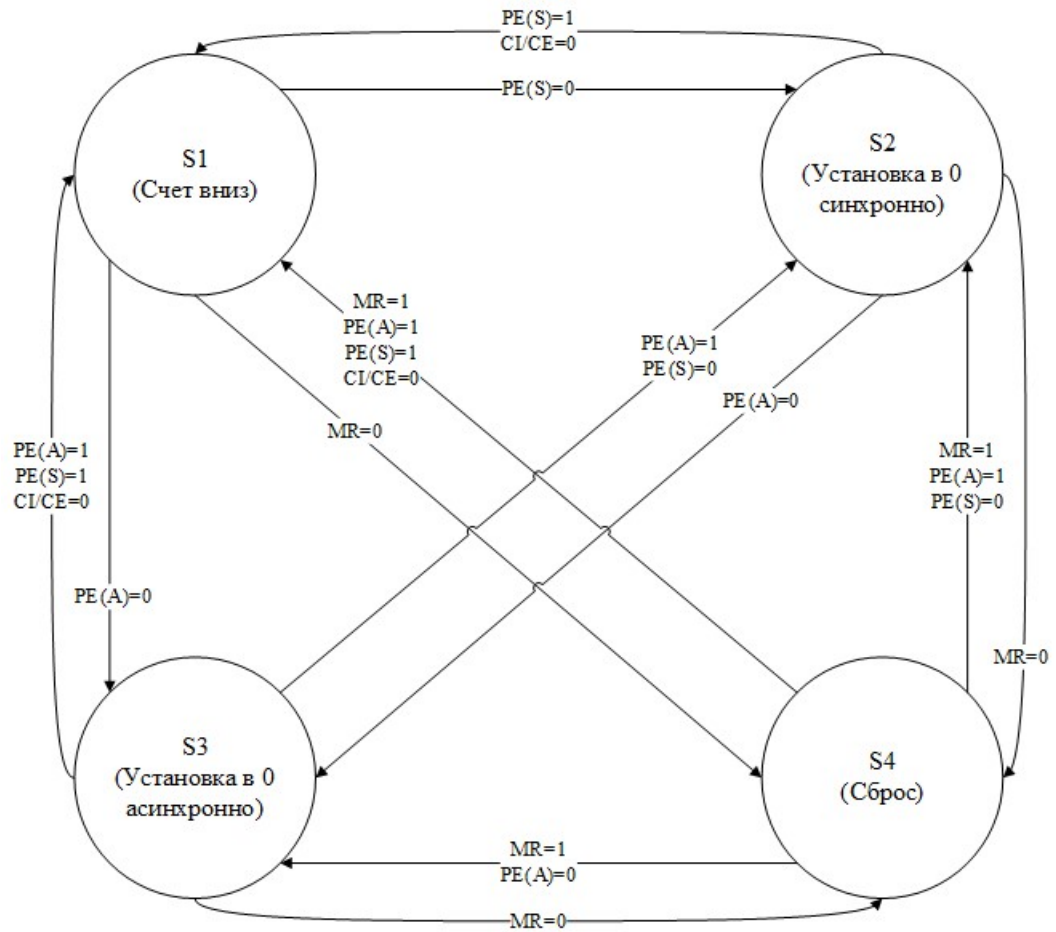


Рисунок 4 — Диаграмма состояний счетчика 40103

3. Задание 3

3.1. Схема для исследования регистра

Схема для исследования регистра 74HC595 представлена на рисунке 5.

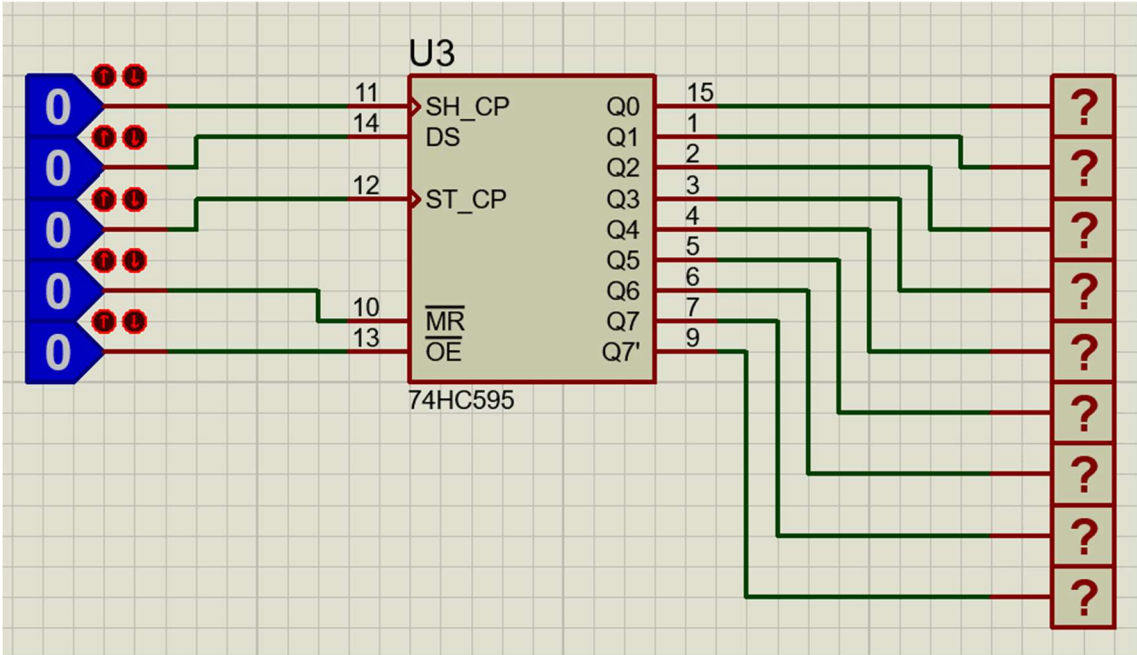


Рисунок 5 — Схема для исследования регистра 74HC595

Состояния регистра 74HC595 представлены в таблице 3.

Таблица 3 – Таблица состояний регистра 74HC595

SHCP	STCP	#OE	#MR	Режим
-	-	0	0	Хранение. Очистка регистра сдвига.
-	↑	0	0	Очистка буфера
-	-	1	0	Высокоомное состояние
↑	-	0	1	Сдвиг
-	↑	0	1	Содержимое сдвигового регистра записано в буфер
↑	↑	0	1	Содержимое регистра сдвига скопировано в выходной регистр, регистр сдвига сдвинут

3.2. Таблица истинности регистра

Таблица истинности регистра 74НС595 представлена в таблице 4.

Таблица 4 – Таблица истинности регистра 74НС595

Состояние входов					Состояние выходов								
SHCP	DS	STCP	#MR	#OE	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q7'
↑	1	-	1	0	0	0	0	0	0	0	0	0	0
↑	0	-	1	0	0	0	0	0	0	0	0	0	0
↑	1	-	1	0	0	0	0	0	0	0	0	0	0
0	0	↑	1	0	1	0	1	0	0	0	0	0	0
↑	0	-	1	0	1	0	1	0	0	0	0	0	0
0	0	↑	1	0	0	1	0	1	0	0	0	0	0
-	-	↑	0	0	0	0	0	0	0	0	0	0	0

4. Задание 4

4.1. Схема для исследования микросхемы памяти с дешифрацией адреса

Схема для исследования микросхемы памяти 27128 EPROM с дешифровкой адреса представлена на рисунке 6.

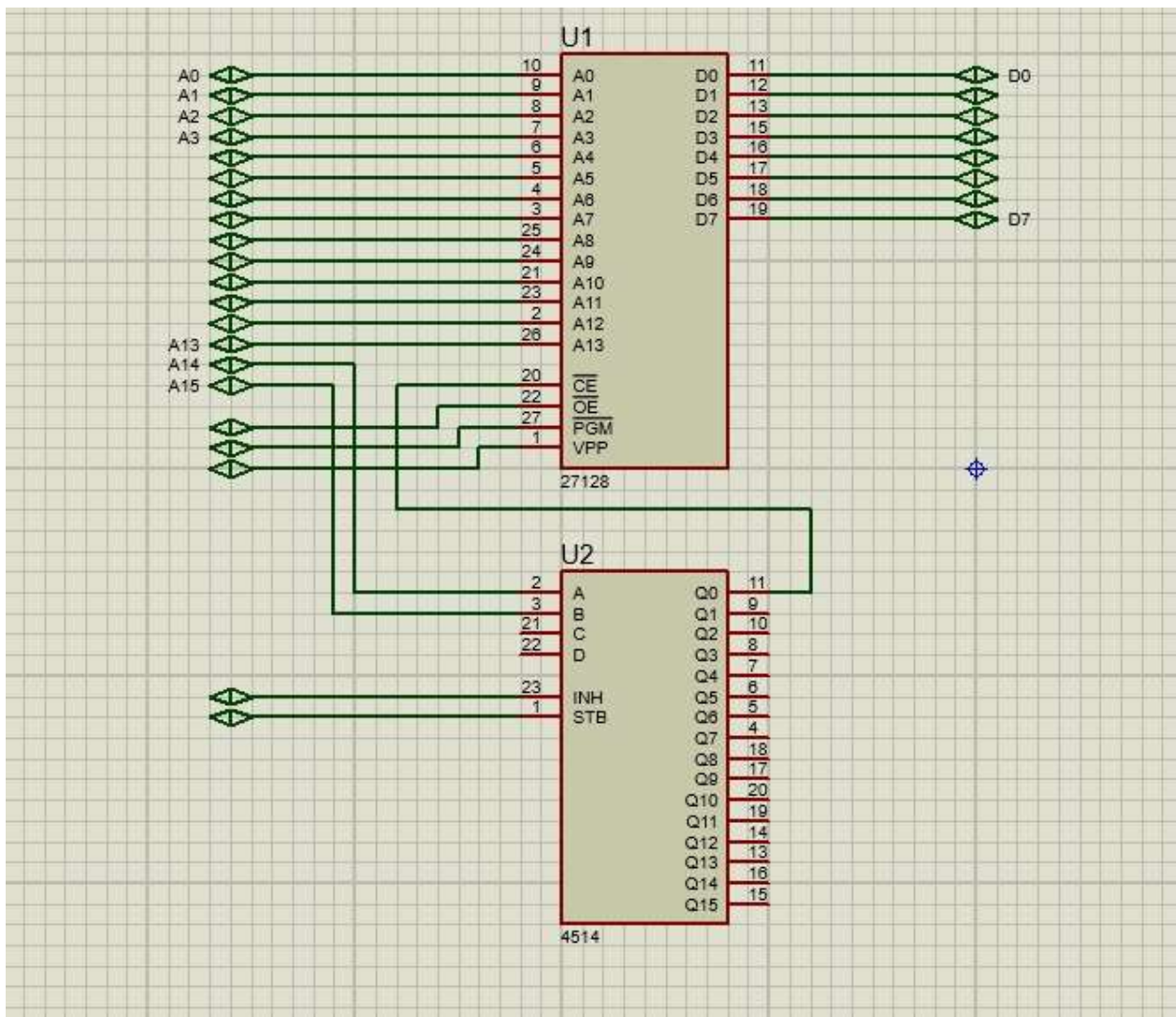


Рисунок 6 – Схема для исследования микросхемы памяти 27128

EPROM

4.2. Описание микросхемы памяти

Описание микросхемы памяти 27128 EPROM представлено в таблице

5.

Таблица 5 – Описание микросхемы памяти 27128 EPROM

Состояние входов					Состояние выходов	Режим
\overline{CE}	\overline{OE}	\overline{PGM}	A9	VPP		
0	0	1	-	Supply Voltage	Вывод данных	Чтение
0	1	1	-	Supply Voltage	Выключены	Вывод выключен

1	-	-	-	Supply Voltage	Выключены	Ожидание
0	0	1	-	Program Supply	Вывод данных	Проверка
1	-	-	-	Program Supply	Выключены	Запрет
0	0	1	A9 Voltage	Supply Voltage	Коды	Подпись
0	1	0	-	Program Supply	Ввод данных	Программирование

5. Задание 5

5.1 Схема для исследования программируемой микросхемы

Схема для исследования последовательного порта 8250A представлена на рисунке 7.

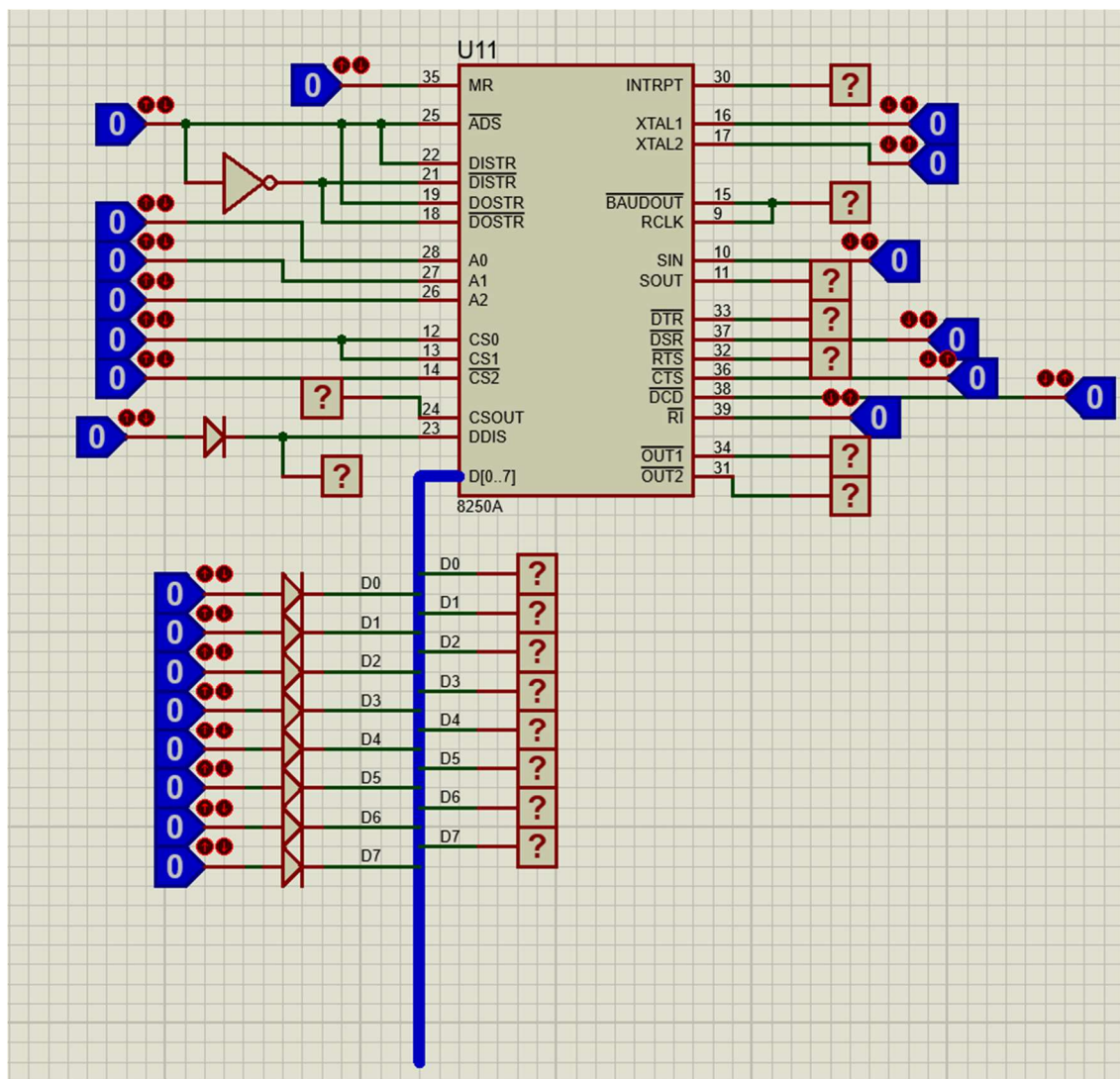


Рисунок 7 – Схема для исследования последовательного порта 8250A

5.2 Описание микросхемы

Описание последовательного порта представлено в таблицах 6 и 7.

Таблица 6 – Описание адресов регистра

DLAB	A2	A1	A0	Регистр
0	0	0	0	Приемный буфер (чтение), удержание передатчика, регистр (запись)
0	0	0	1	Разрешение прерывания

X	0	1	0	Идентификация прерывания (только чтение)
X	0	1	1	Контроль линии
X	1	0	0	Контроль модема
X	1	0	1	Статус линии
X	1	1	0	Статус модема
X	1	1	1	Стирание
1	0	0	0	Перекрытие делителя (младший байт)
1	0	0	1	Перекрытие делителя (старший байт)

Таблица 7 – Описание пинов микросхемы

Pin	Название	Описание
A0, A1, A2	Register Select Pins	Входы выбора UART регистра для чтения/записи при передаче данных с помощью CPU
\overline{ADS}	Address Strobe Pin	Вход для перекрытия сигналов выбора регистра (A0, A1, A2) и выбора чипа (CS0, CS1, CS2)
CS0, CS1, $\overline{CS2}$	Chip Select Pins	Входы выбора чипа (если на CS0 и CS1 высокий сигнал, а на CS2 - низкий, то допускается коммуникация между UART и CPU)
CSOUT	Chip Select Out Pin	Выход, показывающий выбор чипа. Передача данных невозможна пока сигнал CSOUT не станет равен логической 1
D7-D0	Data Bus Pins	Шина, состоящая из 8-ми линий ввода-вывода с тремя состояниями. Позволяет передавать данные между UART и CPU в обе стороны
\overline{DCD}	Data Carrier Detect Pin	Вход, показывающий при 0, что носитель данных был обнаружен модемом или датасе-

		том
DDIS	Driver Disable Pin	Становится 0, когда CPU читает данные из UART. Также может быть входом, позволяющим отключать или контролировать направления передачи данных шины
\overline{DSR}	Data Set Ready Pin	При 0 данный вход информирует UART, что модем или датасет готовы для установления коммуникационной связи
\overline{DTR}	Data Terminal Ready Pin	При 0 данный выход информирует модем или датасет, что UART готов для установления коммуникационной связи
\overline{CTS}	Clear to Send Pin	При 0 данный вход информирует UART, что модем или датасет готовы к обмену данными
\overline{RTS}	Request to Send Pin	При 0 данный выход информирует модем или датасет, что UART готов к обмену данными
DISTR, \overline{DISTR}	Read Pins	Если сигнал DISTR высокий, пока чип выбран, CPU может читать статусную информацию или данные из выбранного регистра UART
DOSTR, \overline{DOSTR}	Write Pins	Если сигнал DOSTR высокий, пока чип выбран, CPU может писать контролирующие слова или данные в выбранный регистр UART
SIN, SOUT	Serial Input, Output Pins	Вход и выход для последовательного ввода и вывода данных через коммуникационное устройство (периферическое, модем или датасет) соответственно
INTRPT	Interrupt Pin	Становится 1, когда любое из доступных прерываний дает сигнал 1 и включен через IER.

		Становится 0 после окончания прерывания или общего сброса
MR	Master Reset Pin	Вход, при 1 очищающий все регистры кроме приемного буфера, удержания передатчика и перекрытия делителя
$\overline{\text{O}\overline{\text{U}}\text{T}1}$, $\overline{\text{O}\overline{\text{U}}\text{T}2}$	Output 1, 2 Pins	Выходы, назначаемый пользователем на 0 путем установления 2-го или 3-го бита контрольного регистра модема на 1 соответственно
$\overline{\text{B}\overline{\text{A}}\overline{\text{U}}\text{D}\overline{\text{O}}\overline{\text{U}}\text{T}}$	Baud Out Pin	Выход для 16-кратного тактового сигнала бода из секции передатчика UART
RCLK	Receiver Clock Pin	Вход для 16-кратного тактового сигнала бода для принимающей секции чипа
XTAL1, XTAL2	External Crystal Input, Output Pins	Сигнальный вход и выход, используемые совместно для формирования цепи обратной связи для тактового сигнала бода осциллятора. Если тактовый сигнал сгенерирован вне чипа, то он должен управлять генератором такта бода через XTAL1
$\overline{\text{R}}\overline{\text{I}}$	Ring Indicator Pin	При 0 показывает, что сигнал звонка на телефон принят модемом или датасетом

Вывод

В ходе выполнения лабораторной работы я изучил цифровые последовательностные интегральных схемы, их типы и свойства, особенности программируемых микросхем.