

Липецкий государственный технический университет

Факультет автоматизации и информатики

Кафедра автоматизированных систем управления

ЛАБОРАТОРНАЯ РАБОТА №3

по ОСНОВАМ ЭЛЕКТРОНИКИ И СХЕМОТЕХНИКИ

КОМБИНАЦИОННЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

Студент

Станиславчук С.М.

Группа

Руководитель

Болдырихин О. В.

Липецк 2023 г.

Цель работы

Изучение цифровых комбинационных интегральных схем, их типов и свойств, принципов создания комбинационных и последовательностных схем из логических элементов.

Задание кафедры

Вариант 41.

1. И, НЕ.
2. 4514 — дешифратор-демультиплексор 4-16.
8. 74151 — мультиплексор 8-1.

Задание 1. Исследование дешифраторов и механизма дешифрации адреса

Исследовать заданный дешифратор (s2), составить его таблицу истинности и реализовать в заданном базисе логических элементов (s1). На основе дешифраторов данного типа и необходимого количества логических элементов реализовать схему дешифрации восьмиразрядного адреса.

Задание 2. Исследование мультиплексоров

Исследовать заданный мультиплексор (s3), составить его таблицу истинности и реализовать в заданном базисе логических элементов (s1).

Задание 3. Создание триггера в заданном базисе логических элементов

Создать триггер в заданном базисе логических элементов (s1), исследовать его работу и представить в виде таблицы истинности.

Ход работы

1. Задание 1

1.1. Схема для исследования дешифратора

Схема для исследования дешифратора представлена на рисунке 1.

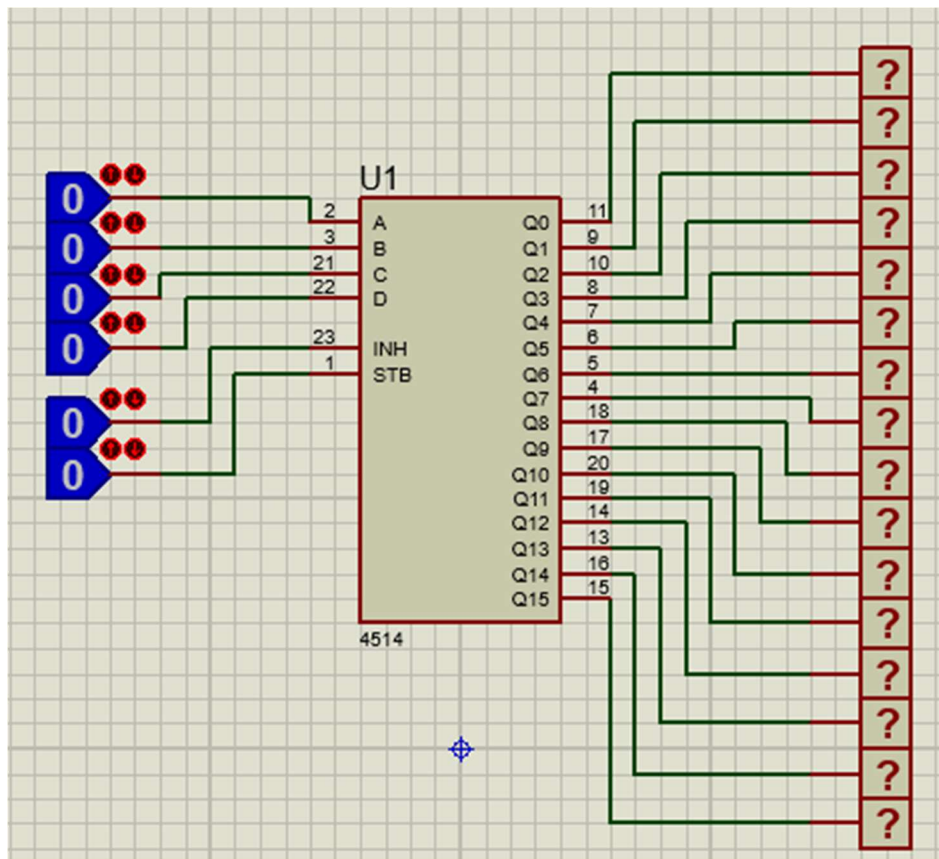


Рисунок 1 — Схема для исследования дешифратора

1.2. Таблица истинности дешифратора

Таблица истинности дешифратора представлена в таблице 1.

Таблица 1 – Таблица истинности дешифратора

Состояние входов (STB=1)					Выбранный канал
INH	D	C	B	A	
0	0	0	0	0	Q0
0	0	0	0	1	Q1
0	0	0	1	0	Q2
0	0	0	1	1	Q3
0	0	1	0	0	Q4

0	0	1	0	1	Q5
0	0	1	1	0	Q6
0	0	1	1	1	Q7
0	1	0	0	0	Q8
0	1	0	0	1	Q9
0	1	0	1	0	Q10
0	1	0	1	1	Q11
0	1	1	0	0	Q12
0	1	1	0	1	Q13
0	1	1	1	0	Q14
0	1	1	1	1	Q15
1	X	X	X	X	Все выключены

1.3. Схема реализации дешифратора в заданном логическом базисе

Схема реализации дешифратора в логическом базисе И, НЕ представлена на рисунке 2.

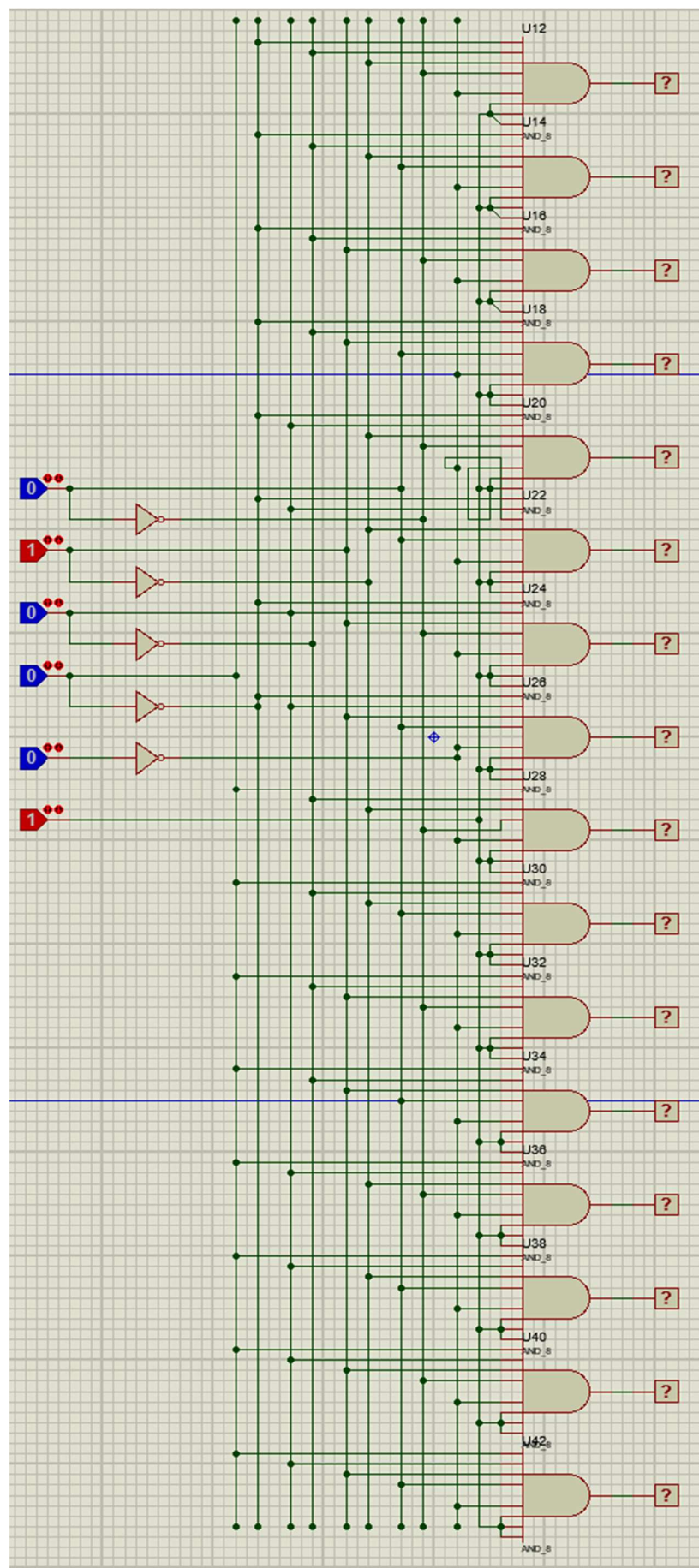


Рисунок 2 – Схема реализации дешифратора в логическом базисе И, НЕ

1.4. Схема дешифрации адреса

Схема дешифрации восьмиразрядного адреса представлена на рисунке

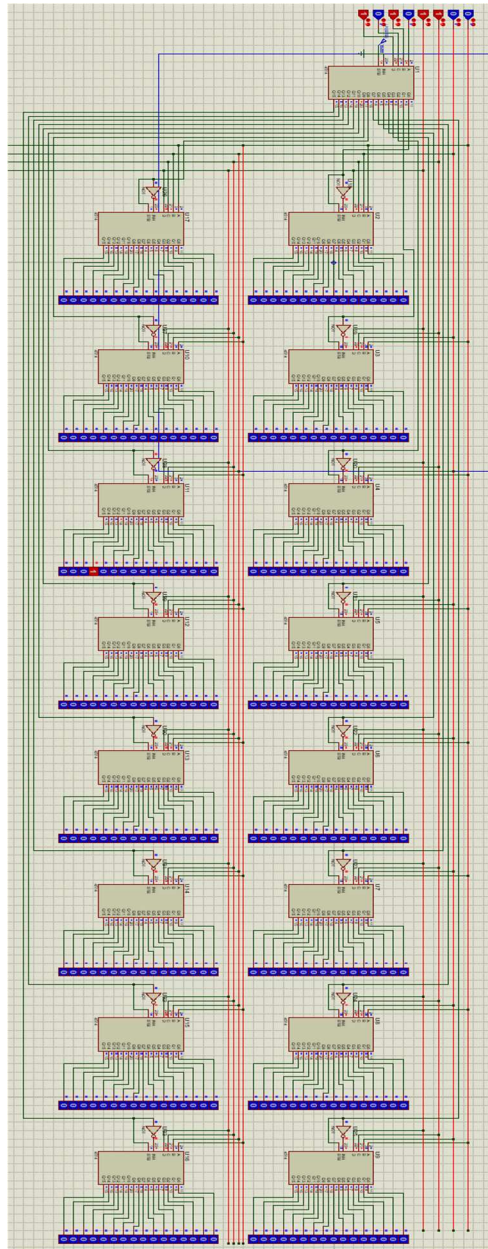


Рисунок 3 – Схема дешифрации адреса

2. Задание 2

2.1. Схема для исследования мультиплексора

Схема для исследования мультиплексора представлена на рисунке 4.

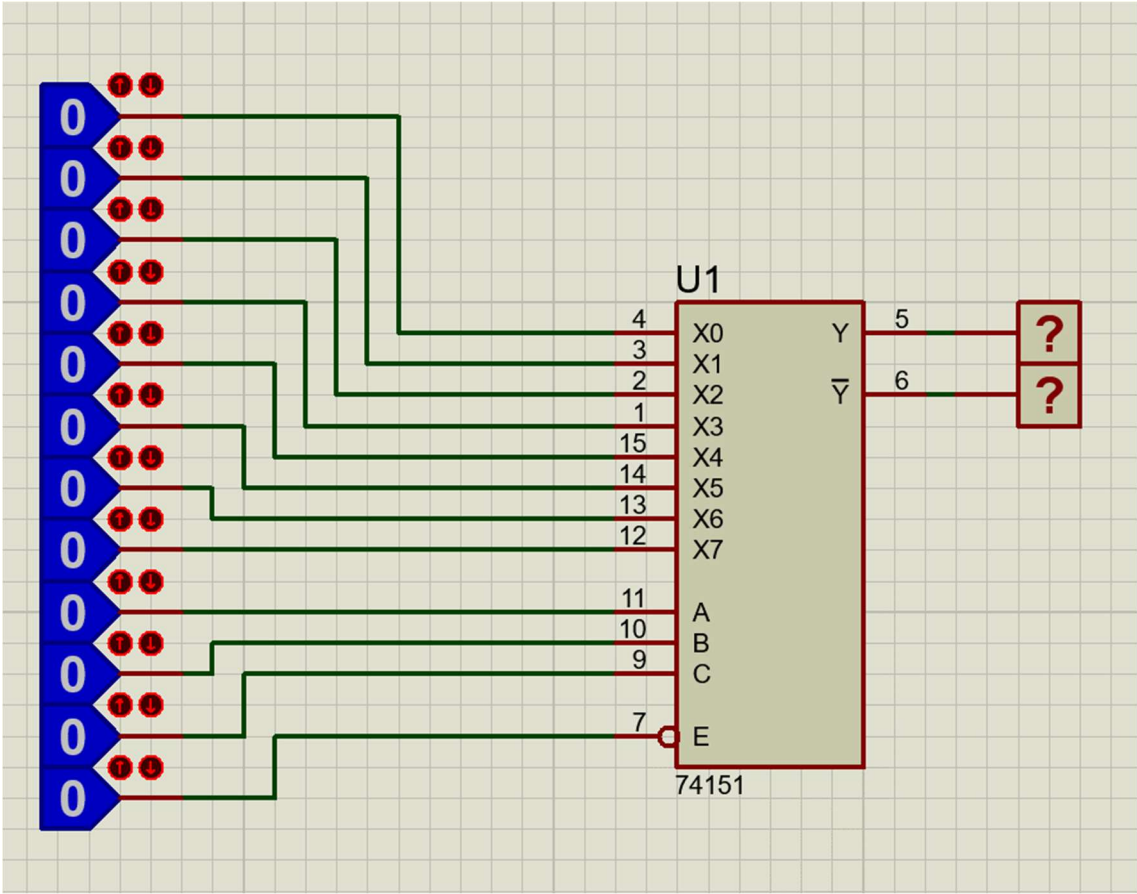


Рисунок 4 — Схема для исследования мультиплексора

2.2. Таблица истинности мультиплексора.

Таблица истинности мультиплексора представлена в таблице 2.

Таблица 2 — Таблица истинности мультиплексора

Адресные входы			Е	Выбранный канал данных
С	В	А		
0	0	0	0	X0
0	0	1	0	X1
0	1	0	0	X2
0	1	1	0	X3
1	0	0	0	X4
1	0	1	0	X5

1	1	0	0	X6
1	1	1	0	X7
-	-	-	1	Нет

2.3. Схема реализации мультиплексора в заданном логическом базисе

Схема реализации мультиплексора в логическом базисе И, НЕ представлена на рисунке 5.

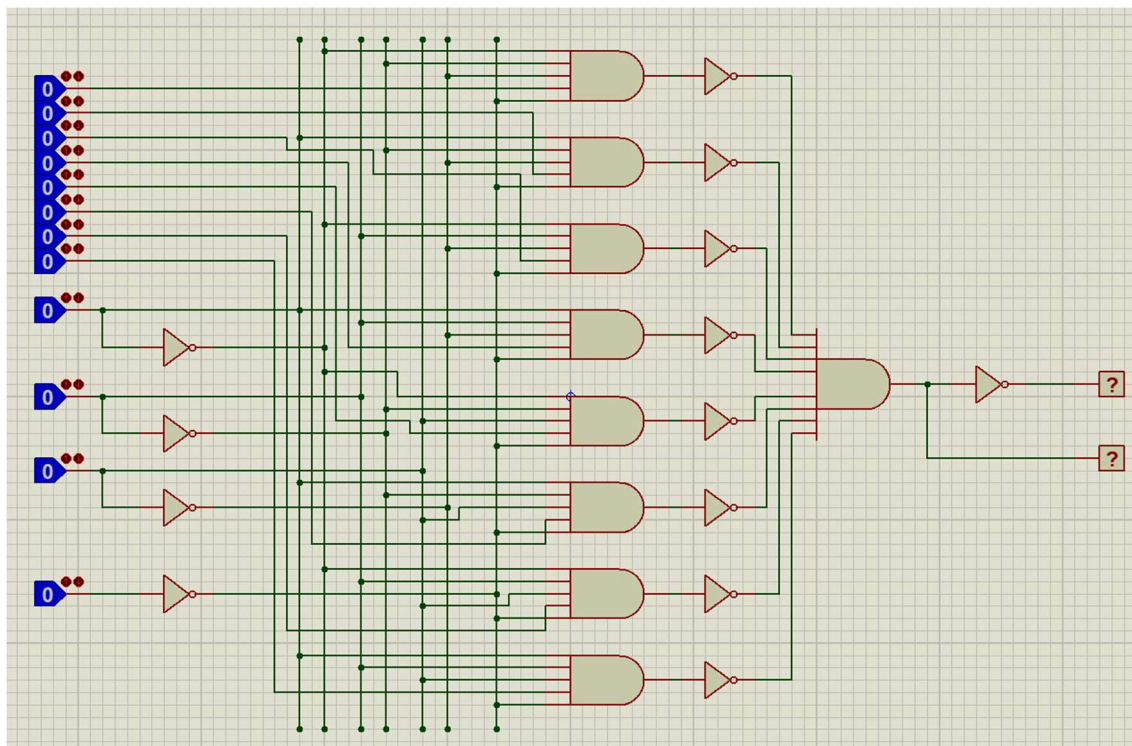


Рисунок 5 — Схема реализации мультиплексора в логическом базисе И, НЕ

3. Задание 3

3.1. Схема триггера в заданном базисе логических элементов

Схема триггера в логическом базисе И, НЕ представлена на рисунке 6.

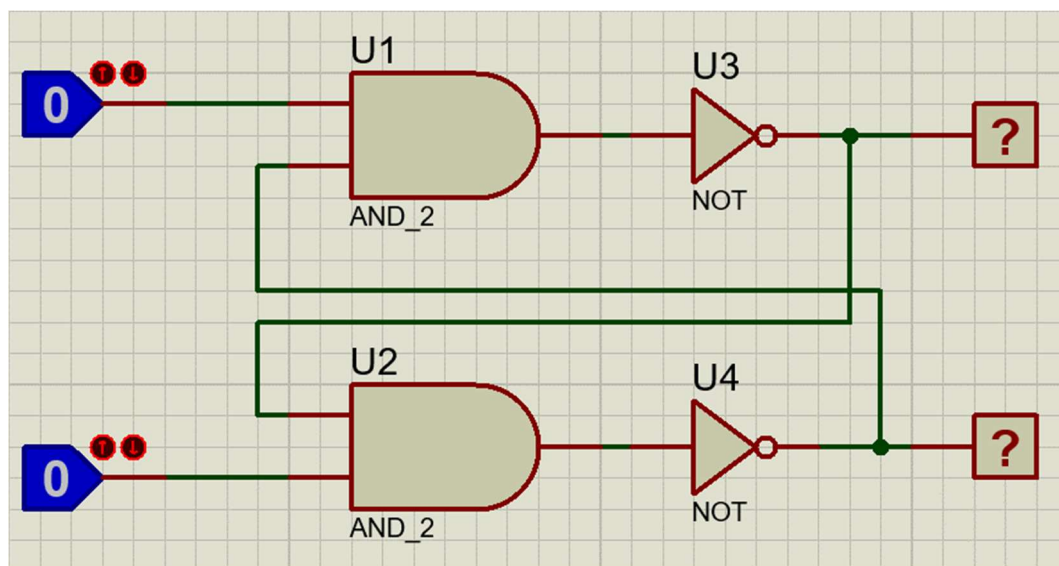


Рисунок 6 — Схема триггера в логическом базисе И, НЕ

3.2. Таблица истинности триггера

Таблица истинности триггера представлена в таблице 3.

Таблица 3 – Таблица истинности триггера

IN1	IN2	OUT1	OUT2
0	0	Недопустимо	Недопустимо
0	1	1	0
1	0	0	1
1	1	Хранение бита	Хранение бита

3.3. Схема конечного автомата (диаграмма состояний)

Диаграмма состояний триггера представлена на рисунке 7.

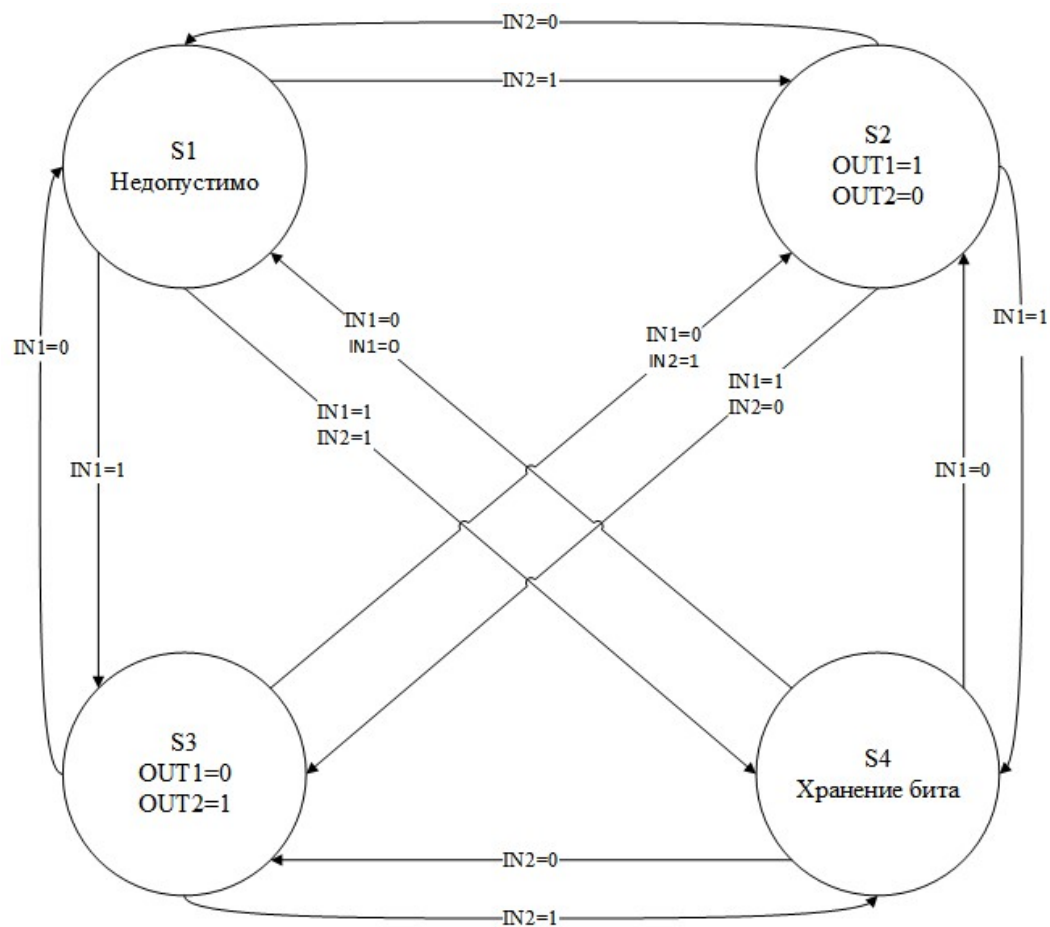


Рисунок 7 – Диаграмма состояний

Вывод

В ходе выполнения лабораторной работы я изучил цифровые комбинационные интегральные схемы, их типы и свойства, принципы создания комбинационных и последовательных схем из логических элементов.