

Липецкий государственный технический университет

Факультет автоматизации и информатики

Кафедра автоматизированных систем управления

ИНДИВИДУАЛЬНОЕ ДОМАШНЕЕ ЗАДАНИЕ
по ОСНОВАМ ЭЛЕКТРОНИКИ И СХЕМОТЕХНИКИ
РАЗРАБОТКА И ИССЛЕДОВАНИЕ ОПЕРАЦИОННЫХ,
УПРАВЛЯЮЩИХ, ЗАПОМИНАЮЩИХ И ИНТЕРФЕЙСНЫХ УЗЛОВ
ЭВМ НА ОСНОВЕ ЦИФРОВЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Студент

Группа

Руководитель

Болдырихин О.В.

Липецк 2023 г.

Цель работы

Разработать и исследовать операционный, управляющий, запоминающий или интерфейсный узел ЭВМ на основе цифровых логических интегральных схем.

Задание кафедры

Изучить принцип работы устройства по варианту в соответствии с описанием [1].

Разработать принципиальную электрическую схему заданного устройства. В процессе разработки при необходимости составить и связать таблицы истинности и конечный автомат для заданного устройства, по таблицам истинности составить СДНФ (СКНФ), минимизировать и представить в виде схемы.

Прогнать и отладить схему.

Исследовать работу схемы.

Составить спецификацию схемы — перечень и описание используемых элементов.

Составить описание устройства и работы схемы.

Вариант 37.

S1. Серия микросхем: TTL 74

S2. Схема коррекции одиночных отказов в магистрали инвертированием передаваемых данных [1, с.252].

Ход работы

1. Составление принципиальной электрической схемы устройства.

Принципиальная электрическая схема устройства представлена на рисунке 1.

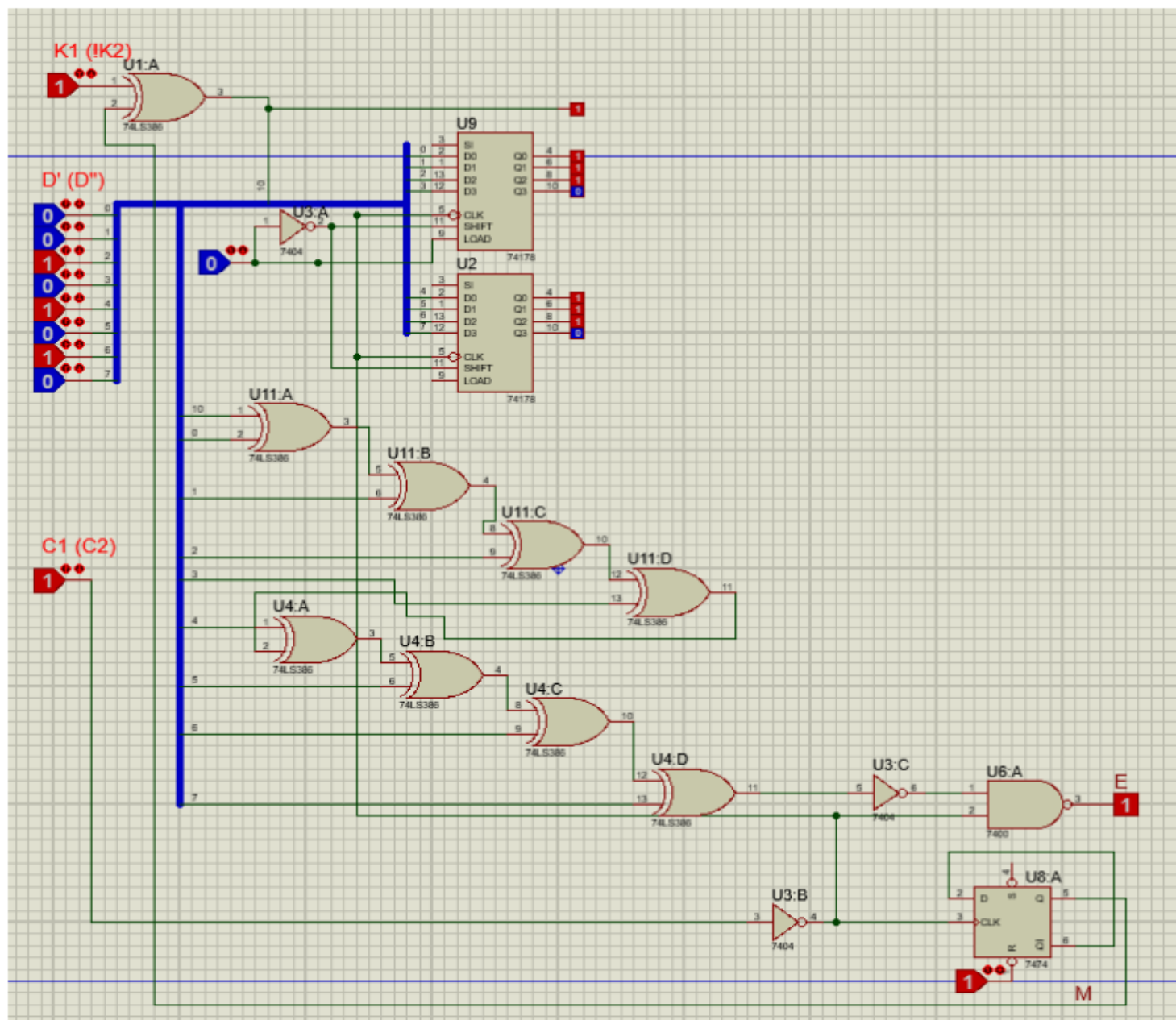


Рисунок 1 – Принципиальная электрическая схема устройства

2. Составление спецификации схемы

Спецификация схемы представлена в таблице 1.

Таблица 1 – Спецификация схемы

Обозначение	Наименование	Количество
U6	Вентиль 7400	1
U3,U5	Вентиль 7404	3
U8	Триггер 7474	1
U1 U11 U4	Вентиль 74LS386	9
U9	Регистр	2

3. Составление описания работы схемы

Предположим, что со стороны передатчика в шину данных выдается код. Предположим, что в линии шины данных магистрали в результате, например пробоя выходного транзистора одного из передатчиков постоянно поддерживается низкий уровень напряжения, что равносильно замыканию этой линии в землю. В этом случае код в шине данных будет содержать одиночную ошибку, как показано в 2 строке таблицы. Чтобы режим перегрузки передатчика не длился долго, производится отключение. В триггер по сигналу подтверждения истинности $S1=1$ принимается единица. Это говорит о том, что попытка выдать в линию желаемую информацию не увенчалась успехом. Нулевой сигнал с плеча Q триггера отключает передатчик, предотвращая его выход из строя. Этот же сигнал $S1$ вызывает прием информации во входной регистр устройства приемника. Устройство приемник посылает в устройство-передатчик ответный сигнал, подтверждающий факт приема информации. Фронт этого сигнала воздействует на устройство-передатчик, в результате этого устройство инвертирует сигналы в двух соседних с отказавшим разрядом. После окончания процессов на линиях передатчик снимает сигнал $S1$ в результате имитируется импульс. Так как к этому моменту информация пришедшая с магистрали к 2 соседним триггерам не совпадает с ранее принятой срабатывает элемент И и триггер инвертирует свое состояние получая импульс на вход. Таким образом восстанавливается правильное значение ошибочного бита.

Вывод

В ходе выполнения индивидуального домашнего задания была разработана, отлажена и исследована схема коррекции одиночных отказов в магистрали инвертированием передаваемых данных