

# 数字钟

## 实验报告

信息科学技术学院 吴海垚 PB22051035

信息科学技术学院 李 毅 PB22051031

教室：电四楼 112 室 座位号：12

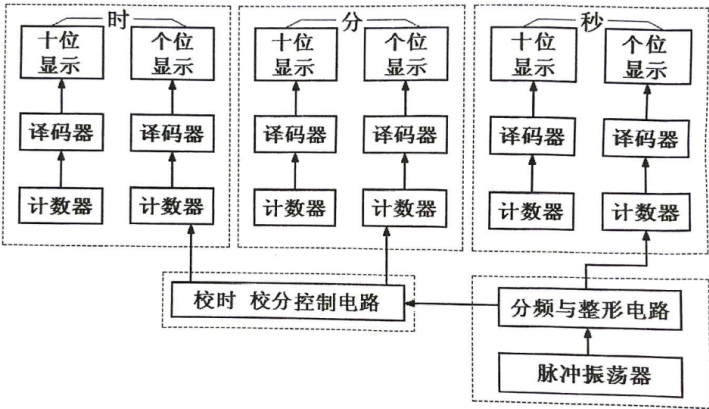
2023 年 4 月 8 日

第一部分 实验目的

1. 掌握用数字集成电路设计数字中的基本方法
2. 熟悉典型集成电路的逻辑功能，掌握 N 进制计数器的设计与实现
3. 了解数字钟电路的调试及故障排除方法

第二部分 实验原理

数字钟是一种用数字显示小时，分和秒的技术装置，它由振荡器，分频器，计数器，译码显示电路和校时校分控制电路组成。



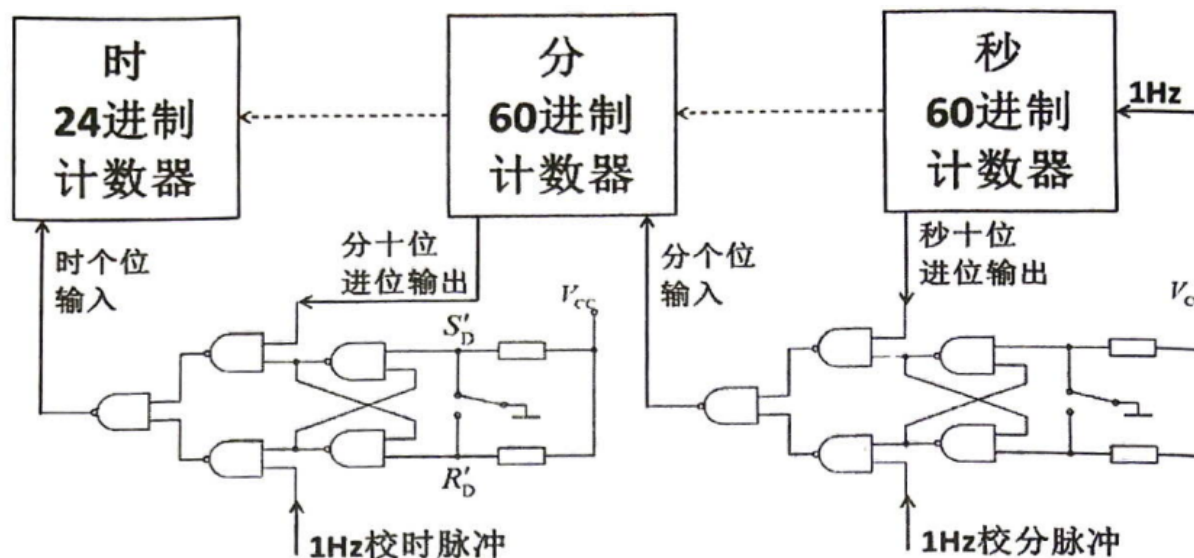
振荡器是整个数字中的核心，他的稳定度和频率的精准度决定了数字钟计时的准确性，是影响数字钟质量的决定性因素，其产生的时钟信号经过分频器产生秒信号，输入到计数器进行计数。

数字钟的计数电路可用 2 个 60 进制和 1 个 24 禁止实现，60 进制计数器由 1 个 10 禁止计数器和一个 6 进制计数器组成，分别对应个位和十位，24 进制计数器作为时计数器。计数器由六片 74LS90 组成，可用反馈归零法设计。

由于连接方式不同，集成异步计数器芯片 74Ls90 可以实现四种不同的逻辑功能，有二进制加法计数器，异步五进制加法计数器，十进制加法计数器和异步清零，置九功能等，具体实现如下表所示：

输 入				输 出	功 能
清 0 $R_1 R_2$	置 9 $S_1 S_2$	时 钟 $CLK_0 CLK_1$		$Q_3 Q_2 Q_1 Q_0$	
1 1	0 × × 0	× ×		0 0 0 0	异步清0
× ×	1 1	× ×		1 0 0 1	异步置9
0 × × 0	0 × × 0	↓ 1		- - - 0~1	二进制计数
		1 ↓		000~100 -	五进制计数
		↓ $Q_0$		0000 ~ 1001 8421BCD码	十进制计数
		$Q_3$ ↓		$Q_0 Q_3 Q_2 Q_1$ 输出 5421BCD码	十进制计数
		1 1		不 变	保 持

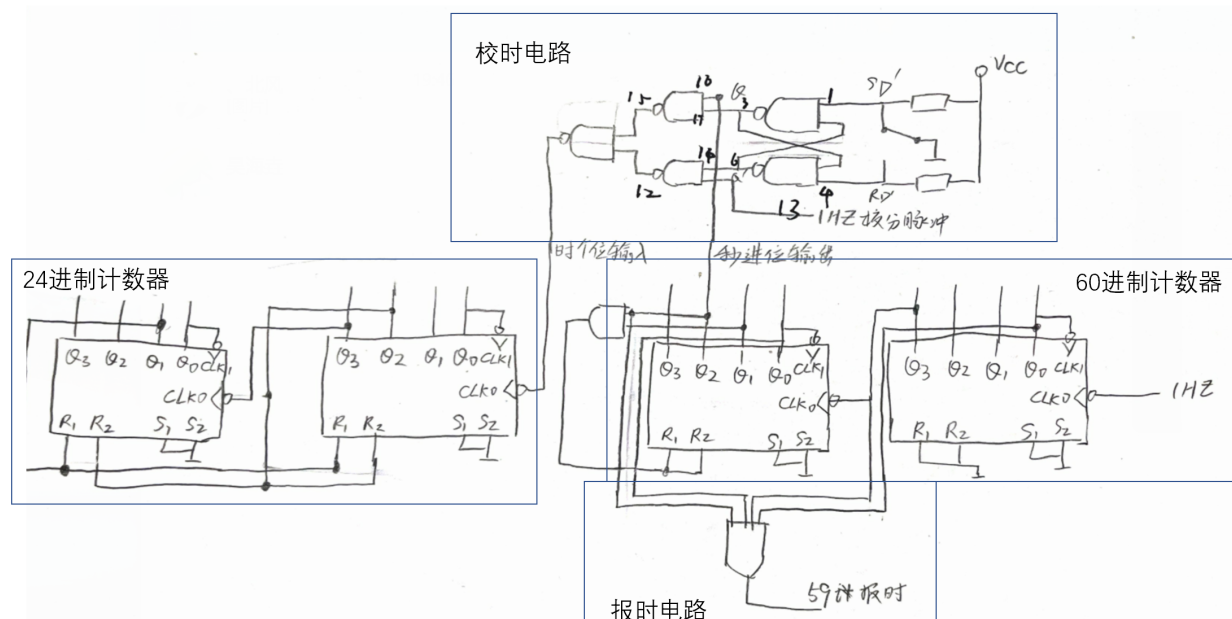
实验中可设有两个快速校准电路，由 SR 锁存器和与非门组成。正常工作时两个开关合到  $S'_D$  端，SR 锁存器置 1，分、时脉冲通过。当开关合到  $R'_D$  端时，SR 锁存器置 0，正常计数不能通过，而秒脉冲通过，使得分、时计数器变成了秒计数器可以快速校准。电路图如下：



### 第三部分 实验内容

1. 试用 74LS90 设计数字钟用 24 进制和 60 进制计数器
2. 在实验内容 1 的基础上增加校时电路
3. 在实验内容 1 的基础上实现报时功能

完整的设计电路如图所示：

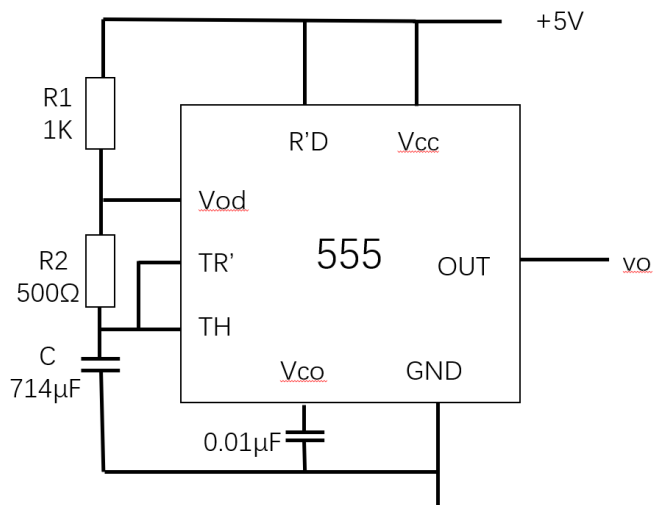


1. 各使用两片 74LS90 搭建 24 进制计数器和 60 进制计数器。60 进制计数器输入频率为 1Hz 的时钟信号，采用十位异步置零的方式，实现 60 进制计数。输出接入校时电路的输入端。24 进制计数器输入为校时电路的输出信号，采用整体异步置零的方式，实现 24 进制计数。
2. 校时电路参考实验原理。当按下按钮时，时位（24 进制计数器）输入 1Hz 的时钟信号，实现校时。按钮未按下时则正常接收来自低位的信号。
3. 报时电路如图所示，通过与门，使得电路在秒位（60 进制计数器）计数到 59 时，产生报时信号。

## 第四部分 思考题

### 1. 试用 555 设计秒脉冲器

设计电路图如下：

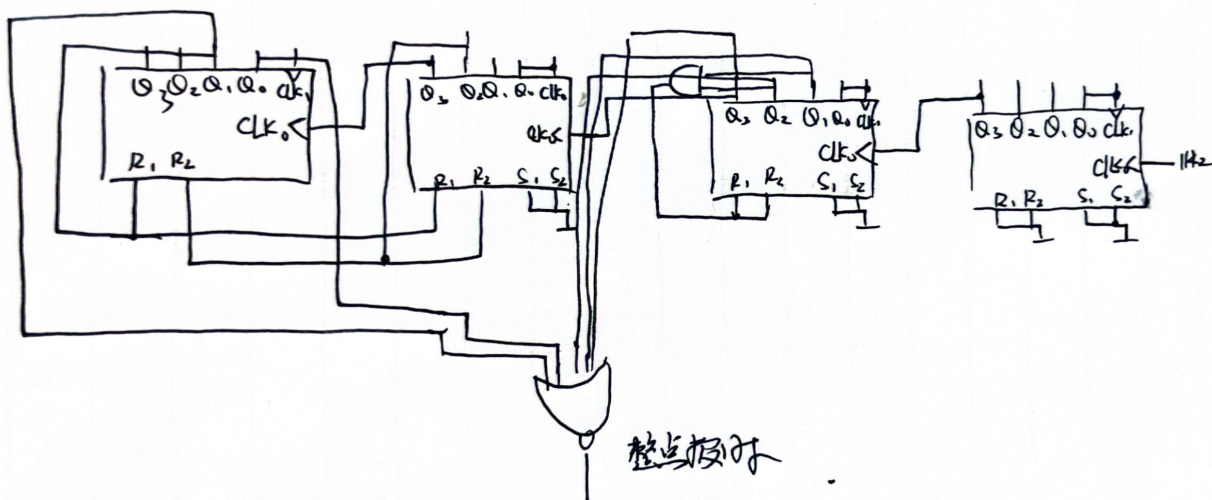


通过前备知识用 555 搭建多谐振荡器，注意到振荡器的周期和占空比与所连电阻，电容相关，因此为了输出所想要的脉冲，要设计计算其数值，实现振荡

### 2. 画出完整的数字钟逻辑电路图，并说明各部分的原理与功能

如实验内容所示。

### 3. 设计一个具有整点报时功能的电路



整体设计思路与实验内容类似，但是注意的是判断报时的条件不同，需要是准点时刻