

# 作业5

---

## 李毅PB22051031

---

### 4.16

#### 4.16.1

单周期1250ps，多周期350ps，流水线350ps。

#### 4.16.2

lw指令需要经历全部五个阶段。在单周期，多周期，流水线处理器中延迟均为1250ps。

#### 4.16.3

ID级。时钟周期变为300ps。

### 4.13

#### 4.13.1

需要添加若干数据选择器

#### 4.13.2

控制单元control

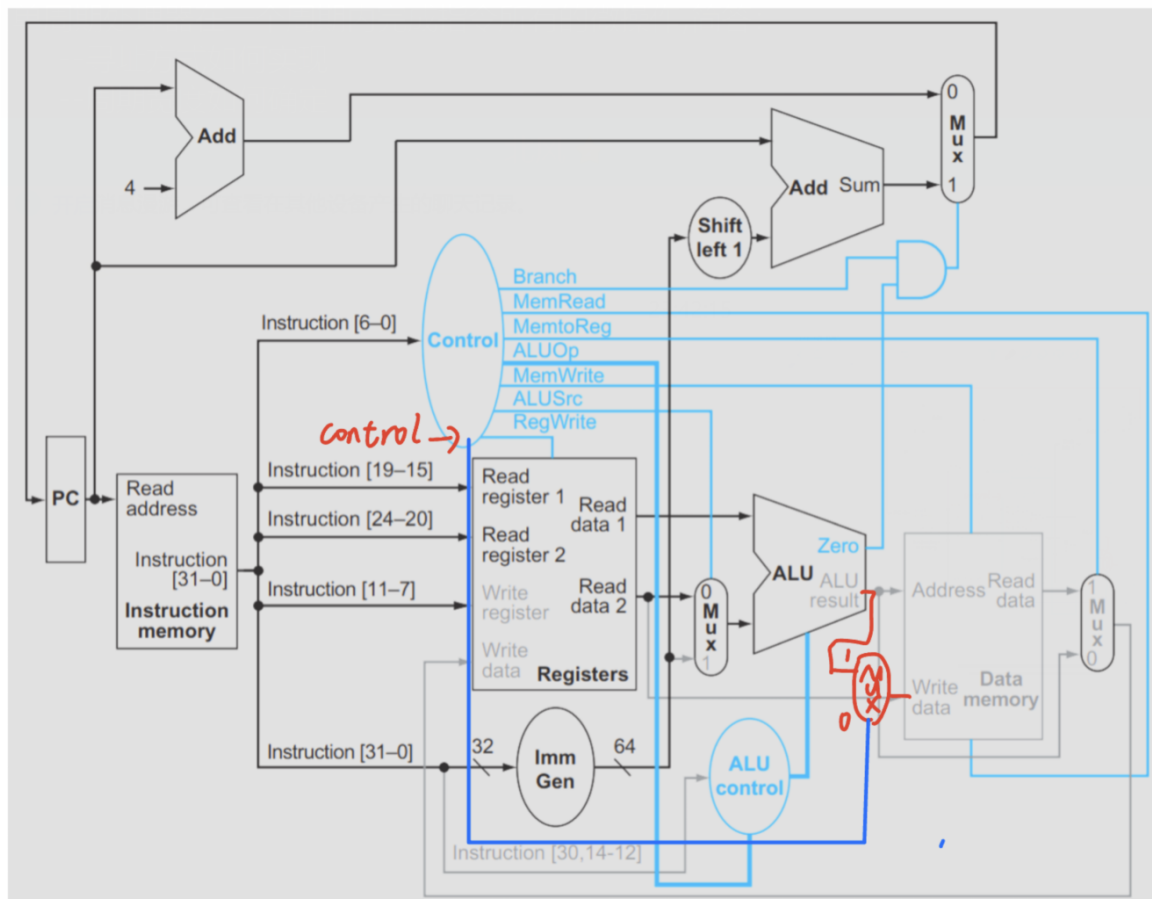
#### 4.13.3

增加ALU输出到内存writedata端的数据通路。

#### 4.13.4

ALU输出到内存的writedata端的数据选择器的控制信号。

#### 4.13.5



## 4.23

### 4.23.1

会。此时最长的阶段延时变为450ps。时钟周期变为450ps, 发生了增加。

### 4.23.2, 4.23.3

不一定。此时一方面加速比会降低，另一方面减少了读写指令lw, sw造成的数据冒险延时，故性能需要进一步评估。

### 思考题：

### 影响流水线性能发挥的因素有哪些？

流水线的技术种类, 流水线级数, 指令格式, 流水线冒险处理方式等

## 为何RV只有Load/store指令访存

这个限制意味着可以用执行阶段来计算存储器地址，然后在下一阶段访问存储器，便于前递数据通路的设计，减少数据冒险造成的延迟。