

3.20 某计算机按字节编址，其主存容量为 1MB，Cache 容量为 16KB，Cache 和主存之间交换的块大小为 64B，采用直接相联映射方式。

(1) Cache 共有多少个字块 (Cache line) ?

(2) 主存地址为 02021H 的单元装入 Cache 后对应的 Cache 地址是?

(3) 主存地址为 02021H 的单元装入 Cache 后存放在 Cache 中的第几字块中 (Cache 起始字块为第 0 字块) ?

$$(1) \frac{16 \times 2^{10}}{64} = 2^8 = 256$$

$$(2) \text{主存页号: } \frac{1 \times 2^{20}}{16 \times 2^{10}} = 2^6, \text{ 即页号 } T \text{ 占 } 6 \text{ 位; 块号占 } 8 \text{ 位; 块内地址占 } 6 \text{ 位}$$

02021H=0000 0010 0000 0010 0001b

对应 Cache 内地址位 10 0000 0010 0001b=2021H

$$(3) 1000 0000b=128$$

3.21 某计算机按字节编址，其主存容量为 1MB，Cache 容量为 16KB，Cache 和主存之间交换的块大小为 64B，采用 8 路组相联映射方式。

(1) 主存地址中页号 s、页内块号 u、块内地址 W 各占多少位?

(2) 主存地址为 02021H 的单元装入 Cache 后存放在 Cache 中的第几组 (起始组为第 0 组) ?

(3) Cacheline 对应的 Tag 字段占用多少位?

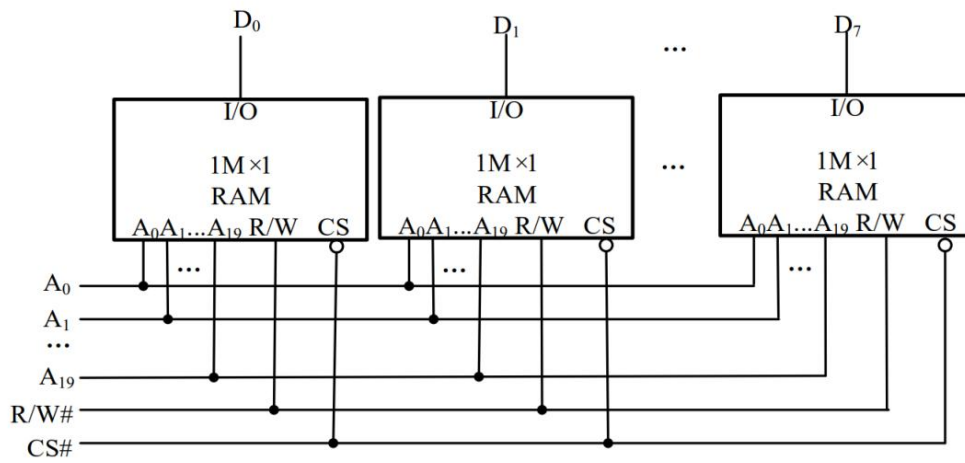
$$(1) \frac{16 \times 2^{10}}{64 \times 8} = 2^5, \text{ 即 } 32 \text{ 个组, 主存每页有 } 32 \text{ 块, } W \text{ 占 } 6 \text{ 位, 页内块号 } u \text{ 占 } 5 \text{ 位, 页号 } s$$

占 $20-6-5=9$ 位

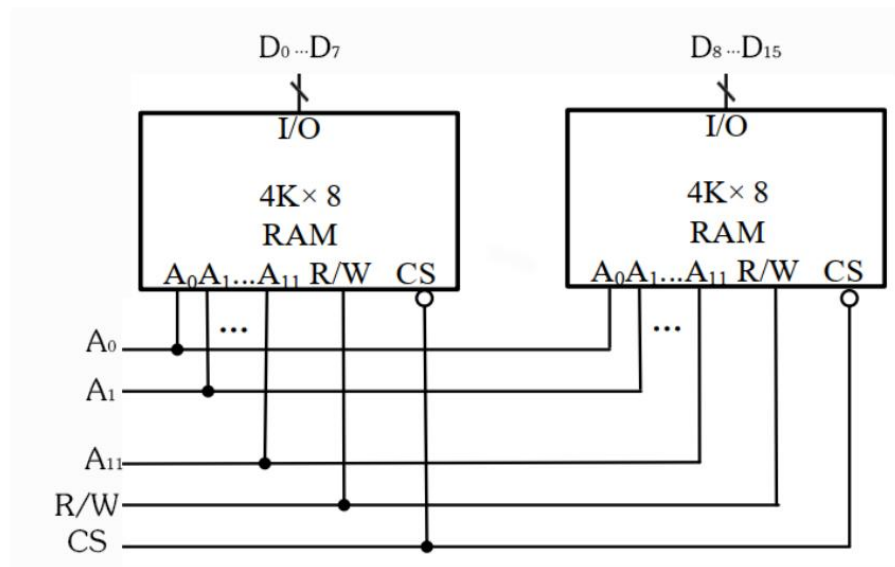
(2) 02021H=0000 0010 0000 0010 0001b, 页内块号为 0 0000, 即组号为 0,

(3) 9 位

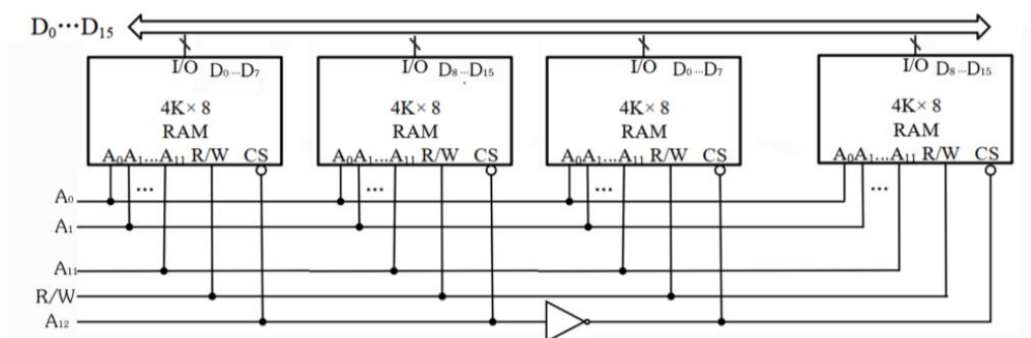
3.23 试用 $1\text{M} \times 1$ 位的芯片构成 $1\text{M} \times 8$ 位的存储器。



3.24 试用 $4\text{K} \times 8$ 位的芯片构成 $4\text{K} \times 16$ 位的存储器。



3.27 设计一个用 4 片 $4\text{K} \times 8$ 位的芯片构成 $8\text{K} \times 16$ 位的存储器。



5.17 在 Cortex-M3/M4 中, 寄存器 R0~R12 有何异同? 如果这些寄存器都是空闲的, 你觉得首先使用哪些? 为什么?

R0~R7 低位寄存器(许多 16 位的 thumb 指令只能访问低位寄存器)

R8~R12 高位寄存器(可用于 32 位指令和少数几个 16 位指令)

同: 都是通用寄存器。

异: R0~R3 用于子程序之间的参数传递; R4~R11 用于保存子程序的局部变量; R12 作为子程序调用中间寄存器。R0~R7 是 8 个低位寄存器, R8~R12 是 5 个高位寄存器。

优先低位寄存器, 低位使用较频繁, 优先低位可以降低功耗。可保证大多数指令可访问且速度快。

5.22 某基于 Cortex-M4 的 SOC 芯片共有 64 级外部中断, BASEPRI 寄存器的宽度共有几位? 如果想屏蔽所有优先级大于 16 的中断, 请写出对 BASEPRI 寄存器进行设置的汇编指令。如果想屏蔽所有优先级大于 0 的中断, 又该如何设置?

BASEPRI:7:2 共 6 位

MOV R0, #0b010001 //16

MOV BASEPRI, R0

MOV R0, #0b000001 //0

MOV PRIMASK, R0

补充题 : C F F F

5.2,3,6,9,10,15,17,20,22,25,29,31,36,38,39

[补充5.43] (共4题) 以下关于Cortex-M3/M4操作状态与操作模式法正确的是 ()

I.特权线程模式下可以通过置位CONTROL寄存器nPRIV位进入非特权模式 ✓

II.非特权线程模式下可以通过置零CONTROL寄存器nPRIV位进入特权模式 ✗

III.处理模式下可以通过置零CONTROL寄存器nPRIV位进入特权线程模式 ✓

IV.非特权模式下访问CONTROL寄存器会触发Usage Fault异常 ✓

V.非特权线程模式下访问存储器可能会触发MemManage Fault异常 ✓

VI.处理模式下可以通过置零CONTROL寄存器nPRIV位进入特权线程模式 ✓

VII.处理模式下只能使用MSP而不能使用PSP ✓

VIII.线程模式下只能使用PSP而不能使用MSP ✗

A)I、II、III、IV、V

B)II、III、IV、V、VI

C)II、IV、V、VI、VII

D)IV、V、VI、VII、VIII

E)以上选项均不正确

[补充5.44] 以下关于Cortex-M3/M4堆栈说法正确的是（ ）

- I. 只支持满递减类型的栈 ✓
- II. 往栈内放置一个新的数据后，栈指针数值会增加 ✗
- III. 具有双栈的结构，有MSP和PSP两个堆栈指针 ✓
- IV. 非特权线程模式只能使用PSP而不能使用MSP ✓
- V. MSP的值在上电前就需要存储在片内的Flash中 ✓
- VI. PSP的值需要在初始化程序中进行设置 ✗
- VII. 栈空间只能放置在4GB空间的SRAM区 ✗
- VIII. 按照AAPCS要求，栈需要双字对齐 ✓

- A) I、II、III、IV
- B) II、III、IV、V
- C) III、IV、V、VI
- D) IV、V、VI、VII
- E) V、VI、VII、VIII
- F) 以上选项均不正确

[补充5.45] 以下关于Cortex-M3/M4存储器子系统说法正确的是（ ）

- I. 4GB的存储器映射关系是固定不变的 ✗
- II. 既可以配置为大端模式，也可以配置为小端模式 ✗
- III. 所有Cortex-M3/M4的存储器访问指令都支持非对齐的数据传输 ✓
- IV. 4GB空间所有区域均可以采用位段（Bit-Band）操作方式来访问 ✗
- V. 位段操作能保障“读修改写”的流程不被其他操作打断 ✓
- VI. 处理器读存储器时，存储器系统会检查所访问区域的存储器访问属性 ✓
- VII. 非特权线程访问内核私有区域可能会触发MemManage Fault异常 ✓
- VIII. 处理器不会改变代码的执行顺序，因而不需要存储器屏障指令 ✗

- A) I、II、III、IV
- B) II、III、IV、V
- C) III、IV、V、VI
- D) IV、V、VI、VII
- E) V、VI、VII、VIII
- F) 以上选项均不正确

[补充5.46] 以下关于Cortex-M3/M4中断/异常机制说法正确的是（ ）

- I.特殊寄存器PRIMASK和FAULTMASK均用于中断屏蔽
- II.与PRIMASK不同的是，FAULTMASK无需清理，当负责错误处理的异常处理程序返回时，会自动复位FAULTMASK
- III.特殊寄存器BASEPRI采用了可伸缩的设计
- IV.每个异常都会处于激活、非激活、挂起、激活并挂起之一的某一个状态
- V.每个异常都有一个独立的优先级寄存器
- VI.异常的优先级寄存器只能由特权访问等级代码访问
- VII.中断优先级寄存器中数值约小，表示对应中断源的优先级约高
- VIII.多个相同优先级的异常同时发生时，处理器会先处理异常类型号低的异常
- IX.中断使能、中断禁止采用了2个独立的寄存器
- X.特定中断源的中断使能或禁止用寄存器中的1位来实现

- A)I、II、III、IV、V
- B)II、III、IV、V、VI
- C)III、IV、V、VI、VII
- D)IV、V、VI、VII、VIII
- E)V、VI、VII、VIII、IX
- F)VI、VII、VIII、IX、X
- G)以上选项均不正确