

# 实验报告

实验题目：\_\_\_\_ 建模概念 \_\_\_\_ 日期：2018 年 10 月 12 日

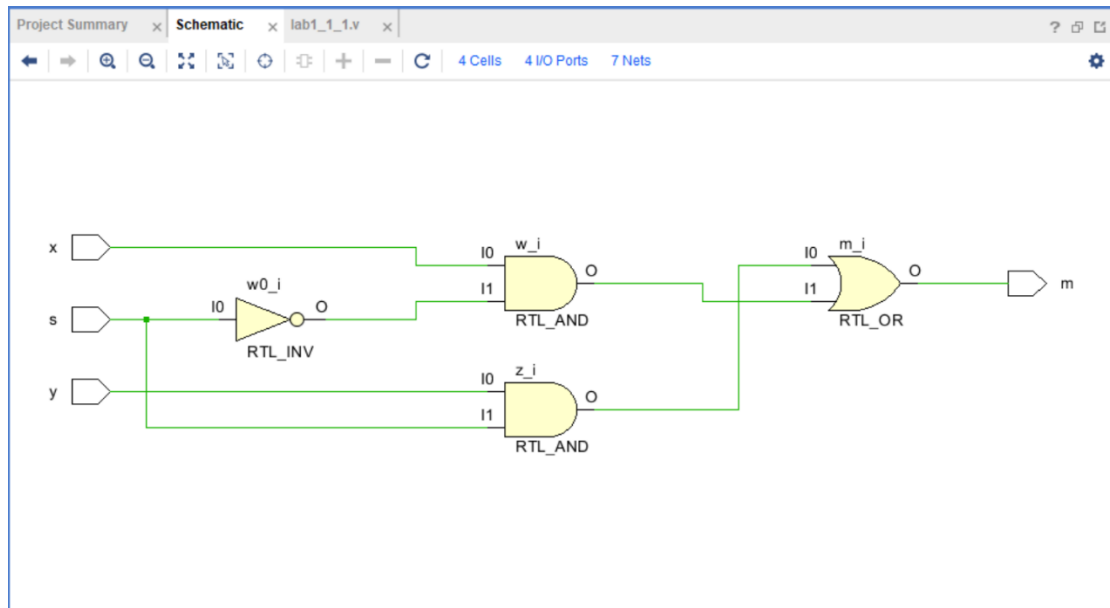
姓名：\_\_\_\_ 罗晏宸 \_\_\_\_ 学号：\_\_\_\_ PB17000297 \_\_\_\_ 成绩：\_\_\_\_

## 实验目的：

1. 使用门级、数据流级和行为级 3 种风格设计一位和多位组合逻辑电路
2. 设计模型读取拨码开关和按键开关并输出到 LED 和 7 段数码管
3. 仿真并理解设计的输出
4. 创建分层的设计
5. 综合，实现并生成比特流文件
6. 下载比特流文件到开发板，并验证功能

## 实验内容（截图、照片与代码）

### Lab1\_1\_1



截图 1-lab1\_1\_1 原理图



照片 1-lab1\_1\_1 下载

“照片 1-lab1\_1\_1 下载”的说明：本工程使用门级风格实现 1 位 2 选 1 数据选择器；图中开关 switch[1]和 switch[7]拨至开，其余开关拨至关，表示输入为  $x=0$ ,  $y=1$ ,  $s=1$ ；灯 led[0]亮，其余灯灭，表示输出为  $m=1$  即  $m=y$ 。

lab1\_2\_2.v x lab1\_2\_2\_tb\_behav.wcfg

Zoom Out

Name	Value
> x[1:0]	10
> y[1:0]	11
s	1
> m[1:0]	11

Timing Diagram (0 ns to 80 ns):

53.577 ns

Data sequence (4-bit values): 00, 01, 11, 10, 00, 01, 00, 11, 11, 01, 00, 11

QC OK 13

MONO

GID: 2201704295  
 姓名: 罗晏宸  
 身份: 本科生  
 学号: PB17000297

2201704295  
 校园一卡通管理结算中心  
<http://ecard.ustc.edu.cn>  
 联系电话: 63603949

手机应用

此卡妥善保管, 避免折损, 限本人使用。丢失需立刻挂失。拾获此卡, 请交回一卡通中心。

8.8.8.8.8.8.8.8

TEMP SENSOR

“照片 2-lab1\_2\_2 下载”的说明：本工程使用数据流风格实现 2 位 2 选 1 数据选择器；图中开关 switch[2], switch[3], switch[7] 拨至开，其余开关拨至关，表示输入为  $x=(00)B$ ,  $y=(11)B$ ,  $s=1$ ；灯 led[0] 和 led[1] 亮，其余灯灭，表示输出为  $m=(11)B$  即  $m=y$ 。

## Lab1\_3\_2

代码 Lab1\_3\_2.v

```
`timescale 1ns / 1ps
/////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 2018/10/11 21:26:12
// Design Name:
// Module Name: lab1_3_2
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
/////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////

module lab1_3_2(
    input [1:0] x,
    input [1:0] y,
    input s,
    output reg [1:0] m
);
    always @(x or y or s)
        if (s == 0)
            m = x;
        else
            m = y;
endmodule
```

## Lab1\_4\_2

代码 bcdto7segment\_dataflow.v

```
`timescale 1ns / 1ps
/////////////////////////////////////////////////////////////////
//////////
// Company:
// Engineer:
//
// Create Date: 2018/10/12 00:32:31
// Design Name:
// Module Name: bcdto7segment_dataflow
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
/////////////////////////////////////////////////////////////////
//////////

module bcdto7segment_dataflow(
    input [3:0] x,
    output [7:0] an,
    output [6:0] seg
);
    assign seg[0] = ((~x[3] && ~x[2] && ~x[1] && x[0]) | (~x[3] && x[2] &&
~x[1] && ~x[0])) && ~(x[3] && (x[2] | x[1]));
    assign seg[1] = (~x[3] && x[2] && ~x[1] && x[0]) | (~x[3] && x[2] && x[1]
&& ~x[0]) | (x[3] && (x[2] | x[1]));
    assign seg[2] = (~x[3] && ~x[2] && x[1] && ~x[0]) | (x[3] && (x[2] | x[1]));
    assign seg[3] = ((~x[3] && ~x[2] && ~x[1] && x[0]) | (~x[3] && x[2] &&
~x[1] && ~x[0]) | (~x[3] && x[2] && x[1] && x[0])) && ~(x[3] && (x[2] | x[1]));
    assign seg[4] = ((~x[3] && ~x[2] && ~x[1] && x[0]) | (~x[3] && ~x[2] &&
x[1] && x[0]) | (~x[3] && x[2] && ~x[1] && ~x[0]) | (~x[3] && x[2] && ~x[1]
&& x[0]) | (~x[3] && x[2] && x[1] && x[0]) | (x[3] && ~x[2] && ~x[1] && x[0]))
&& ~(x[3] && (x[2] | x[1]));
    assign seg[5] = ((~x[3] && ~x[2] && ~x[1] && x[0]) | (~x[3] && ~x[2] &&
x[1] && ~x[0]) | (~x[3] && ~x[2] && x[1] && x[0]) | (~x[3] && x[2] && x[1]
&& x[0])) && ~(x[3] && (x[2] | x[1]));
    assign seg[6] = ((~x[3] && ~x[2] && ~x[1] && ~x[0]) | (~x[3] && ~x[2]
```



```

&& ~x[1] && x[0]) | (~x[3] && x[2] && x[1] && x[0])) && ~(x[3] && (x[2] |
x[1]));
    assign an[0] = 0;
    assign an[1] = 1;
    assign an[2] = 1;
    assign an[3] = 1;
    assign an[4] = 1;
    assign an[5] = 1;
    assign an[6] = 1;
    assign an[7] = 1;
endmodule

```



照片 3-lab1\_4\_2 下载

“照片 3-lab1\_4 2 下载”的说明：本工程使用数据流风格实现一个BCD码到7段数码管的译码器；图中开关 switch[2]拨至开，其余开关拨至关，表示输入为  $x=(0100)_B$ ；右侧七段数码管 0 位 CA, CB, CF, CG 管亮，其余管灭，其余位七段数码管全灭，灯亮的数码管笔画构成数字‘4’字样形成输出。

## 实验总结：

本次实验中，创建 8 个 Vivado 工程，分别使用了门级、数据流、行为模拟三种建模风格设计了 1 位与 2 位 2 选 1 数据选择器、开关到 LED 灯的直接控制装置、1 位 3 选 1 数据选择器、BCD 码到七段数码管的译码器并均加以综合、实现并在硬件和仿真环境中验证了功能正确性。

通过本次实验，我初步掌握了三种建模风格的语法特点，线网与寄存器类型的区别，连续数据传递中线网延迟的设置；了解了 Nexys4 DDR 开发板的部分硬件组成（主要为开关、LED 灯与 7 段数码管）与工作原理；进一步练习了 XDC 约束文件内容的调整，Vivado 软件创建工程、设计、分析、仿真、综合、实现与生成比特数据流并下载至硬件的操作。为之后的实验学习提供了知识基础。