

lab1错误

2018年10月12日 16:33

- 1, 不会使用xdc文件, 不知道端口的使用方法 (加减注释符号)
- 2, 多定义了一次输出变量
- 3, 生成原理图时容易出现bug (ide问题, 重启ide解决)
- 4, 不知道怎么修改测试模块中实例化时候的模块名称
- 5, 选择板子型号的时候出错
- 6, 不会定义总线
- 7, 使用always没有使用begin/end
- 8, 添加或者创建文件时, 没有选择文件类型
- 9, 选错xdc文件
- 10, 仿真时均出现结果与预期有所出入的情况
- 11, 七段数码管端口顺序弄反