

实验报告

实验题目： 多输出电路：编码器，译码器和存储器

日期： 2018 年 10 月 26 日

姓名： 罗晏宸 学号： PB17000297 成绩：

实验目的：

1. 复习译码器与编码器的逻辑电路基础
2. 利用数据建模与行为建模风格设计多输出译码器与编码器
3. 深入了解 reg 数据类型与\$readmemb 系统函数，并利用其设计只读存储器

实验内容（截图、照片与代码）

Lab3_1_1

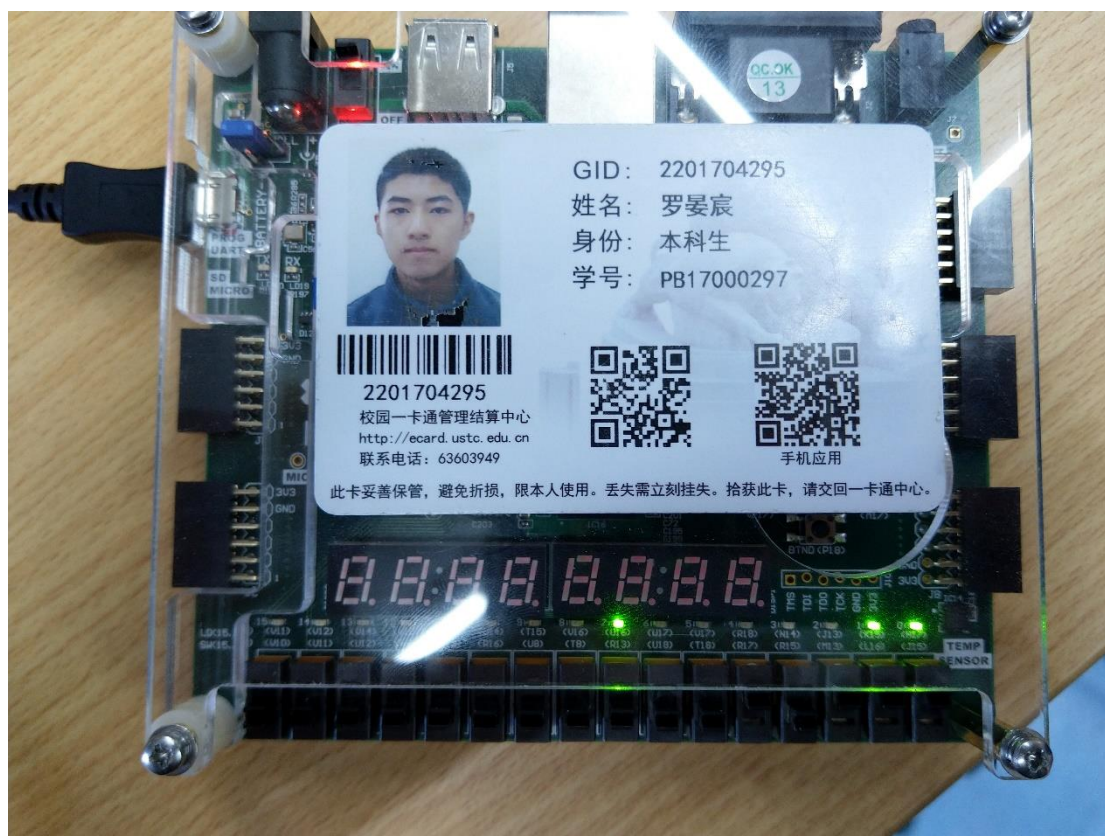
代码 decoder_3to8_dataflow.v

```
`timescale 1ns / 1ps
module decoder_3to8_dataflow(
    input [2:0] x,
    output [7:0] y
);
    assign y[0] = ~x[2] & ~x[1] & ~x[0];
    assign y[1] = ~x[2] & ~x[1] & x[0];
    assign y[2] = ~x[2] & x[1] & ~x[0];
    assign y[3] = ~x[2] & x[1] & x[0];
    assign y[4] = x[2] & ~x[1] & ~x[0];
    assign y[5] = x[2] & ~x[1] & x[0];
    assign y[6] = x[2] & x[1] & ~x[0];
    assign y[7] = x[2] & x[1] & x[0];
endmodule
```


Lab3_2_1

代码 encoder_8to3_behavioral.v

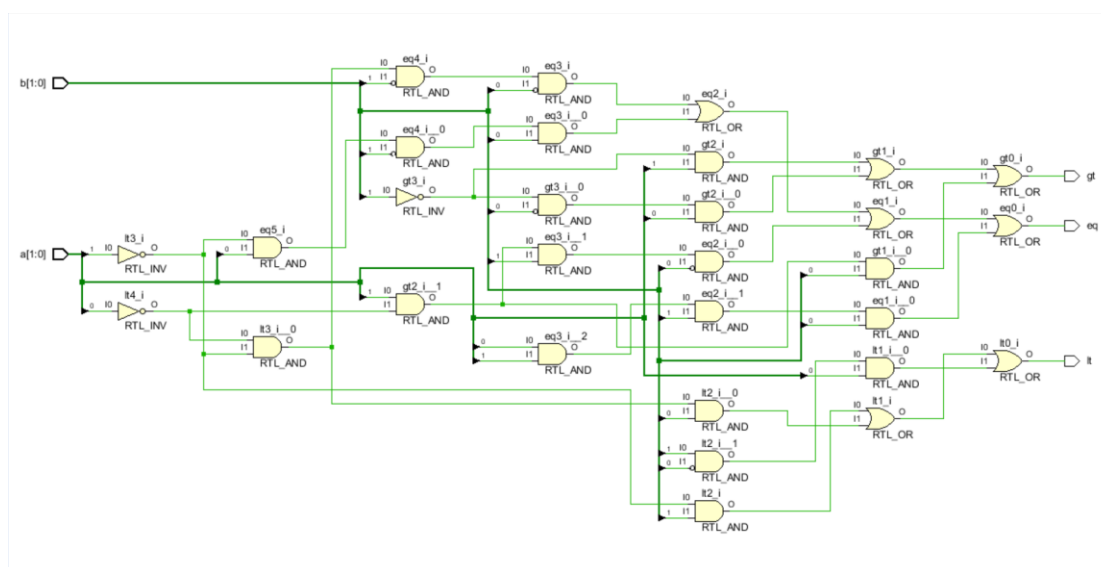
```
`timescale 1ns / 1ps
module encoder_8to3_behavioral(
    input [7:0] x,
    input en_in,
    output reg [2:0] y,
    output reg en_out,
    output reg gs
);
integer i;
always @(*)
begin
    if (en_in == 1)
    begin
        en_out = 1;
        gs = 1;
        y='b111;
    end
    else
    begin
        if (x == 'b11111111)
        begin
            en_out = 0;
            gs = 1;
            y='b111;
        end
        else
        begin
            en_out = 1;
            gs = 0;
            for ( i = 0 ; (i < 8) && ( x[i] != 0 ) ; i = i + 1)
            begin
            end
            y = i;
        end
    end
end
endmodule
```



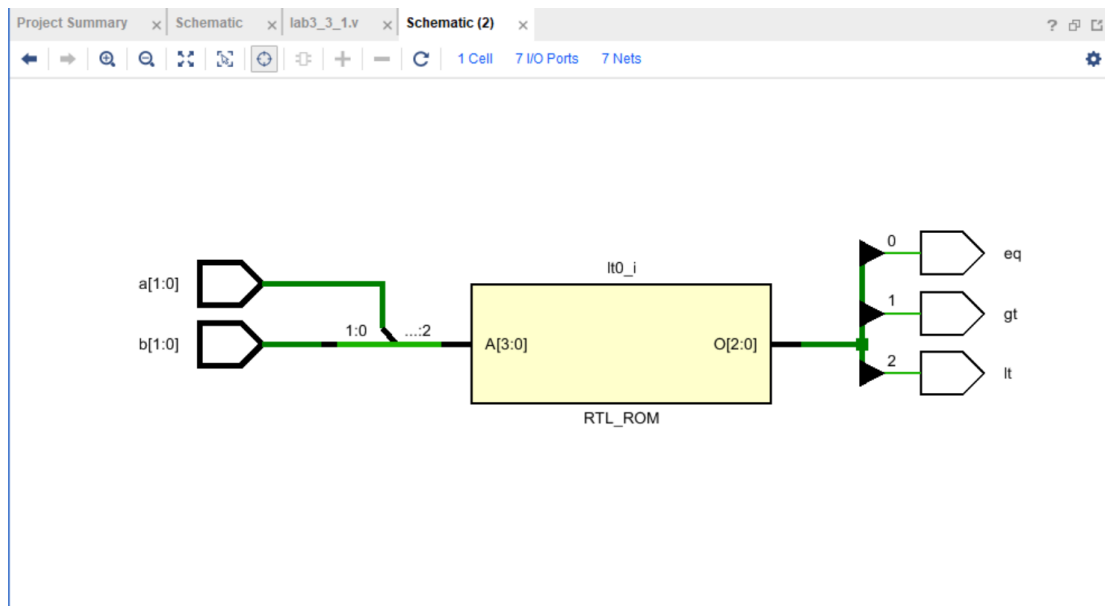
照片 2-lab3_2_1 下载

“照片 2-lab3_2_1 下载”的说明：本工程使用行为建模风格实现将 8 位低电平输入转化为相应的 3 位二进制数后输出到 LED 灯上的 8-3 编码器；图中开关 switch[0], switch[1], switch[2], switch[4] 拨至开，其余开关拨至关，表示输入为 $x = (00000111)_B$ ， $en_in = 0$ ；led[0], led[1], led[7] 亮，其余灯均灭，表示输出为 $a = (011)_B$ ， $gs = 0$ ， $en_out = 1$ 。

Lab3_3_1



截图 2-lab3_3_1 2 位比较器原理图



截图 3-lab3_3_1 模拟 ROM 原理图

代码 lab3_3_1.v

```
`timescale 1ns / 1ps
module lab3_3_1(
    input [1:0] a,
    input [1:0] b,
    output reg lt,
    output reg gt,
    output reg eq
);
    reg [2:0] ROM [15:0];
    initial
        $readmemb ("ROM_data.txt", ROM, 0, 15);
    always @(*)
        {lt,gt,eq} = ROM[{a,b}];
endmodule
```

文档 ROM_data.txt

```
001 010 010 010
100 001 010 010
100 100 001 010
100 100 100 001
```

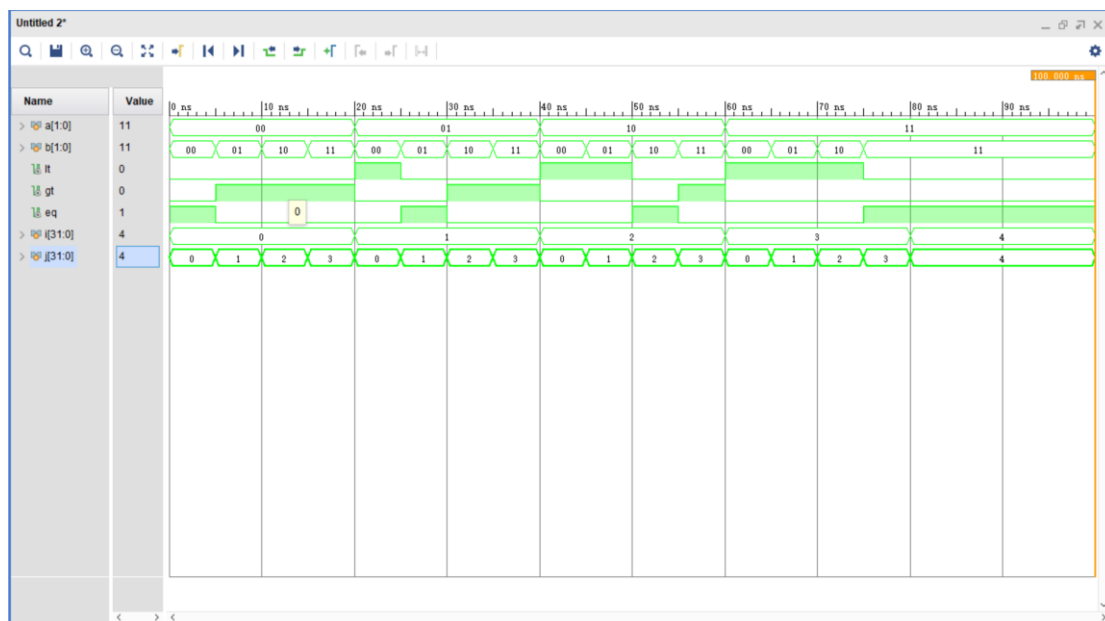
代码 lab3_3_1_tb.v

```
`timescale 1ns / 1ps
module lab3_3_1_tb(

);
  reg [1:0] a,b;
  wire lt,gt,eq;
  integer i,j;

  lab3_3_1 DUT (.a(a), .b(b), .lt(lt), .gt(gt),.eq(eq));

  initial
  begin
    for (i = 0 ; i < 4 ; i = i + 1)
    begin
      a = i;
      for (j = 0 ; j < 4 ; j = j + 1)
      begin
        b = j;
        #5 ;
      end
    end
  end
endmodule
```



截图 4-lab3_3_1 仿真



照片 3-lab3_3_1 下载

“照片 3-lab3_3_1 下载”的说明：本工程使用 ROM 实现 2 比特的二进制输入比较器；图中开关 switch[1], switch[2] 拨至开，其余开关拨至关，表示输入为 $a=(01)_B$, $b=(10)_B$ ；led[1] 亮，其余灯均灭，表示输出为 $gt=1$ ，即 b 较大。.

实验总结：

在本次实验中，分别利用数据建模与行为建模两种风格设计了多输入输出的译码器与编码器，巩固了其逻辑电路基础知识并为之后的数字电路实验内容提供了合适的编码器与译码器工具；此外，初步接触了以 \$readmemb 为代表的系统函数概念，并学习了 ROM 的功能与设计并加以实现。