



学号 21311274 姓名 林宇浩

【实验题目】组合逻辑实验（1）

【实验目的】掌握 FPGA 实现组合逻辑的基本方法。

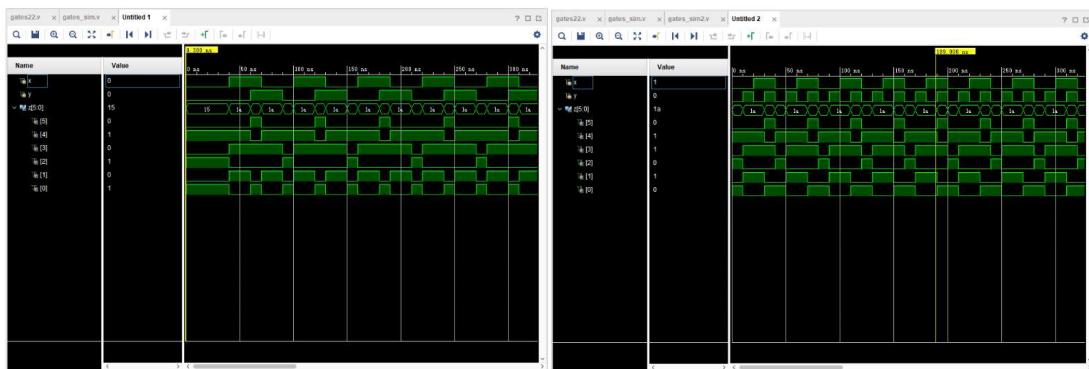
【实验说明】

- ◆ 安装[教学网站](#)的软件下载中下载 Vivado 进行安装。
- ◆ 所有的板上运行拍照都采用自选运行案例拍照，并对每个案例加个简短说明。

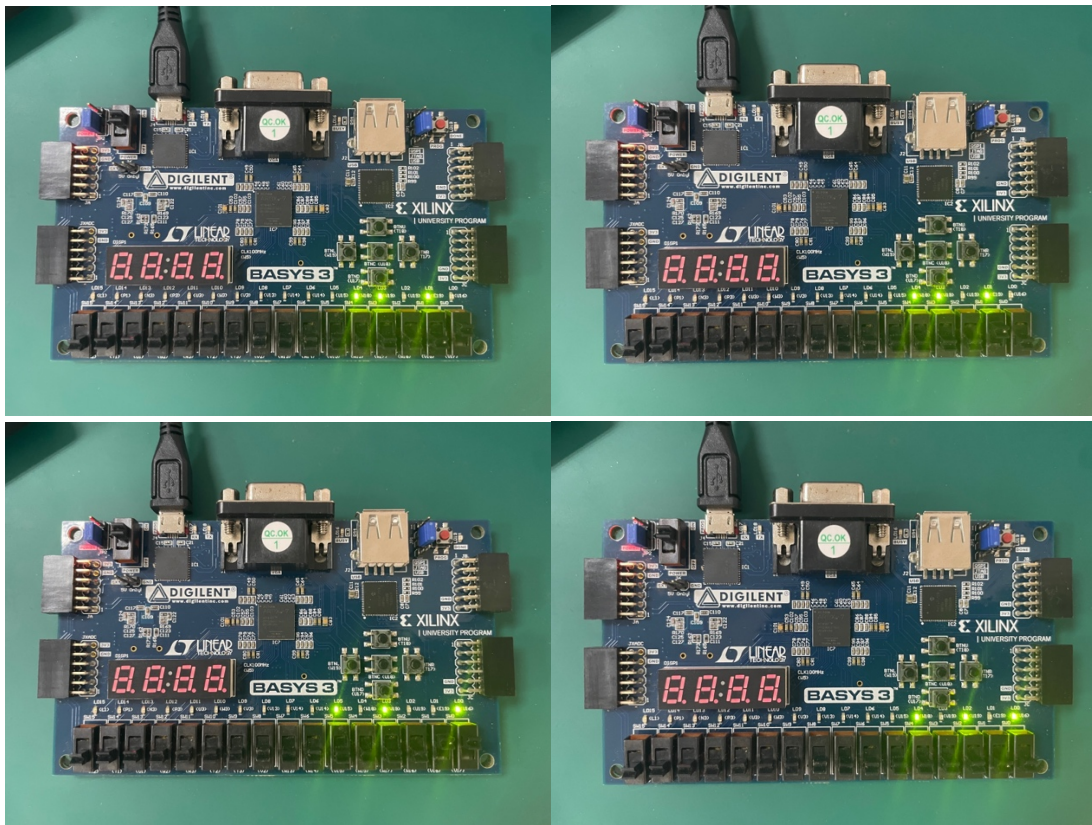
【实验内容】

- 1、按照“Vivado 工程 1.pdf”中的案例进行实验。最后把实验结果拍照粘贴。

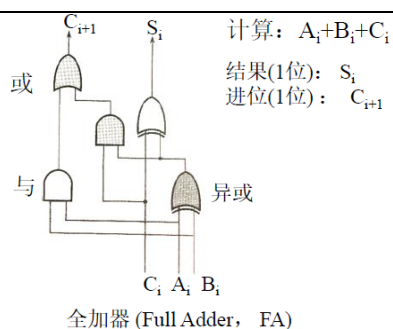
仿真结果截图：



板上运行拍照（自选 4 种）：



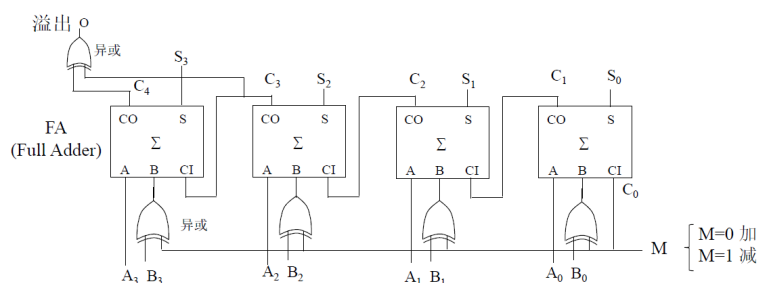
- 2、先实现一位全加器模块 full_adder: A_i 、 B_i 、 C_i 、 S_i 分别用 A_i 、 B_i 、 C_i 和 S_i 表示， C_{i+1} 用 C_{i_1} 表示。



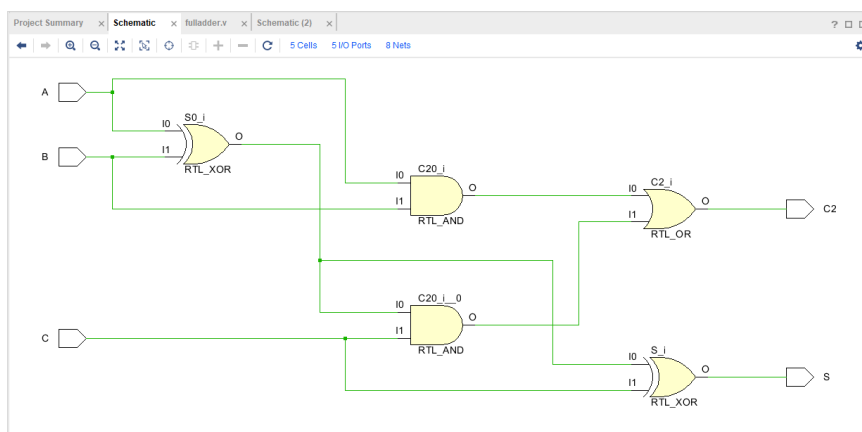
再利用一位全加器模块 adder 实现如下的四位加减法器。以下是全加器模块 Adder 变量与外设的对应关系:

A0~A3 --- sw0~sw3
B0~B3 --- sw4~sw7
M --- sw8
S0~S3 --- led0~led3
C4 --- led4
O --- led5 (溢出位)

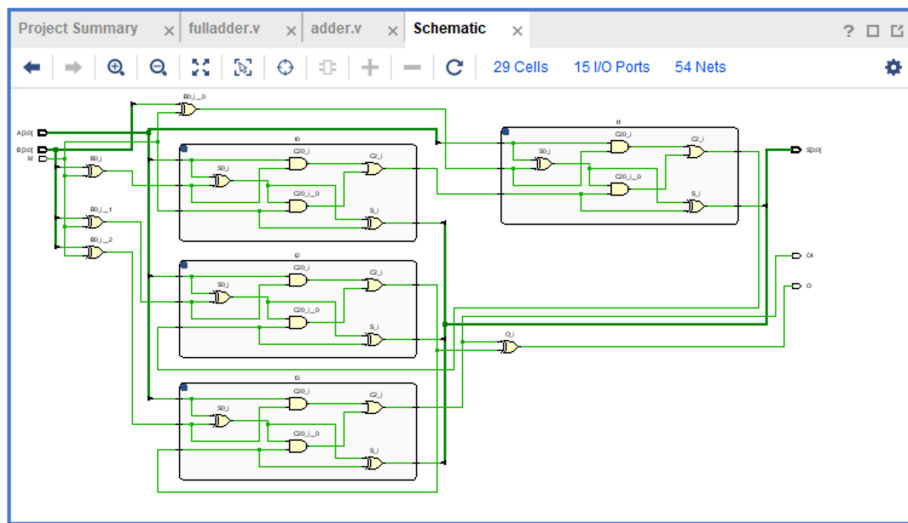
为了方便写约束源文件,可以再加一个的设计源代码模块 adder_top, 直接使用 sw 和 led 作为参数。



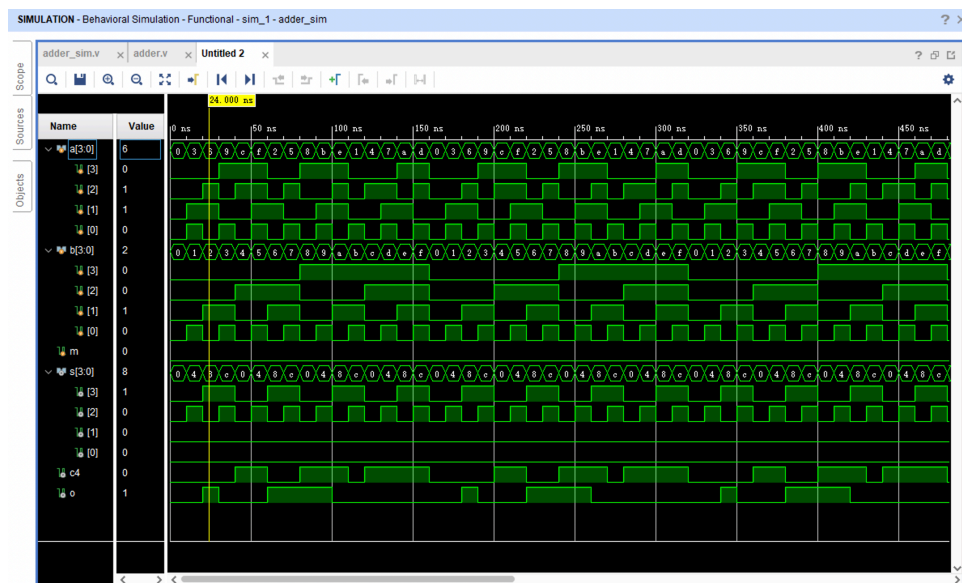
RTL ANALYSIS/Schematic --- full_adder (要点击+展开细节):



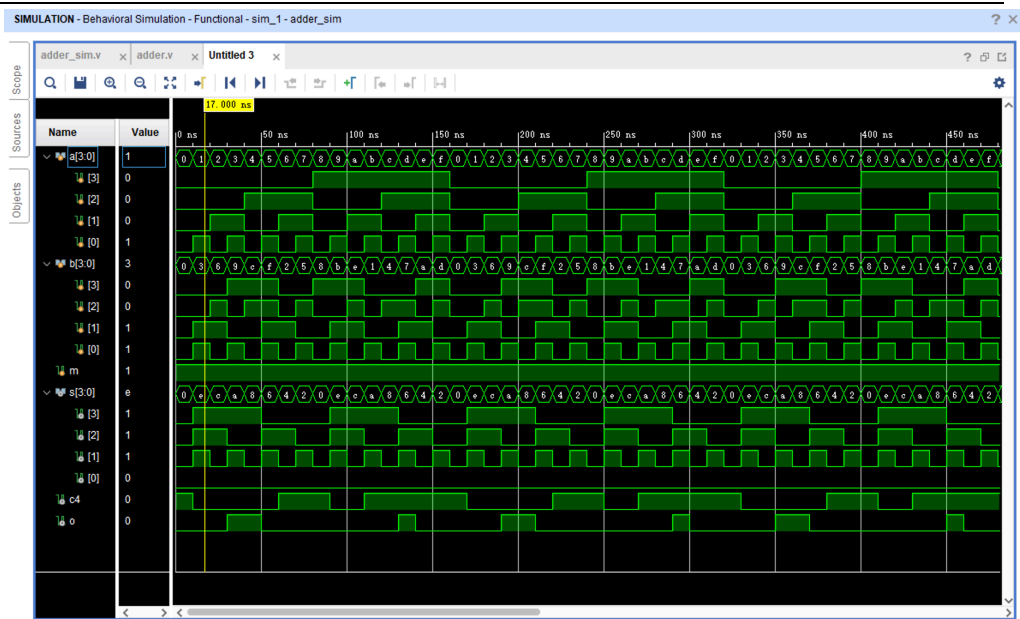
RTL ANALYSIS/Schematic --- adder (要点击+展开细节):



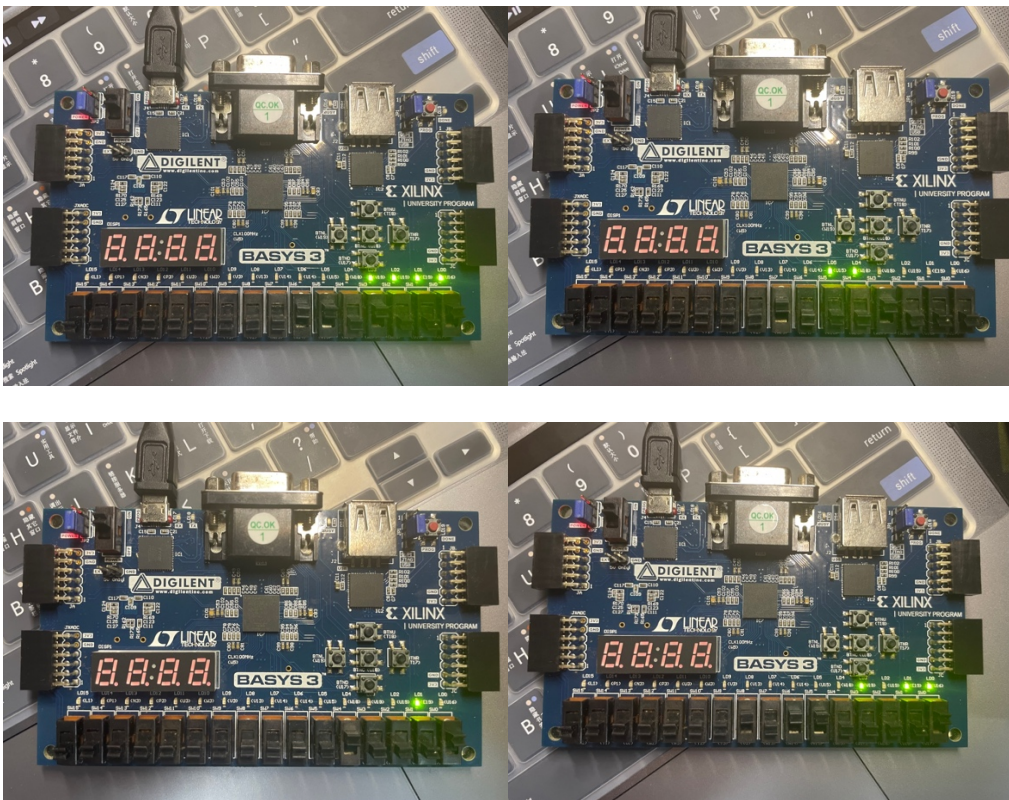
adder 仿真结果截图--加法 (a 从 0 开始每隔 10ns 加 3, 同时 b 从 0 开始每隔 10ns 加 1, 即计算 $0+0, 3+1, 6+2, 9+3, \dots$):

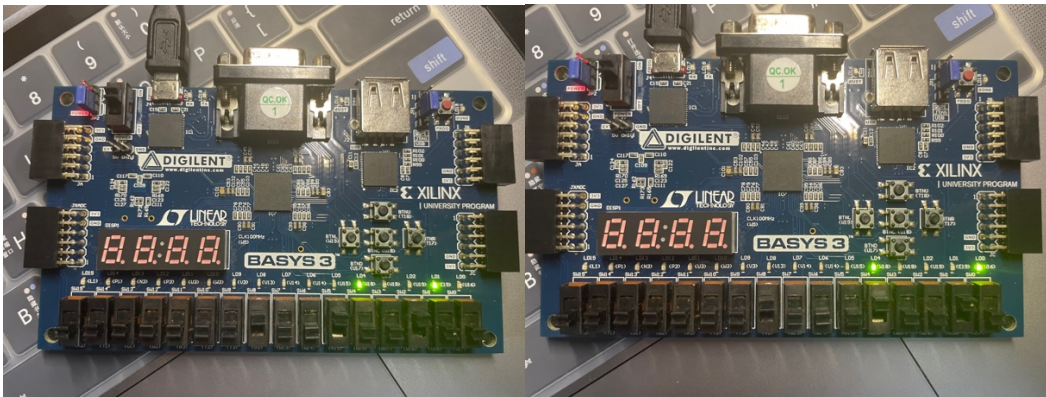


adder 仿真结果截图--减法 (a 从 3 开始每隔 10ns 加 1, 同时 b 从 0 开始每隔 10ns 加 3, 即计算 $3-0, 4-3, 5-6, 6-9, \dots$):



板上运行拍照（自选 6 种情况，加和减各 3 种）：





设计源代码(design source):

```
`timescale 1ns / 1ps
module adder(
    input [3:0] A,
    input [3:0] B,
    input M,
    output [3:0] S,
    output C4,
    output O
);
    fulladder t0(A[0], B[0]^M, M, S[0], C1);
    fulladder t1(A[1], B[1]^M, C1, S[1], C2);
    fulladder t2(A[2], B[2]^M, C2, S[2], C3);
    fulladder t3(A[3], B[3]^M, C3, S[3], C4);
    assign O = C4 ^ C3;
endmodule

`timescale 1ns / 1ps
module fulladder(
    input A,
    input B,
    input C,
    output S,
    output C2
);
    assign S = A ^ B ^ C;
    assign C2 = (A & B) | ((A ^ B) & C);
endmodule
```

仿真源代码(simulation source):

```
`timescale 1ns / 1ps
module adder_sim();
    reg [3:0] a;
    reg [3:0] b;
```



```
reg m;
wire [3:0] s;
wire c4, o;
adder t0(a, b, m, s, c4, o);
initial begin
a = 4'b0000;
b = 4'b0000;
m = 1'b0;
end
always begin
#10;
a = a + 3;
b = b + 1;
end
endmodule
```

```
`timescale 1ns / 1ps
module adder_sim();
reg [3:0] a;
reg [3:0] b;
reg m;
wire [3:0] s;
wire c4, o;
adder t0(a, b, m, s, c4, o);
initial begin
a = 4'b0000;
b = 4'b0000;
m = 1'b1;
end
always begin
#10;
a = a + 1;
b = b + 3;
end
endmodule
```

约束源代码(constraints source):

```
set_property PACKAGE_PIN W15 [get_ports B[0]]
set_property IOSTANDARD LVCMOS33 [get_ports B[0]]
set_property PACKAGE_PIN V15 [get_ports B[1]]
set_property IOSTANDARD LVCMOS33 [get_ports B[1]]
set_property PACKAGE_PIN W14 [get_ports B[2]]
set_property IOSTANDARD LVCMOS33 [get_ports B[2]]
set_property PACKAGE_PIN W13 [get_ports B[3]]
set_property IOSTANDARD LVCMOS33 [get_ports B[3]]
```



```
set_property PACKAGE_PIN V2 [get_ports M]
set_property IOSTANDARD LVCMOS33 [get_ports M]
set_property PACKAGE_PIN V17 [get_ports A[0]]
set_property IOSTANDARD LVCMOS33 [get_ports A[0]]
set_property PACKAGE_PIN V16 [get_ports A[1]]
set_property IOSTANDARD LVCMOS33 [get_ports A[1]]
set_property PACKAGE_PIN W16 [get_ports A[2]]
set_property IOSTANDARD LVCMOS33 [get_ports A[2]]
set_property PACKAGE_PIN W17 [get_ports A[3]]
set_property IOSTANDARD LVCMOS33 [get_ports A[3]]
set_property PACKAGE_PIN U16 [get_ports S[0]]
set_property IOSTANDARD LVCMOS33 [get_ports S[0]]
set_property PACKAGE_PIN E19 [get_ports S[1]]
set_property IOSTANDARD LVCMOS33 [get_ports S[1]]
set_property PACKAGE_PIN U19 [get_ports S[2]]
set_property IOSTANDARD LVCMOS33 [get_ports S[2]]
set_property PACKAGE_PIN V19 [get_ports S[3]]
set_property IOSTANDARD LVCMOS33 [get_ports S[3]]
set_property PACKAGE_PIN W18 [get_ports C4]
set_property IOSTANDARD LVCMOS33 [get_ports C4]
set_property PACKAGE_PIN U15 [get_ports 0]
set_property IOSTANDARD LVCMOS33 [get_ports 0]
```

【完成情况】

是否完成以下步骤? (√完成 ×未做)

1 [√] 2 [√]

【实验体会】

写出实验过程中遇到的问题，解决方法和自己的思考;并简述实验体会（如果有的话）。
在实验中加强了自主学习的能力，受益匪浅。

【交实验报告】

每位同学单独完成本实验内容并填写实验报告。

交作业地点: <http://172.18.187.251/netdisk/default.aspx?vm=21org>

FPGA 实验/01、组合逻辑设计(1)

截止日期: 2022 年 10 月 26 日 23:00 (周三)

上传文件: 学号_姓名_组合逻辑设计 1. doc

学号_姓名_组合逻辑设计 1. rar (步骤 2 的 Vivado 项目)