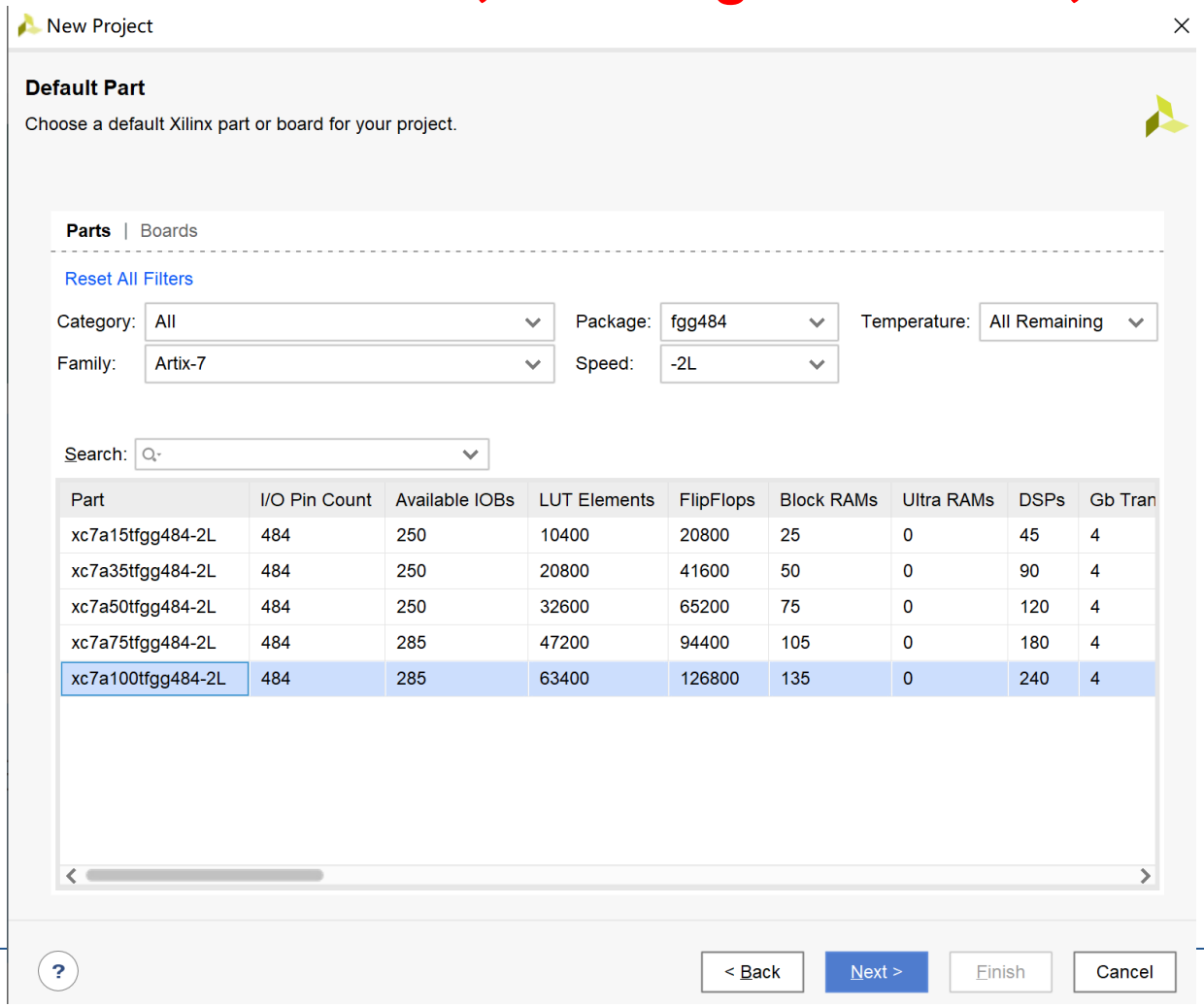
杭州电子科技大学
HANGZHOU DIANZI UNIVERSITY

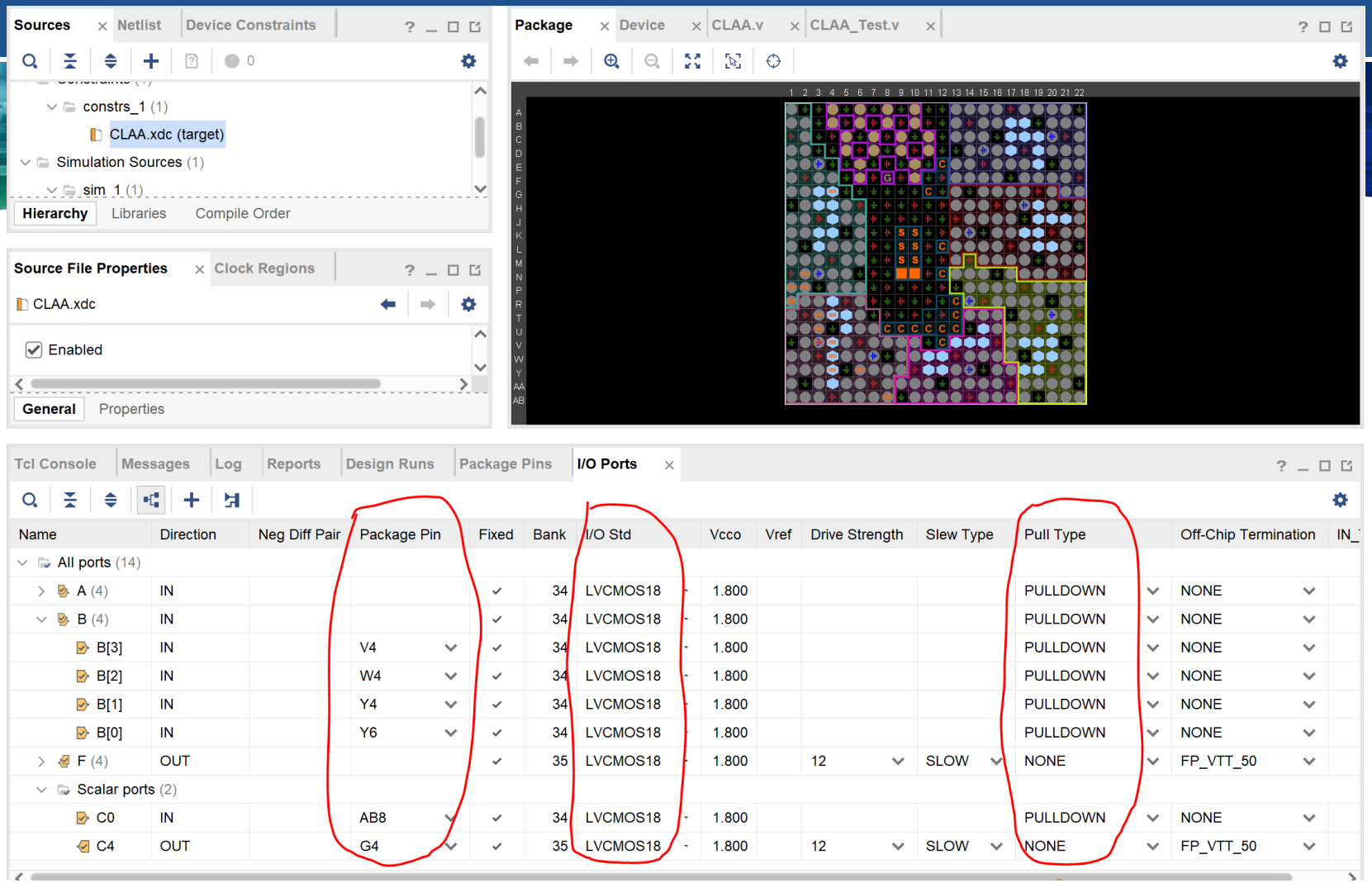
Vivado建工程注意事项

主讲教师：赵备

zhaobei@hdu.edu.cn

- 1. 使用Vivado新建工程时，选择的FPGA型号不能选错，正确的型号为，Device: XC7A100T，Package: FGG484，Speed: -2L；





2. 管脚分配：

（1）所有输入输出信号必须分配Package Pin；

（2）所有输入输出信号的I/O Std设置为LVCMOS18；

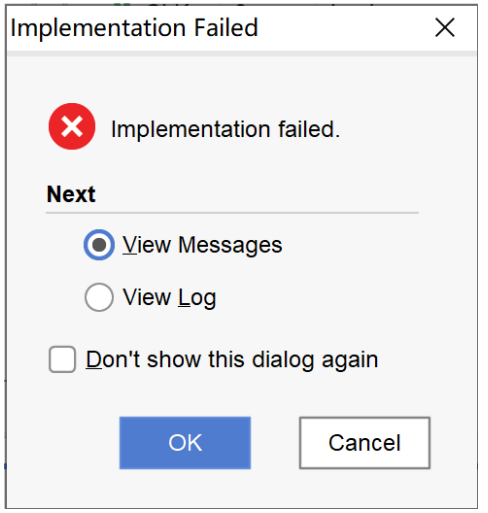
（3）所有的输入信号，要设置Pull Type为PULLDOWN。

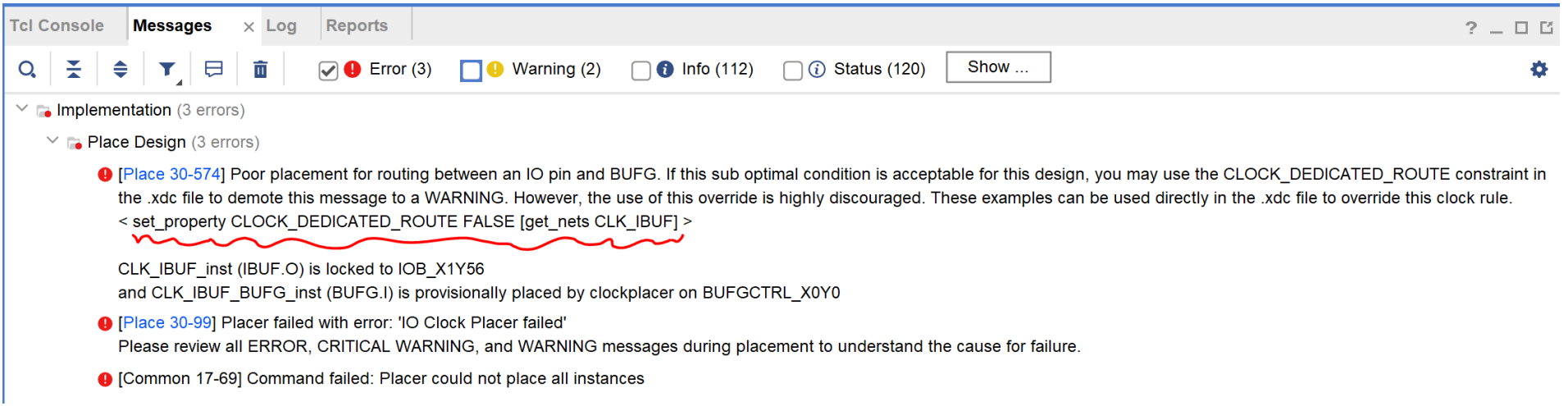
I/O引脚约束文件（.xdc）例子：

```
set_property IOSTANDARD LVCMOS18 [get_ports {QN[3]}]
set_property IOSTANDARD LVCMOS18 [get_ports {QN[2]}]
set_property IOSTANDARD LVCMOS18 [get_ports {QN[1]}]
set_property IOSTANDARD LVCMOS18 [get_ports {QN[0]}]
set_property IOSTANDARD LVCMOS18 [get_ports CLK]
set_property IOSTANDARD LVCMOS18 [get_ports CO]
set_property IOSTANDARD LVCMOS18 [get_ports EN]

set_property PACKAGE_PIN R1 [get_ports {QN[3]}]
set_property PACKAGE_PIN P2 [get_ports {QN[2]}]
set_property PACKAGE_PIN P1 [get_ports {QN[1]}]
set_property PACKAGE_PIN N2 [get_ports {QN[0]}]
set_property PACKAGE_PIN R4 [get_ports CLK]
set_property PACKAGE_PIN W7 [get_ports MR]

set_property PULLDOWN true [get_ports MR]
set_property PULLDOWN true [get_ports CLK]

set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets MR]
set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets CLK]

set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
```

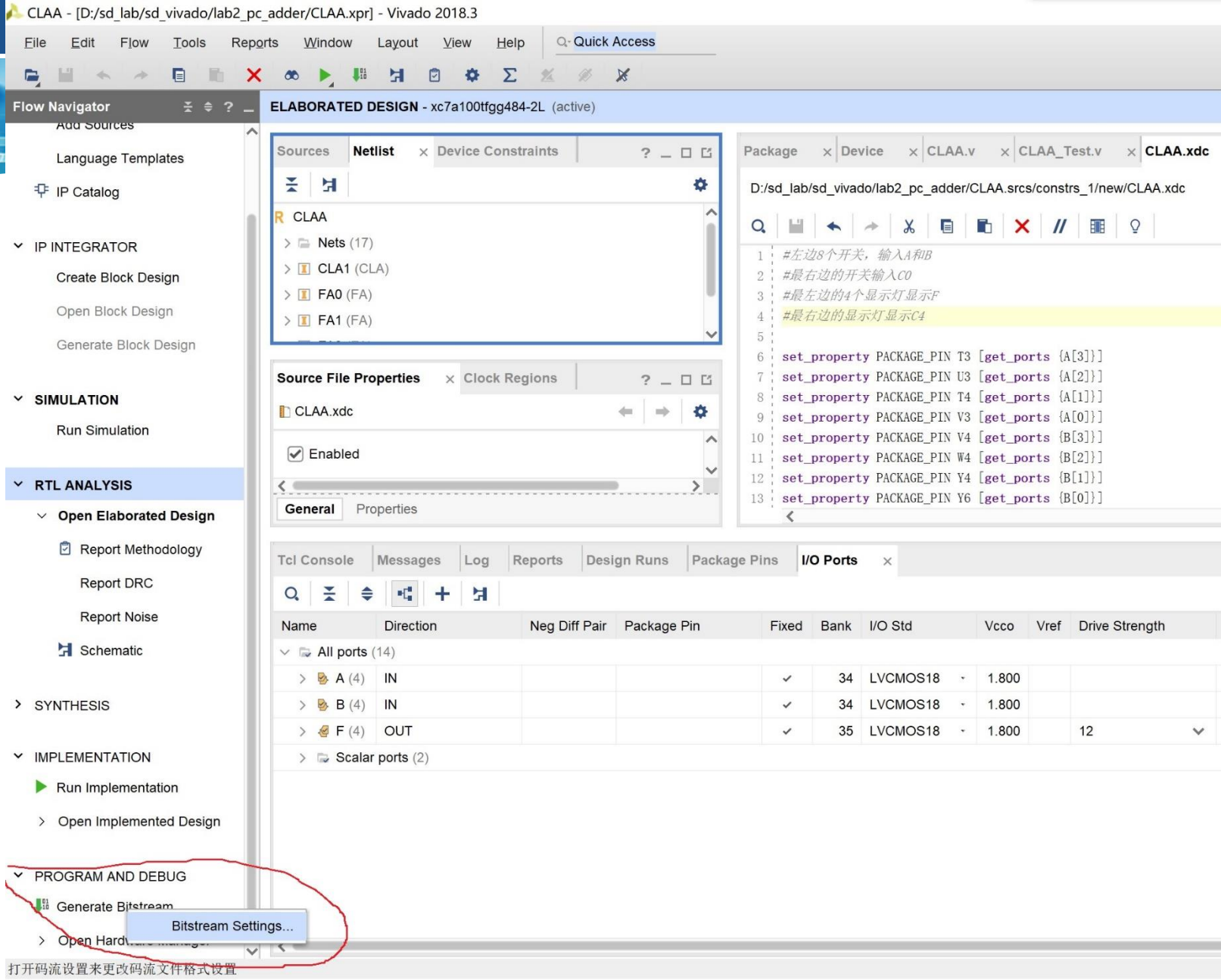
在时序逻辑电路的实验中，运行Implementation时，可能会出现Implementation Failed。此时View Messages，在Messages信息栏，可能会出现下图所示的Error信息，如下图所示，则须将下图中红色曲线所指示的约束语句手动添加到.xdc约束文件中，也就是添加如下语句。

set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets CLK_IBUF]



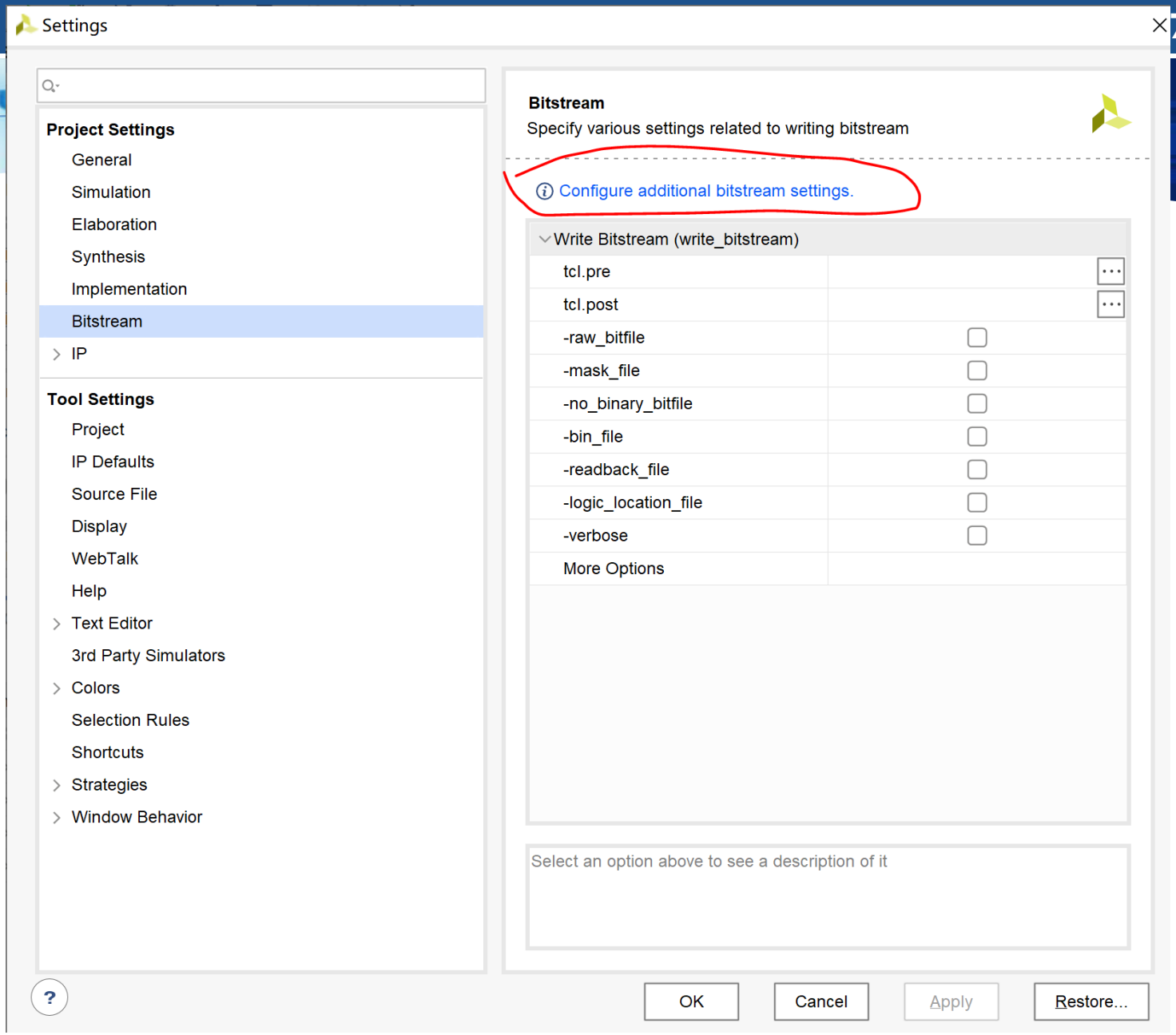


- **3. 生成bit时，一定要先勾选压缩选项；**



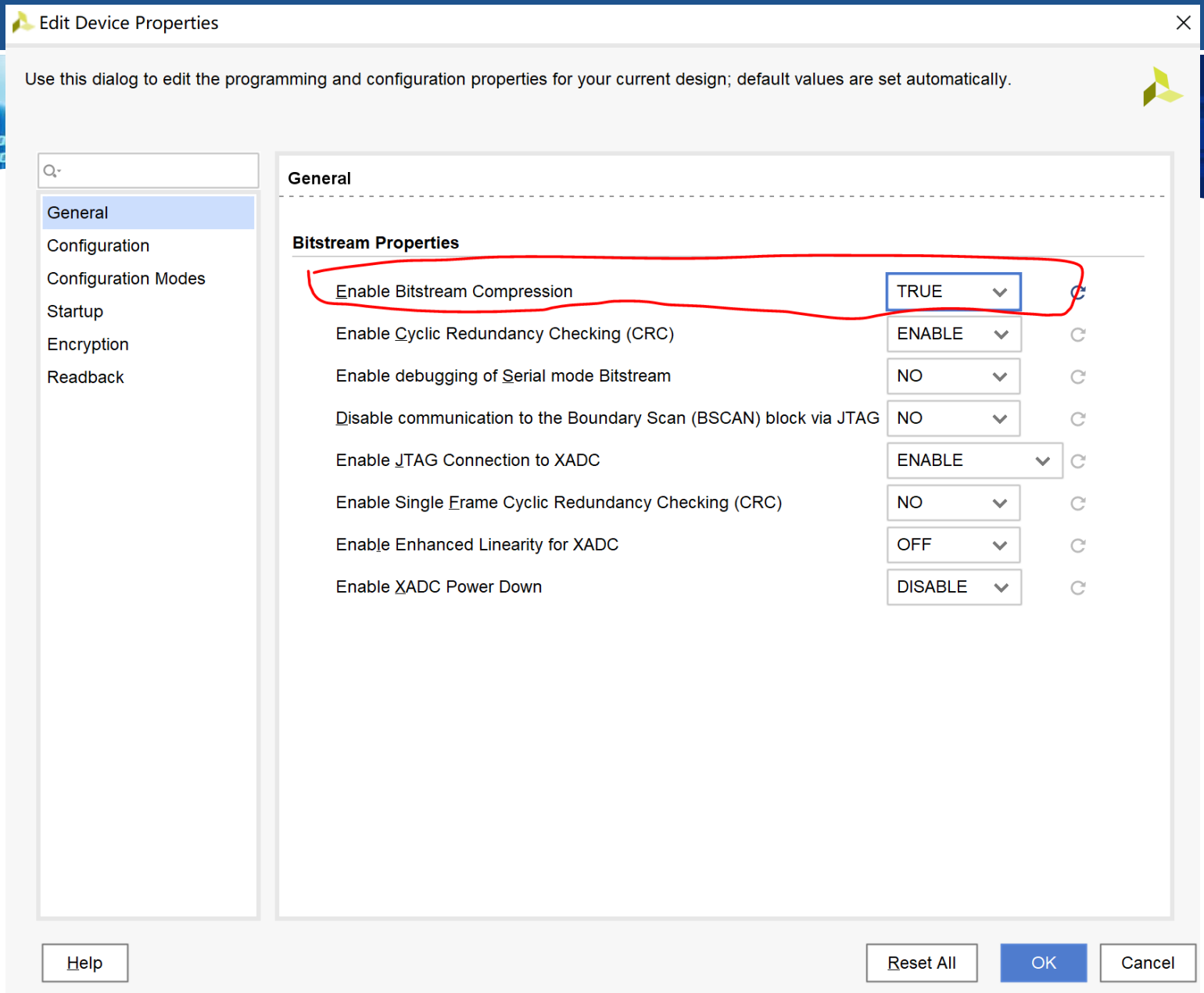
鼠标在Generate Bitstream上单击右键，出现Bitstream Settings，然后单击左键。

- 3. 生成bit时，一定要先勾选压缩选项；



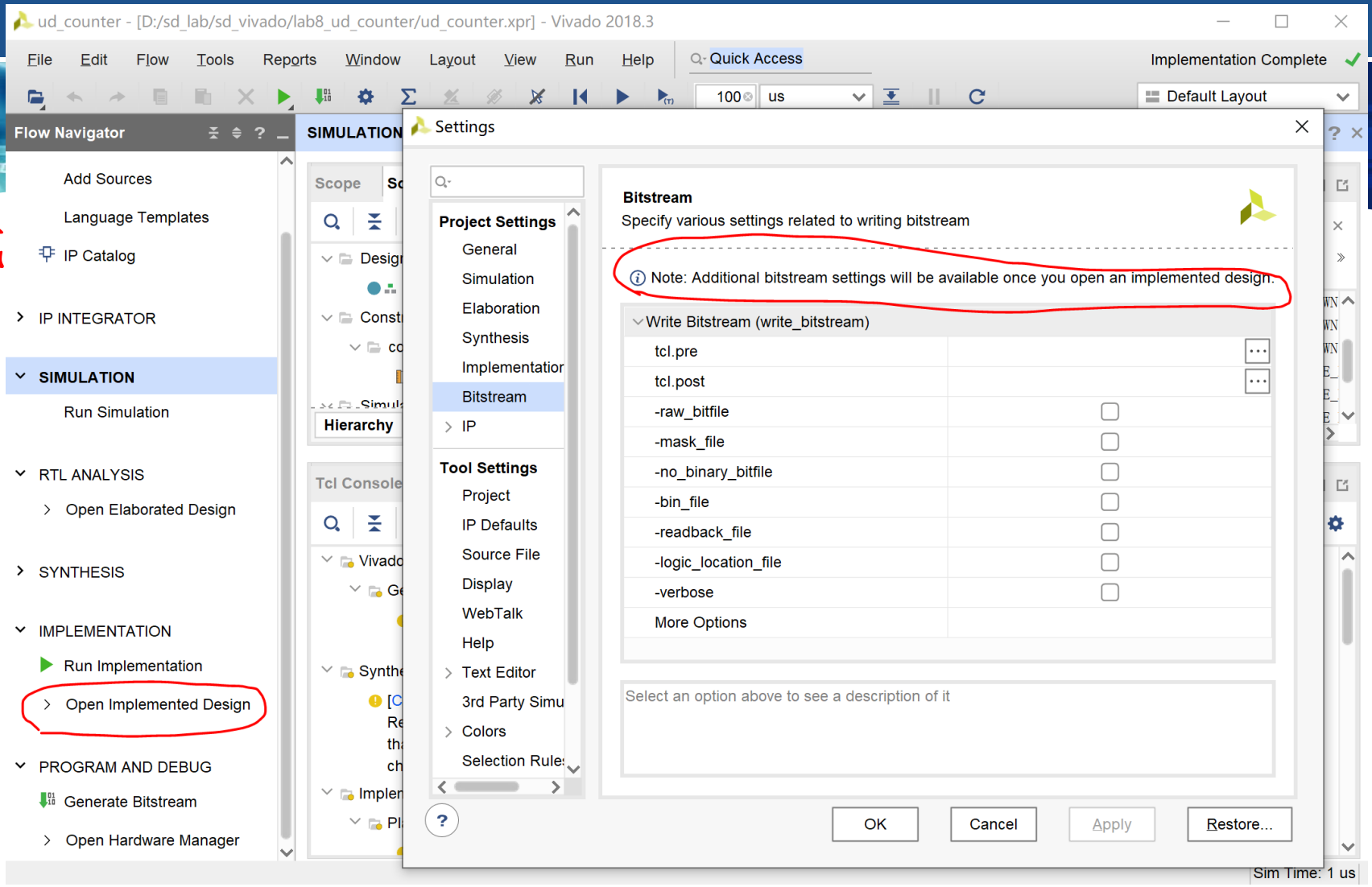
在Settings对话框里面，左键单击Configure additional bitstream settings.

- 3. 生成bit时，一定要先勾选压缩选项；



在新出现的Edit Device Properties对话框里面，设置Enable Bitstream Compression的属性为TRUE，之后点击OK。

3. 生成bit时，一定要先勾选压缩选项；



注意：如果在运行Implementation后，还没有左键单击执行Open Implemented Design，则在Settings对话框里面，不会出现可点击的Configure additional bitstream settings选项，根据提示，必须先执行Open Implemented design。

3. 生成bit时，一定要先勾选压缩选项；

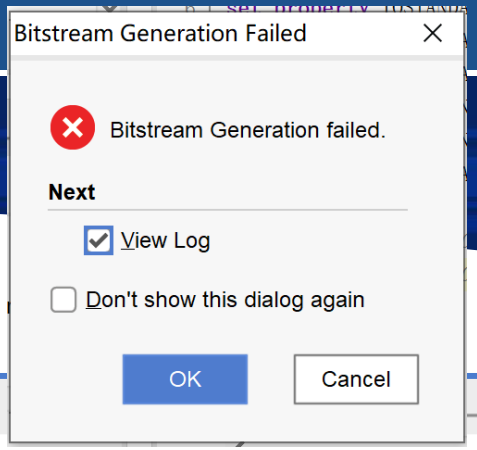
上述操作实际上是在**.xdc**约束文件中增加了下面的一条语句。

set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]

直接在**.xdc**约束文件中手工增加该条语句也是一样的效果。

同样前面通过**I/O Planning**图形化界面对**I/O**管脚进行的约束设置都可以在**.xdc**文件中根据语法要求手工添加。

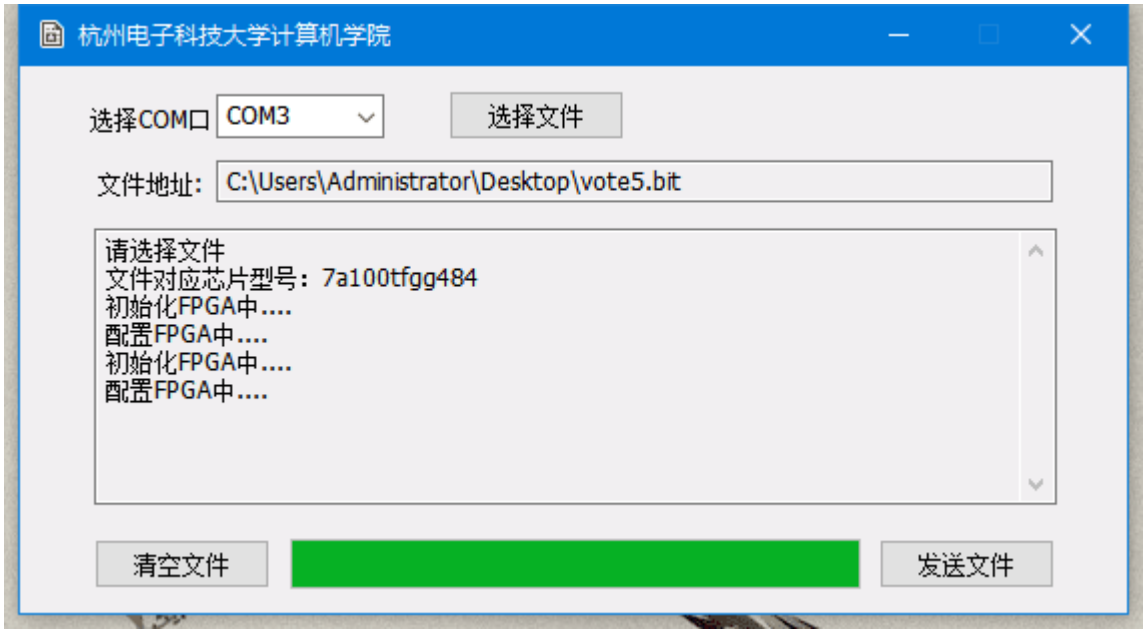
有组合逻辑环路的电路生成bit时的注意事项；



在有组合逻辑环路存在的电路实验中，最终在生成**bit**时，会出现上图所示的错误，此时需要按照错误提示在**.xdc**约束文件中增加下面的一条语句，从而允许组合逻辑环路的存在。

set_property ALLOW_COMBINATORIAL_LOOPS TRUE [get_nets Q_OBUF]

❖4. 烧录：打开自制程序（以管理员身份打开，不需要安装），再连接USB端子，如下图配



选择文件后，需要选择连接口COM，一般双USB接口的电脑其中一个是COM3，其中一个是COM4，选择好连接口后点击发送，发送成功后则可以在板卡上进行调试。若有无法识别板卡的情况，则可能是由于电脑的USB口供电不足造成的，可换一个电脑的USB口重新连接板卡。