



杭州电子科技大学  
HANGZHOU DIANZI UNIVERSITY

## 第4章 实验系统



## 第4章 实验系统

### 4.1 ARTIX7教学开发板简介

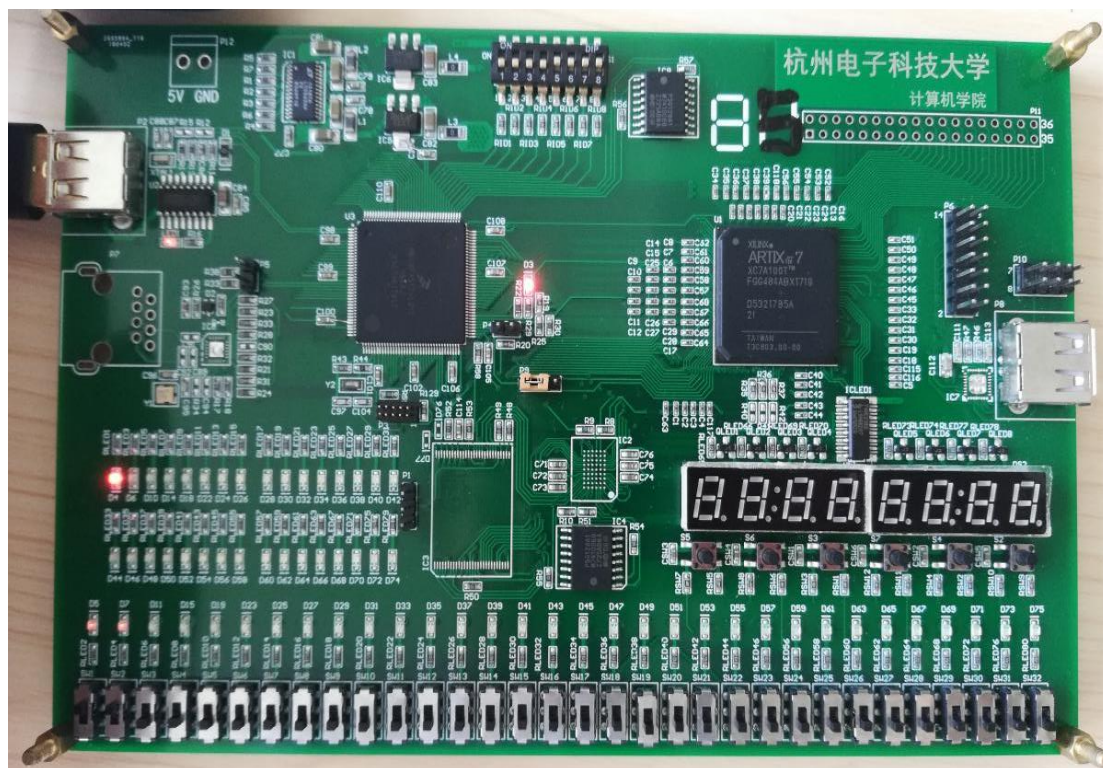
### 4.2 ARTIX7实验板硬件系统

### 4.3 板卡管脚配置使用说明

## 4.1 ARTIX7教学开发板简介

### ❖ ARTIX7教学开发板

- 板卡通过USB下载线供电及传输信号



## 4.1 ARTIX7教学开发板简介

### ❖ ARITX7教学开发板:

- 自行研制开发
- 基于Xilinx公司Artix-7系列的XC7A100TFPGA芯片

### ❖ Xilinx公司:

- 全球最大的FPGA芯片生产厂商

## 4.1 ARTIX7教学开发板简介

### ❖ 板卡主要结构特点：

- **主FPGA芯片**：Xilinx Artix-7系列的**XC7A100TFGG484**
- **使用20MHz 晶振**； (√)
- **提供通用I/O设备 (GPIO)**： (√)
  - 32个拨码开关；
  - 6个按键（全部经过硬件消抖）；
  - 8个7段数码管；
  - 32个 LED显示灯；

## 4.2 ARTIX7实验板硬件系统

- ❖ 1、FPGA配置方法
- ❖ 2、供电
- ❖ 3、时钟模块
- ❖ 4、基本I/O设备





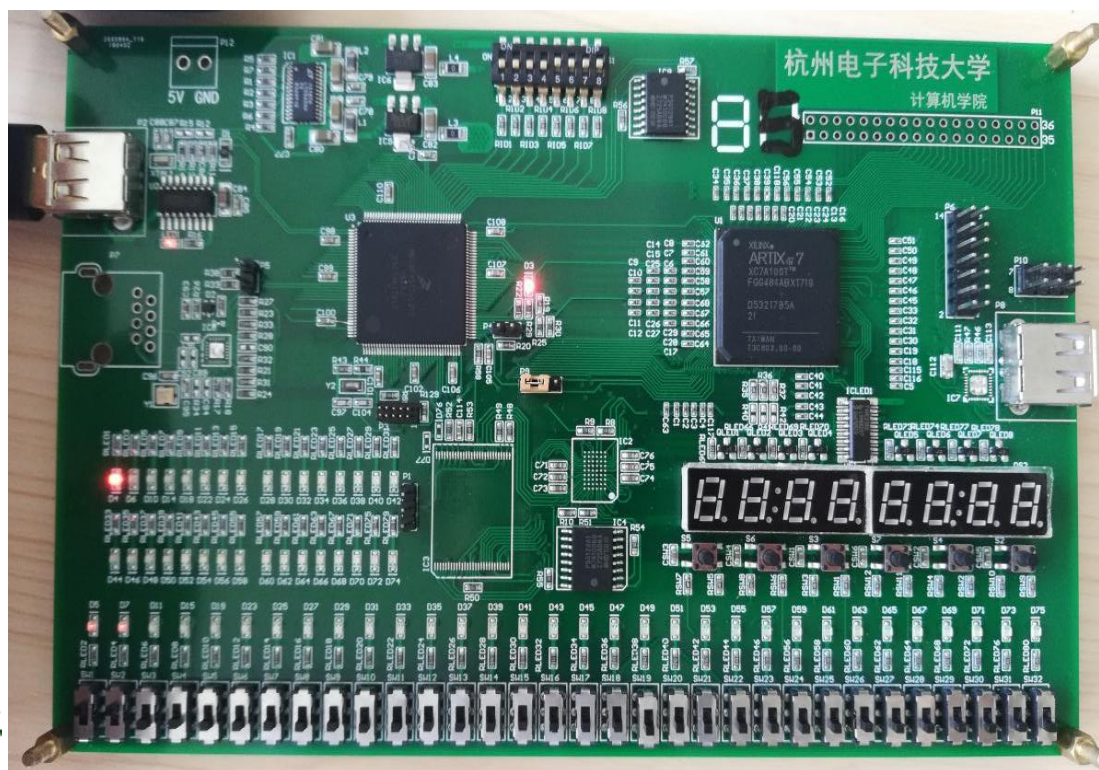
# 1、FPGA配置方法

- ❖ FPGA是基于SRAM工艺的，断电后将会丢失内部逻辑，所以**每次上电后**，FPGA芯片**必须从外部重新配置**后方可执行逻辑功能。
- ❖ ARTIX7的FPGA芯片有3种方法可以实现配置：
  1. **在PC机上，使用配置软件，通过USB 口在线配置FPGA**
  2. 通过JTAG口（P6）在线进行配置；
  3. 通过远程实验平台通过以太网通讯配置FPGA；



## 2、供电

- ❖ 供电方式有3种：USB、外部电源和网口，通过跳线（P13）选择。
- ❖ 本地实验时，由**USB取电**





### 3、时钟模块

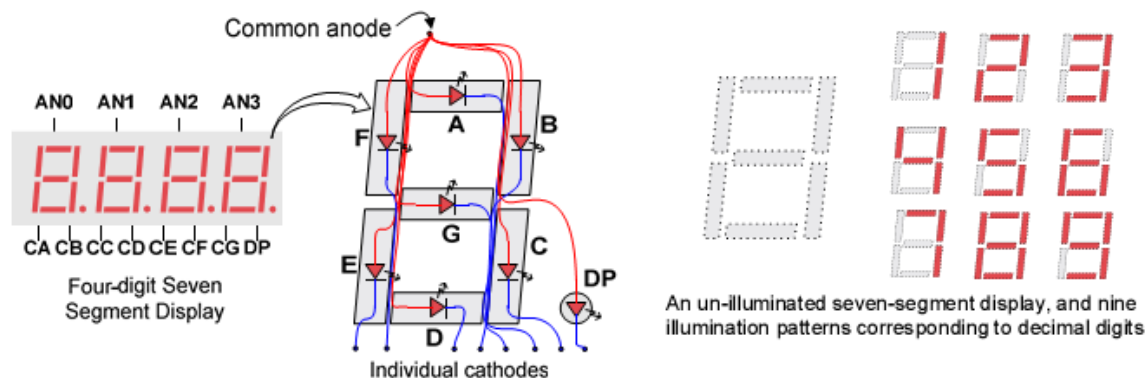
❖ 实验板卡上的时钟模块是物理实现（晶体振荡器）；而实验中编写的模块（Verilog Module）中的时钟（如CLK）是逻辑定义。配置管脚时的具体区别如下：

- 如需**连续**提供的**时钟脉冲**（如扫描数码管），可接入**H4引脚**，获得频率为 **20MHz** 的时钟脉冲。
- 如需更低频率的时钟脉冲，可对已获得的 25MHz 时钟进行计数，达到延时/分频的目的，每个脉冲对应 40ns。
- 如需手动控制的时钟脉冲（如切换运算符），可接入拨码开关SW或点动开关SWB。
- **6 个点动开关均已硬件消抖**，32 个拨动开关需要自行处理抖动

## 4、基本I/O设备

- ❖ 包括32个开关，32个LED灯，8位7段数码显示管，6个按钮。
- ❖ 32个开关根据拨动的位置，可以输入高或低电平至相应的FPGA引脚；
- ❖ 32个LED灯，当连接的FPGA引脚为高电平时点亮，低电平时熄灭；
- ❖ 6个按钮按下时，相应的FPGA引脚输入高电平，当按钮放开时，相应的FPGA引脚输入低电平。

## 4、基本I/O设备



ARTIX7上的8个7段数码管的具体连接如图所示，**共阳极接法**。由DS3 作为 3-8 译码器的使能信号（高电平有效），由DS0、DS1、DS2对 8 个数码管进行片选，**注意**：板卡上3-8译码的高低位是从右到左的，即二进制100代表十进制1，二进制001代表十进制4。它们从DS0-DS3分别连在FPGA的N22、M21、M22、L21引脚上。

8个数码管的8段数码LED的阴极分别接在一起，称为CA~CG，小数点称为DP，连在FPGA的T17~M13引脚上，详见图4.2.8（b）。

## 4、基本I/O设备

如果要点亮某个数码管，需通过相应的引脚置**ANi**低电平，反相后提供高电平给数码管的共阳极，从而点亮该数码管，所以**ANi**称为**位选信号**，低电平有效。同时根据显示的数码，将需要点亮的段的阴极信号置低电平，因此，**CA~CG**、**DP**称为**段选信号**。

譬如，如果要使第**2**个数码管显示数字“**7**”，则需要**DS[3:0]=1010**（**DS3**是使能位），**CA~CG DP=00011111**，这时，我们需要控制**FPGA**相应引脚为上述值即可。

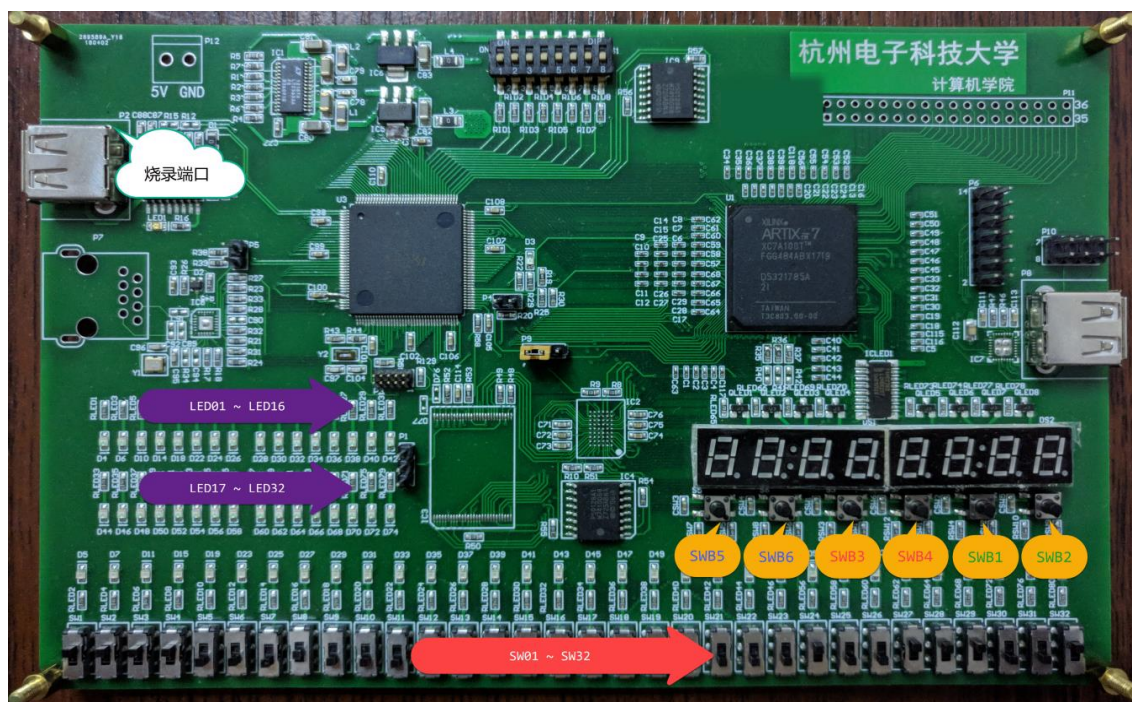
当要使**8**个数码各自稳定显示**4**个数字时，需要动态刷新扫描。刷新频率在**60Hz**到**1KHz**之间，刷新周期在**1ms**到**16ms**之间。这样每个数码管显示的时间就为四分之一的刷新周期。



## 4.3 ARTIX7教学开发板管脚配置使用说明

### ❖ 说明:

- Pin为配置管脚时需要填写的 FPGA 对应引脚，用于添加约束；





## 4.3.1 配置管脚源码

❖ # 开启比特流压缩, 优化 .bit 文件大小

```
set_property BITSTREAM.GENERAL.COMPRESS TRUE  
[current_design]
```

❖ #配置管脚必要的两句

```
set_property PACKAGE_PIN AB6 [get_ports clear]#对接相应的管脚  
set_property IOSTANDARD LVCMOS18 [get_ports clear]#设置电压
```

❖ #对于拨码开关, 需要将PULLDOWN置为true

```
set_property PULLDOWN true [get_ports {Input_Data[32]}]
```

❖ #对于always中需要边沿的时钟, 需要将  
CLOCK\_DEDICATED\_ROUTE置为FALSE

```
set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets clk]
```

## 4.3.2 系统时钟

❖ 实验板上的 **20MHz 外部时钟** 从 **FPGA 的H4**时钟引脚接入

## 4.3.3 6个点动开关

- **PCB**为电路板上的引脚编号;
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚, 用于添加约束;
- **Pin Name / Site Type**为板卡内部引脚名称, 前一种命名来自上文中的 **Xilinx** 官方参考资料, 后一种则来自**ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
SWB01	V8	IO_L21N_T3_DQS_34
SWB02	AA8	IO_L22P_T3_34
SWB03	AB6	IO_L20N_T3_34
SWB04	T5	IO_L14P_T2_SRCC_34
SWB05	R4	IO_L13P_T2_MRCC_34
SWB06	AA4	IO_L11N_T1_SRCC_34

## 4.3.4 32个拨码开关

- **PCB**为电路板上的引脚编号;
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚, 用于添加约束;
- **Pin Name / Site Type**为板卡内部引脚名称, 前一种命名来自上文中的 **Xilinx** 官方参考资料, 后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
SW01	T3	IO_0_34
SW02	U3	IO_L6P_T0_34
SW03	T4	IO_L13N_T2_MRCC_34
SW04	V3	IO_L6N_T0_VREF_34
SW05	V4	IO_L12P_T1_MRCC_34
SW06	W4	IO_L12N_T1_MRCC_34
SW07	Y4	IO_L11P_T1_SRCC_34
SW08	Y6	IO_L18P_T2_34

## 4.3.4 32个拨码开关

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
SW09	W7	IO_L19N_T3_VREF_34
SW10	Y8	IO_L23P_T3_34
SW11	Y7	IO_L23N_T3_34
SW12	T1	IO_L1P_T0_34
SW13	U1	IO_L1N_T0_34
SW14	U2	IO_L2P_T0_34
SW15	W1	IO_L5P_T0_34
SW16	W2	IO_L4P_T0_34



## 4.3.4 32个拨码开关

- **PCB**为电路板上的引脚编号;
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚, 用于添加约束;
- **Pin Name / Site Type**为板卡内部引脚名称, 前一种命名来自上文中的 **Xilinx** 官方参考资料, 后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
SW17	Y1	IO_L5N_T0_34
SW18	AA1	IO_L7P_T1_34
SW19	V2	IO_L2N_T0_34
SW20	Y2	IO_L4N_T0_34
SW21	AB1	IO_L7N_T1_34
SW22	AB2	IO_L8N_T1_34
SW23	AB3	IO_L8P_T1_34
SW24	AB5	IO_L10N_T1_34

## 4.3.4 32个拨码开关

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
SW24	AB5	IO_L10N_T1_34
SW25	AA6	IO_L18N_T2_34
SW26	R2	IO_L3N_T0_DQS_34
SW27	R3	IO_L3P_T0_DQS_34
SW28	T6	IO_L17N_T2_34
SW29	R6	IO_L17P_T2_34
SW30	U7	IO_25_34
SW31	AB7	IO_L20P_T3_34
SW32	AB8	IO_L22N_T3_34

## 4.3.5 32个LED灯

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
LED01	R1	IO_L20P_T3_35
LED02	P2	IO_L22P_T3_35
LED03	P1	IO_L20N_T3_35
LED04	N2	IO_L22N_T3_35
LED05	M1	IO_L15P_T2_DQS_35
LED06	M2	IO_L16N_T2_35
LED07	L1	IO_L15N_T2_DQS_35
LED08	J2	IO_L9N_T1_DQS_AD7 N_35

## 4.3.5 32个LED灯

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
LED09	G1	IO_L5P_T0_AD13P_35
LED10	E1	IO_L3P_T0_DQS_AD5P_35
LED11	D2	IO_L4N_T0_35
LED12	A1	IO_L1N_T0_AD4N_35
LED13	L3	IO_L14P_T2_SRCC_35
LED14	G3	IO_L11N_T1_SRCC_35
LED15	K4	IO_L13P_T2_MRCC_35
LED16	G4	IO_L12P_T1_MRCC_35

## 4.3.5 32个LED灯

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
LED17	K1	IO_L7P_T1_AD6P_35
LED18	J1	IO_L7N_T1_AD6N_35
LED19	H2	IO_L8P_T1_AD14P_35
LED20	G2	IO_L8N_T1_AD14N_35
LED21	F1	IO_L5N_T0_AD13N_35
LED22	E2	IO_L4P_T0_35
LED23	D1	IO_L3N_T0_DQS_AD5N_35
LED24	B1	IO_L1P_T0_AD4P_35



## 4.3.5 32个LED灯

- **PCB**为电路板上的引脚编号；
- **Pin**为配置管脚时需要填写的 **FPGA** 对应引脚，用于添加约束；
- **Pin Name / Site Type**为板卡内部引脚名称，前一种命名来自上文中的 **Xilinx** 官方参考资料，后一种则来自 **ISE/Vivado** 的 **I/O Ports** 查询窗口。

PCB	Package Pin	Site Type
LED25	B2	IO_L2N_T0_AD12N_35
LED26	N3	IO_L19N_T3_VREF_35
LED27	M3	IO_L16P_T2_35
LED28	K3	IO_L14N_T2_SRCC_35
LED29	H3	IO_L11P_T1_SRCC_35
LED30	N4	IO_L19P_T3_35
LED31	L4	IO_L18N_T2_35
LED32	J4	IO_L13N_T2_MRCC_35

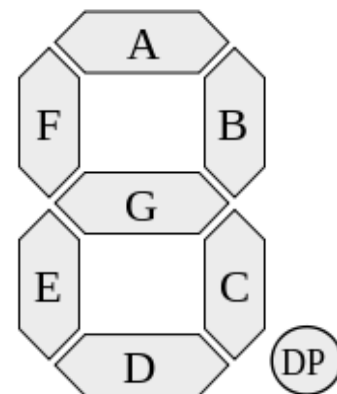
## 4.3.6 8个数码管

举例：

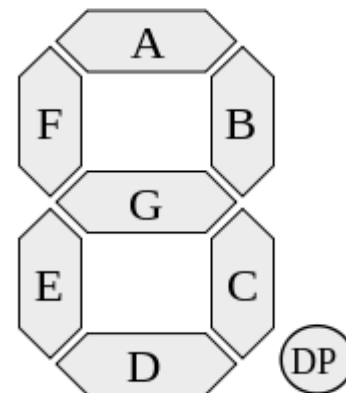
seg[7-0]分别代表8段二极管的a-g-dp, which[0-2]代表8个数码管3-8译码器的DS0-DS2管脚，enable代表数码管的使能信号端。

❖ # 数码管显示运算结果

```
set_property PACKAGE_PIN H19 [get_ports {seg[7]}]
set_property PACKAGE_PIN G20 [get_ports {seg[6]}]
set_property PACKAGE_PIN J22 [get_ports {seg[5]}]
set_property PACKAGE_PIN K22 [get_ports {seg[4]}]
set_property PACKAGE_PIN K21 [get_ports {seg[3]}]
set_property PACKAGE_PIN H20 [get_ports {seg[2]}]
set_property PACKAGE_PIN H22 [get_ports {seg[1]}]
set_property PACKAGE_PIN J21 [get_ports {seg[0]}]
```



## 4.3.6 8个数码管



❖ `seg[7-0]`分别代表8段二极管的a-g-dp, `which[0-2]`代表8个数码管3-8译码器的DS0-DS2管脚, `enable`代表数码管的使能信号端。

❖ # 数码管显示运算结果

```
set_property PACKAGE_PIN M22 [get_ports {which[2]}]
```

```
set_property PACKAGE_PIN M21 [get_ports {which[1]}]
```

```
set_property PACKAGE_PIN N22 [get_ports {which[0]}]
```

```
set_property PACKAGE_PIN L21 [get_ports enable]
```

## 4.3.6 8个数码管

❖ seg[7-0]分别代表8段二极管的a-g-dp, which[0-2]代表8个数码管3-8译码器的DS0-DS2管脚, enable代表数码管的使能信号端。

❖ # 数码管显示运算结果

```
set_property IOSTANDARD LVCMOS18 [get_ports {seg[7]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[6]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[5]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[4]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[3]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[2]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[1]}]
set_property IOSTANDARD LVCMOS18 [get_ports {seg[0]}]
set_property IOSTANDARD LVCMOS18 [get_ports {which[2]}]
set_property IOSTANDARD LVCMOS18 [get_ports {which[1]}]
set_property IOSTANDARD LVCMOS18 [get_ports {which[0]}]
set_property IOSTANDARD LVCMOS18 [get_ports enable]
```

## 4.3.6 8个数码管

数码管的3-8译码（DS[2:0]=3'b100代表4， DS[2:0]=3'b001代表1，  
DS[3]为使能信号， DS[3]=1'b1数码管正常工作）

PCB	Package Pin	Site Type
DS0	N22	IO_L15P_T2_DQS_15
DS1	M21	IO_L10P_T1_AD11P_15
DS2	M22	IO_L15N_T2_DQS_ADV_B_15
DS3	L21	IO_L10N_T1_AD11N_15



## 4.3.6 8个数码管

数码管的8段发光二极管

PCB	Package Pin	Site Type
AN_a	H19	IO_L12N_T1_MRCC_15
AN_b	G20	IO_L8N_T1_AD10N_15
AN_c	J22	IO_L7P_T1_AD2P_15
AN_d	K22	IO_L9N_T1_DQS_AD3N_15
AN_e	K21	IO_L9P_T1_DQS_AD3P_15
AN_f	H20	IO_L8P_T1_AD10P_15
AN_g	H22	IO_L7N_T1_AD2N_15
AN_dp	J21	IO_L11N_T1_SRCC_15



# The End!