

Usare un foglio separato per risolvere i due esercizi che seguono, specificando nell'intestazione: **Titolo del corso** (*Architettura degli Elaboratori – modulo I* oppure *Architettura degli Elaboratori A*), **Data esame**, **Cognome e Nome**, **Matricola**

**Esercizio 1 (*modulo I e arch. A*)**

- Tradurre in binario i seguenti numeri, usando una rappresentazione su 8 bit per numeri senza segno:  
 $A = 251_{10}$      $B = 269_{10}$      $C = 016_8$      $D = F3_{16}$      $E = 13_5$      $F = 86_{16}$   
Effettuare poi le seguenti somme in binario:  $A + C$  e  $D + E$ . Si è verificato overflow? Giustificare la risposta.
- Interpretare i numeri binari ottenuti al punto precedente come numeri espressi in complemento a due. Effettuare quindi le seguenti operazioni:  $D - A$ ,  $C - D$ ,  $A + C$  e  $F + D$ . Si è verificato overflow? Giustificare la risposta. Tradurre  $A$ ,  $C$ ,  $D$ ,  $E$  in decimale.
- Tradurre il numero decimale  $X = 0,1944375 \cdot 10^4$  in binario usando la rappresentazione per i numeri razionali IEEE754 in singola precisione.
- Tradurre in decimale il seguente numero razionale espresso secondo lo standard IEEE754:

$$Y = 11000100010101100000000000000000$$

**Soluzione**

- Traduzioni:

$$A = 11111011$$

$B$  non rappresentabile su 8 bit perché maggiore di  $2^8 - 1 = 255$

$$C = 00001110$$

$$D = 11110011$$

$$E = 00001000$$

$$F = 10000110$$

Somme:

$$\begin{array}{r} 11111110 \\ A \quad 11111011 \quad + \\ C \quad 00001110 \quad = \\ \hline 100001001 \end{array}$$

Overflow: il risultato della somma non è rappresentabile su 8 bit.

$$\begin{array}{r} 00000000 \\ D \quad 11110011 \quad + \\ E \quad 00001000 \quad = \\ \hline 11111011 \end{array}$$

Non si è verificato overflow. Il risultato della somma è rappresentabile su 8 bit.

2.

$$\begin{array}{r}
 00000111 \\
 D \quad 11110011 + \\
 -A \quad 00000101 = \\
 \hline
 11111000
 \end{array}$$

Non si può verificare overflow: D e -A hanno segni discordi.

$$\begin{array}{r}
 00001100 \\
 C \quad 00001110 + \\
 -D \quad 00001101 = \\
 \hline
 00011011
 \end{array}$$

Ultimi due riporti concordi: non si è verificato overflow.

$$\begin{array}{r}
 11111110 \\
 A \quad 11111011 + \\
 C \quad 00001110 = \\
 \hline
 100001001
 \end{array}$$

Non si può verificare overflow: A e C hanno segni discordi.

$$\begin{array}{r}
 10000110 \\
 F \quad 10000110 + \\
 D \quad 11110011 = \\
 \hline
 101111001
 \end{array}$$

Ultimi due riporti discordi: overflow.

Traduzioni in decimale:

$$A = -5_{10}$$

$$C = 14_{10}$$

$$D = -13_{10}$$

$$E = 8_{10}$$

$$3. 0,1944375 * 10^4 = 1944,375_{10} = 11110011000,011_2 = 1,1110011000011 * 2^{10}.$$

$$\text{Segno}_X: 0$$

$$\text{Esponente}_X: 10+127 = 137_{10} = 10001001_2$$

$$\text{Mantissa}_X: 1110011000011$$

Quindi:

$$0 \ 10001001 \ 111001100001100000000000$$

$$4. \text{Segno}_Y = 1$$

$$\text{Esponente}_Y = 10001000_2 = 136_{10} = 127 + 9$$

$$\text{Mantissa}_Y = 1010110000000000000000$$

$$\text{Quindi } Y = -1,101011 * 2^9 = -1101011000_2 = -856_{10}$$

## Esercizio 2 (modulo I e arch. A)

Progettare un circuito sequenziale di Mealy con due ingressi I1, I2 e una uscita O definita come segue:

- $O = 1$  se  $I1 + I2$  è pari negli ultimi tre cicli di clock
- $O = 0$  altrimenti

Per i primi due cicli di clock il circuito deve dare in uscita  $O=0$ . Devono essere considerate eventuali sequenze sovrapposte. Ad esempio:

I1: 01011110100...

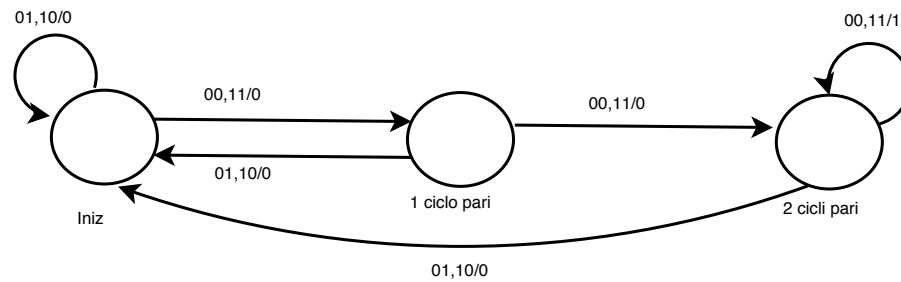
I2: 11010010101...

O: 00010000110...

Definire l'automa a stati finiti, ricavare le tabelle di verità e le forme SP minime. Disegnare infine il circuito risultante.

## Soluzione

L'automa a stati finiti è il seguente:



Codifica degli stati:

Stato	s1	s2
Iniz	0	0
1 ciclo pari	0	1
2 cicli pari	1	0

Si noti che  $s1\ s2 = 11$  non è una configurazione di stato possibile e quindi il valore restituito dalle funzioni Output e NextState in questo caso è don't care. Le tabelle relative a Output e NextState sono le seguenti:

s1	s2	I1	I2	0	s1*	s2*
0	0	0	0	0	0	1
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	1
0	1	0	0	0	1	0
0	1	0	1	0	0	0
0	1	1	0	0	0	0
0	1	1	1	0	1	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	1	0	0	0	0
1	0	1	1	1	1	0
1	1	X	X	X	X	X

Minimizzazione della funzione Output:

I1 I2 s1 s2		00	01	11	10
s1 s2	00				
	01				
	11	X	X	X	X
	10	1		1	

$$O = s1 \sim I1 \sim I2 + s1 I1 I2$$

Minimizzazione della funzione NextState:

I1 I2 s1 s2		00	01	11	10
s1 s2	00				
	01	1		1	
	11	X	X	X	X
	10	1		1	

s1\*

I1 I2 s1 s2		00	01	11	10
s1 s2	00	1		1	
	01				
	11	X	X	X	X
	10				

s2\*

$$s1^* = s1 \sim I1 \sim I2 + s2 \sim I1 \sim I2 + s1 I1 I2 + s2 I1 I2$$

$$s2^* = \sim s1 \sim s2 \sim I1 \sim I2 + \sim s1 \sim s2 I1 I2$$

Il circuito risultante si ricava facilmente dalle equazioni minime.