Usare un foglio separato per risolvere i due esercizi che seguono, specificando nell'intestazione: **Titolo del** corso (Architettura degli Elaboratori – modulo I oppure Architettura degli Elaboratori A), **Data esame**, Cognome e Nome, Matricola

Esercizio 1 (modulo I e arch. A)

Dati i due numeri decimali A=-0,15775 * 10^3 e B=0,95125 * 10^2

- 1. tradurre i due numeri in binario, secondo lo stadard IEEE754 in singola precisione;
- 2. eseguirne poi la somma usando l'algoritmo di somma dello standard IEEE754 e specificando tutti i passaggi;
- 3. rappresentare il risultato ottenuto in esadecimale;
- 4. verificare che il risultato ottenuto coincida con la somma decimale dei due numeri.

Soluzione

1. Traduzione in binario secondo lo standard IEEE754:

2. Somma dei numeri FP:

Allineamento esponenti:

$$\mathbf{m}_B = 1{,}0111111001 \ * \ 2^6 = 0{,}10111111001 \ * \ 2^7$$

Rappresentazione dei numeri in complemento a due:

A = -01,001110111 *
$$2^7$$
 => A = 10,110001001 * 2^7
B = +00,10111111001 * 2^7 => B = 00,10111111001 * 2^7

Somma delle mantisse:

Rappresentazione del risultato in modulo e segno:

$$C = 11,1000001011 * 2^7 => C = -00,0111110101 * 2^7$$

Normalizzazione risultato:

$$C = -00,0111110101 * 2^7 = -1,11110101 * 2^5 = -111110,101_2 = -62,625_{10}$$

Quindi:

$$S_C = 1$$

$$E_C = 10000100_2 = 132_{10} = 127 + 5$$

$$M_C = 1 + 0.11110101$$

Cioè:

- 3. Rappresentazione del risultato in esadecimale: C = C27A8000
- 4. La somma in decimale è: -157.75 + 95.125 = -62.625

Esercizio 2 (modulo I e arch. A)

(a) Progettare un circuito combinatorio con quattro variabili di ingresso, A, B, C, D e tre variabili di uscita X, Y, Z che rappresentano, per ciascuna combinazione degli ingressi, la loro somma bit a bit. In particolare, se la combinazione degli ingressi è (a, b, c, d), con $a, b, c, d \in \{0, 1\}$, le tre variabili di uscita devono codificare il valore a + b + c + d. I pesi di X, Y e Z sono 2^2 , 2^1 e 2^0 , rispettivamente.

Si richiede di:

- 1. scrivere la tabella di verità;
- 2. ricavare le equazioni minime usando la forma canonica somma di prodotti;
- 3. disegnare il circuito in base alle equazioni ottenute al punto precedente;
- (b) Progettare un circuito sequenziale che comanda il movimento (e quindi il suono) di tre campane che suonano le note do, re e mi, rispettivamente. Il movimento viene codificato con 3 bit di uscita: DO, RE, e MI. Quando un bit di uscita è affermato, la campana corrispondente suona. Il ritmo è determinato dal periodo di clock. Il circuito riceve in input un segnale di ingresso I tale che:
 - se I=0 le campane devono suonare le note una alla volta, iniziando da mi e con questa sequenza: $mi \Rightarrow re \Rightarrow do \Rightarrow mi \Rightarrow ...$
 - se I=1 le campane devono suonare le note insieme, iniziando da [do, mi] e con questa sequenza: $[do, mi] \Rightarrow [re, mi] \Rightarrow [do, re] \Rightarrow [do, re, mi] \Rightarrow [do, mi] \Rightarrow ...$

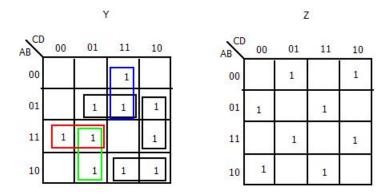
Si richiede di determinare l'automa a stati finiti di Moore del circuito.

Soluzione

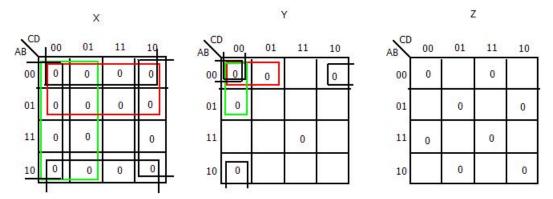
(a) 1. La tabella di verità è la seguente:

```
A B C D | X Y Z
-----
0 0 0 0 | 0 0 0
0 0 1 | 0 0 1
0 0 1 0 | 0 0 1
0 0 1 1 | 0 1 0
0 1 0 0 | 0 0 1
0 1 0 1 | 0 1 0
```

2. Equazioni minime SP:



- 3. Il circuito si ricava facilmente dalle equazioni minime
- 4. Equazioni minime PS:



$$\begin{split} \mathbf{X} &= \mathbf{A} \cdot \mathbf{B} \cdot \mathbf{C} \cdot \mathbf{D} \\ \mathbf{Y} &= (\mathbf{A} + \mathbf{B} + \mathbf{C}) \cdot (\mathbf{A} + \mathbf{B} + \mathbf{D}) \cdot (\mathbf{A} + \mathbf{C} + \mathbf{D}) \cdot (\mathbf{B} + \mathbf{C} + \mathbf{D}) \\ \mathbf{Z} &= (\mathbf{A} + \mathbf{B} + \mathbf{C} + \mathbf{D}) \cdot (\mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\mathbf{A} + \sim \mathbf{B} + \mathbf{C} + \sim \mathbf{D}) \cdot (\mathbf{A} + \sim \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \sim \mathbf{B} + \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \sim \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \sim \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \sim \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} + \sim \mathbf{B} + \sim \mathbf{C} + \sim \mathbf{D}) \cdot (\sim \mathbf{A} +$$

(b) L'automa a stati finiti che modella il circuito è il seguente:

