

---

# MicroZus

# 硬件用户手册

Rev. 1.0



## 版本记录

版本	时间	描述
Rev. 1.0	2017/8/21	第一版发布

### 版权声明:

MicroZus 评估板及其相关知识产权由微相科技有限公司所有。

本文档由微相科技有限公司版权所有，并保留一切权利。在未经英蓓特微相公司书面许可的情况下，不得以任何方式或形式来修改、分发或复制本文档的任何部分。

### 免责声明

产品中所提供的程序源代码、软件、资料文档等，微相科技不提供任何类型的担保；不论是明确的，还是隐含的，包括但不限于合适特定用途的保证，全部的风险，由使用者来承担。

## 目录

第 1 章	产品概述 .....	3
1.1	产品简介 .....	3
1.2	MicroZus 功能框图 .....	3
1.3	MicroZus 资源特性 .....	4
1.4	MicroZus 布局 .....	5
1.5	MicroZus 尺寸 .....	7
第 2 章	MicroZus 功能介绍 .....	8
2.1	电源 .....	8
2.1.1	电源输入 .....	8
2.1.2	电源结构 .....	8
2.1.3	上电顺序 .....	9
2.2	JTAG 接口 .....	10
2.3	ZYNQ 启动配置模式 .....	11
2.3.1	ZYNQ 启动流程 .....	11
2.3.2	MicroZus 启动配置 .....	12
2.4	系统时钟 .....	12
2.5	复位 .....	13
2.6	PL 端的接口 .....	14
2.6.1	用户按键 .....	14
2.6.2	用户 LED .....	15
2.6.3	2x20 GPIO 扩展口 .....	16
2.6.4	FPC 扩展口 .....	21
2.6.5	扩展口的 IO 电压调整 .....	23
2.6.6	EEPROM .....	23
2.6.7	Bluetooth .....	24
2.6.8	HDMI 接口 .....	25
2.7	PS 端的接口 .....	27

2.7.1	用户按键.....	27
2.7.2	用户 LED.....	27
2.7.3	DDR3 SDRAM .....	28
2.7.4	QSPI.....	31
2.7.5	千兆以太网.....	32
2.7.6	无线模块（Wi-Fi&BLE） .....	34
2.7.7	USB OTG 2.0 .....	35
2.7.8	USB 转 UART .....	36
2.7.9	MicroSD 卡槽.....	37

## 第1章 产品概述

### 1.1 产品简介

MicroZus 是微相科技面向创客、嵌入式爱好者、学生、教育工作者以及电子发烧友等群体开发的一款开源的创客神器。它基于 Xilinx 公司的 Zynq-7000 系列的 SoC 的嵌入式开发平台，是现在非常流行的 FPGA+ARM 结构的 SoC 解决方案。MicroZus 所使用的 Zynq-7000 架构集成了 1 个双核 ARM Cortex-A9 处理器，以及 Xilinx 7 系列现场可编程门阵列（FPGA）逻辑，这种 FPGA+ARM 的架构在传统 CPU+FPGA 应用领域提供了一种替代升级的解决方案，其单芯片的 SoC 的解决方案，在价格和开发难度上都具有很大优势。

MicroZus 主芯片兼容 XC7Z010-1CLG400C 和 XC7Z020-2CLG400I，其型号分别为 MicroZus-10 和 MicroZus-20。其产品特点：1. 板载千兆以太网，USB OTG，UART 串口，HDMI 接口，Wi-Fi 带蓝牙，同时配有 2×40Pin 扩展板接口，FPC 接口。2. 产品使用方式灵活，既可以当单板开发板使用，也可以当核心板使用，可谓是一板多用。3. 其小巧灵活的特点可以广泛应用在各类领域上，加上 ZYNQ 所特有的可编程逻辑开发与嵌入式开发相结合，在高速帧率的视频处理、硬件加速、IoT 应用，工业实时控制，人工智能，机器人等方面所表现出更的卓越性能和更强的通用性。MicroZus 在以下创客所能想到的应用领域具有突出的应用开发优势：

- 机器视觉
- 人工智能
- 工业控制
- 无人机
- 嵌入式硬件加速
- 运动控制，机器人
- IoT 应用

MicroZus 设计小巧紧凑的特点，既适合作为掌中开发神器，成为你忠实的朋友，帮你思维变成现实；亦可以作为核心模块嵌入到应用产品中，成为你可信任的产品，加速你的产品推向市场；还可以作为随身携带的口袋实验室，成为你学习的好工具，让你早日成为技术大神。

### 1.2 MicroZus 功能框图

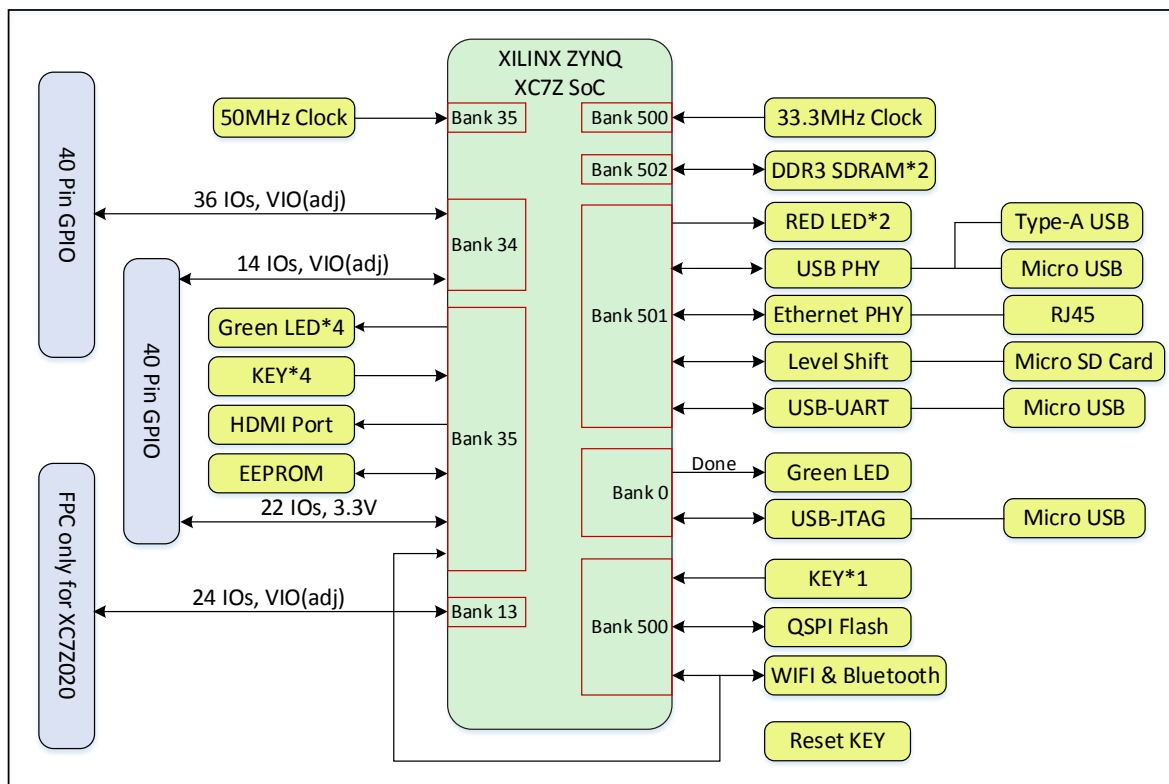
MicroZus 开发板功能框图如 **Figure 1-1** 所示。

PS 部分连接了 DDR3 存储器，以及一些接口等。

PL 部分则连接了扩展接口，HDMI 输出等。

具体细节可以参考相关部分章节的描述。

Figure 1-1 MicroZus 功能框图



### 1.3 MicroZus 资源特性

MicroZus 开发板提供了如下硬件资源。

特性	描述
ZYNQ 处理器	MicroZus-10 版，搭载 Xilinx XC7Z010-1CLG400C，28k LCs MicroZus-20 版，搭载 Xilinx XC7Z020-2CLG400I，85k LCs
DDR3 RAM	MicroZus-10 版，512MB MicroZus-20 版，1GB
Flash	128Mbit QSPI Flash
JTAG	板载 USB Cable 电路，可以在线调试与下载，无需额外购买下载器/仿真器
Wi-Fi 无线	802.11b/g/n
蓝牙	4.0 双模
天线	Wi-Fi 和蓝牙共用，板载陶瓷天线及 IPX 天线接口
网络	10/100/1000M 自适应
视频输出	HDMI 输出

USB Host	USB2.0, 标准 A 型接口
USB Slave	USB2.0, 标准 Micro USB 接口
串口	USB 转 UART, 标准 Micro USB 接口
TF 卡槽	Micro SD 卡槽一个
EEPROM	IIC 接口, 4Kbit.
时钟	PS 时钟输入 33.333MHz, PL 时钟输入 50MHz
按键	7 个按键, 4 个 PL 按键, 2 个 PS 按键, 1 个系统复位按键
LED	8 个 LED, 4 个 PL 控制, 2 个 PS 控制, 1 个配置状态, 1 个电源状态
FPC 扩展口	仅 MicroZus-20 版支持, 可做 LVDS 信号扩展或 GPIO 扩展, IO 电压可调
GPIO 扩展接口	2 组 40pin, 2.54mm 间距, 共 72 个 GPIOs, 50 个 IOs 电压可调
PCB 尺寸	100*75mm
供电	5V/2A, 或通过 USB 供电, 或通过 40pin 的电源脚供电。

## 1.4 MicroZus 布局

MicroZus 开发板全貌如 **Figure 1-2** 和 **Figure 1-3** 所示。



Figure 1-2 MicroZus 正面图

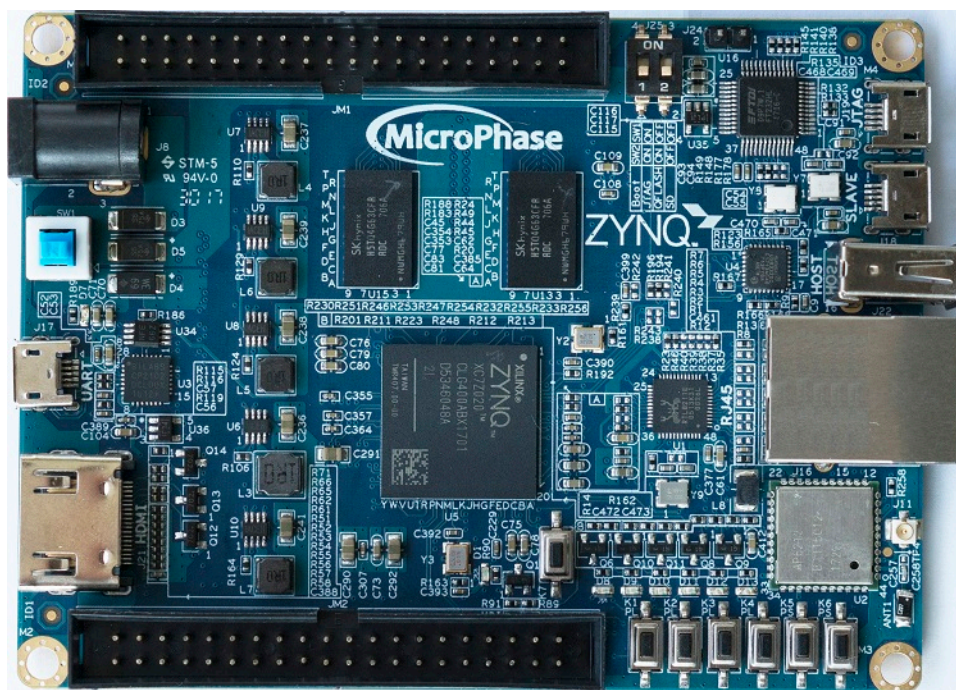
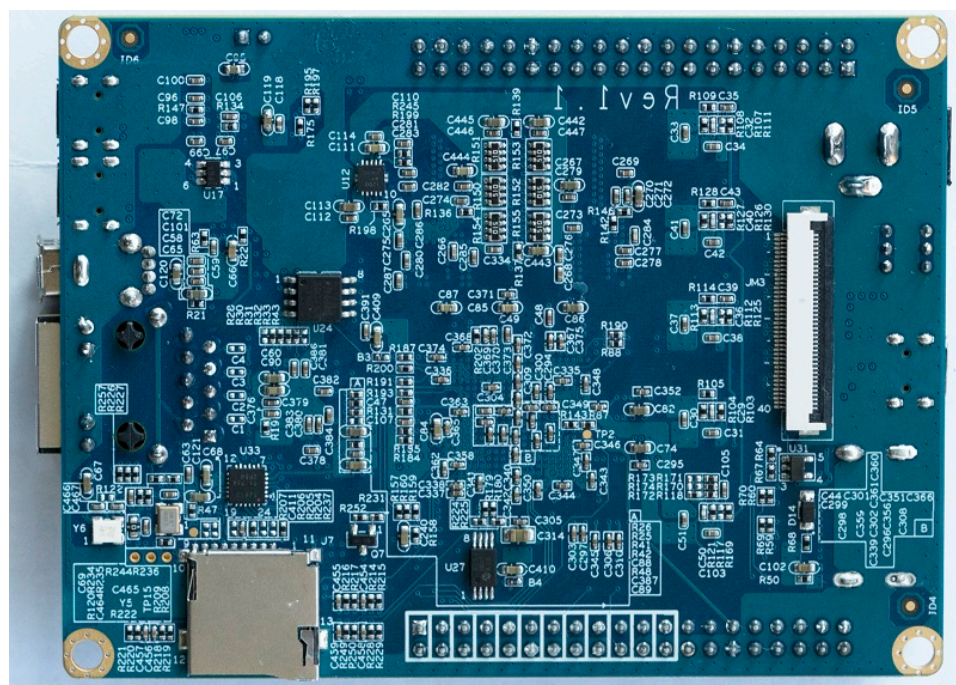
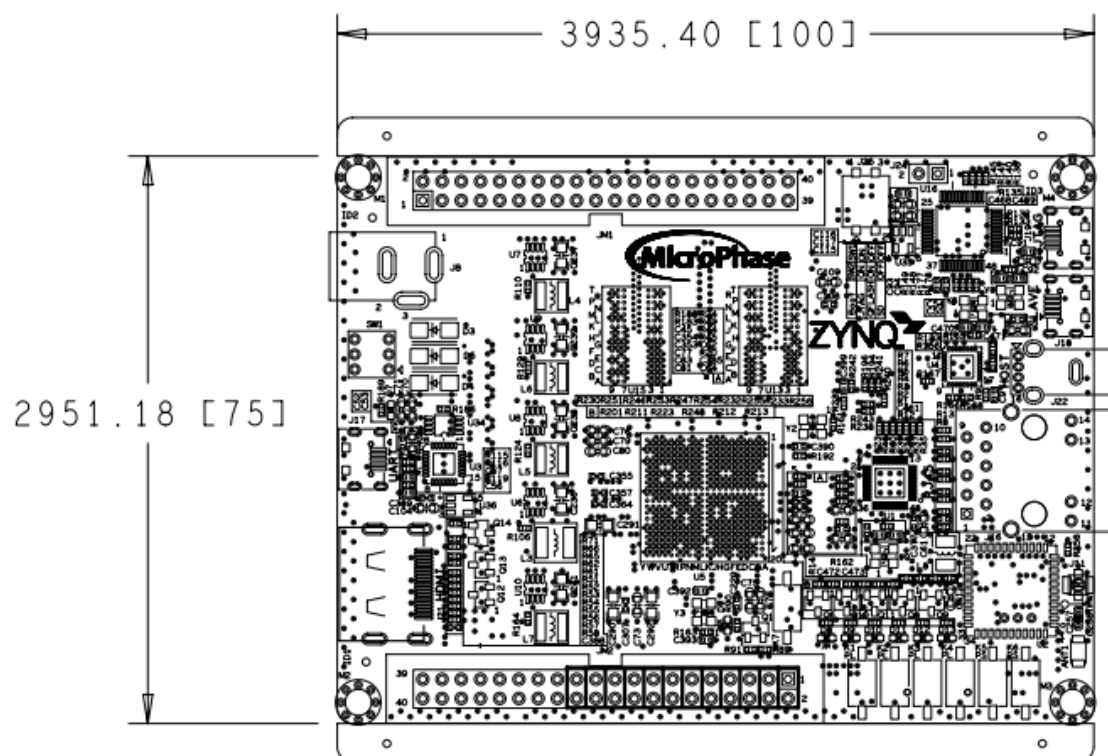


Figure 1-3 MicroZus 背面图



## 1.5 MicroZus 尺寸

Figure 1-4 MicroZus 尺寸图



## 第2章 MicroZus 功能介绍

### 2.1 电源

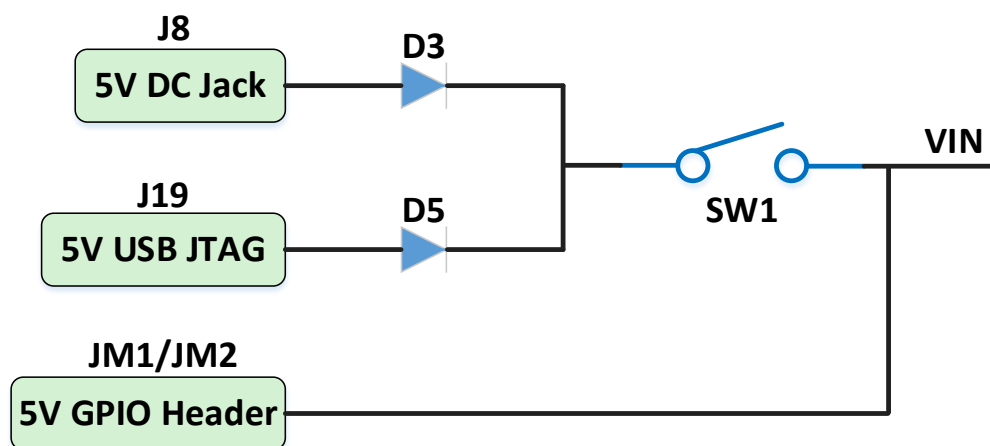
#### 2.1.1 电源输入

MicroZus 既可以当单板开发板使用，也可以当作核心板使用，嵌入到用户的产品。设计上，MicroZus 是支持多种应用场合的电源输入。

板卡最通常的用法是作为单板开发板使用，可以使用电源适配器通过 DC JACK（J8）给开发板供电，也可以通过一根 Micro USB 数据线通过 USB JTAG 口（J19）给开发板供电。

除此之外，MicroZus 可以作为核心板，可以由底板的电源通过扩展连接器（JM1,JM2）给 MicroZus 供电。如果客户想作为核心板使用，JM1,JM2 的焊接方式可以根据客户的使用方式提供不同的焊接方式，具体详情请联系我们。

Figure 2-1 电源输入选择



#### 2.1.2 电源结构

MicroZus 供电电压为 5V，请使用开发板随配电源适配器，或者使用相同规格的电源。错误的电源可能会损坏开发板。

Figure 2-2 MicroZus 电源结构

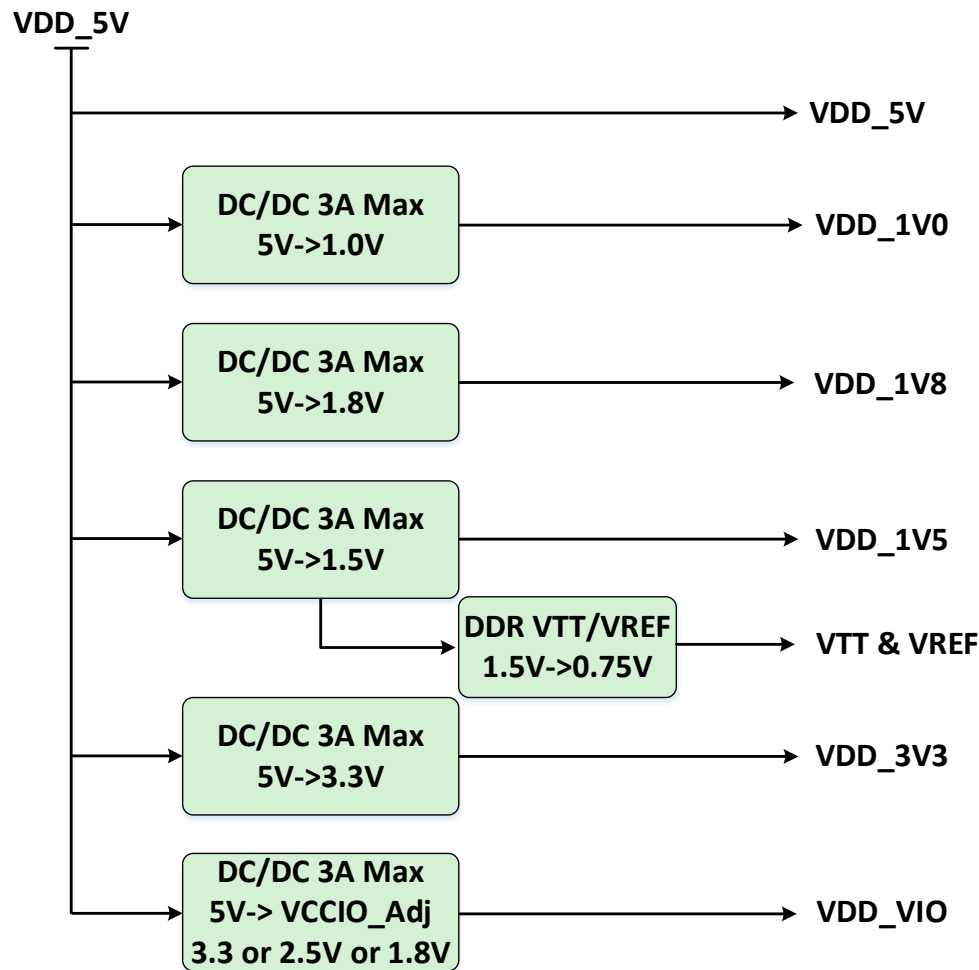


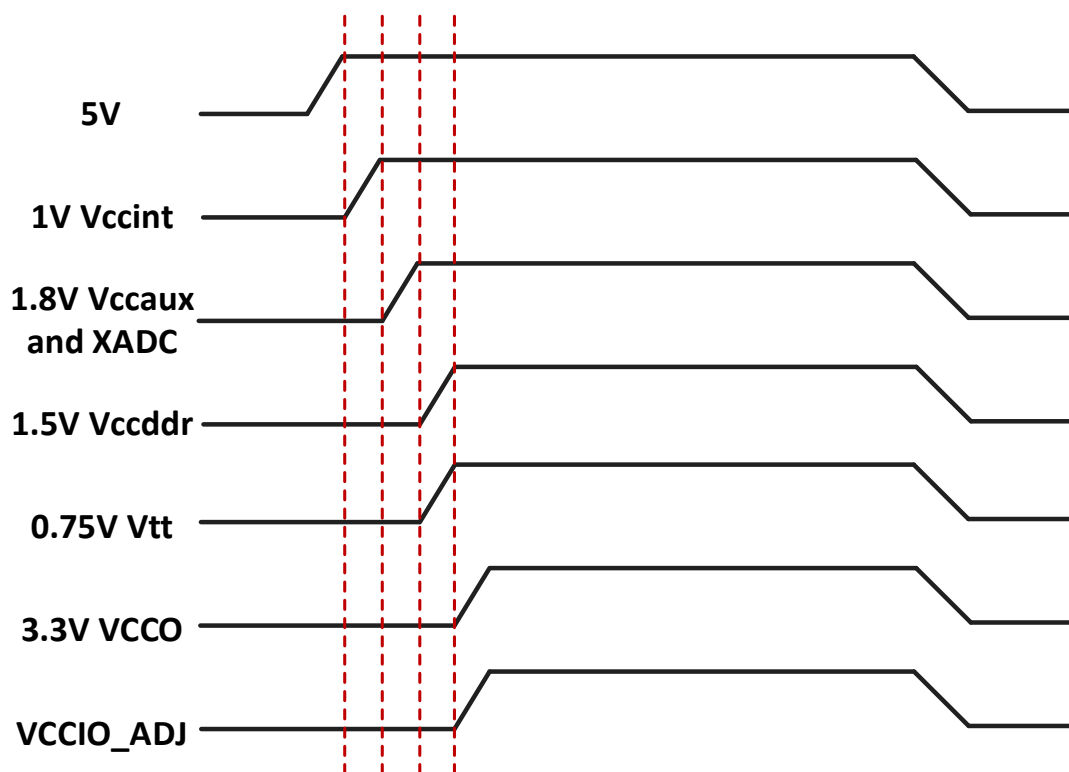
Table 2-1 ZYNQ 电压与电流预估表

电压(V)	7010 Current(A)	7020 Current(A)	电压精度
1.0(Vccint)	1.0	1.8	5%
1.5(Vccoddr)	1.0	1.0	5%
1.8(Vccaux)	0.8	0.8	5%
1.8(Vccadc Analog)	0.15	0.15	5%
3.3(Vccio)	0.7	0.7	5%
0.75(DDR3 VTT)	0.4	0.4	5%

2.1.3 上电顺序

MicroZus 板卡电源的上电顺序是依照 Zynq-7000 芯片上电源要求设计的， 下面的时序图描述了板卡的上电顺序。

Figure 2-3 上电顺序

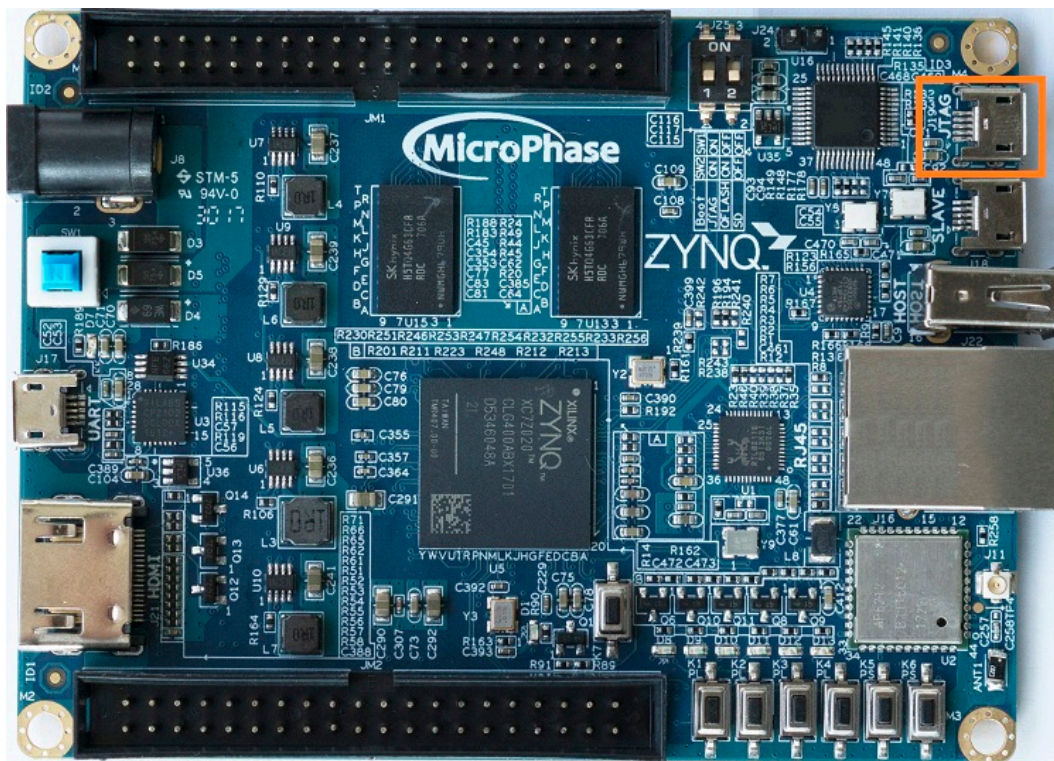


## 2.2 JTAG 接口

MicroZus 提供 USB 下载接口，在电路板上板载了 USB JTAG Cable 的下载电路，用户只需要一根 Micro USB 线就可以对 ZYNQ 进行下载程序，在线调试程序，用户无需额外购买专用下载器，这样极大降低用户的使用成本。

Figure 2-4 USB 下载口





## 2.3 ZYNQ 启动配置模式

### 2.3.1 ZYNQ 启动流程

Zynq-7000 支持从多种设备启动，包括 JTAG, NAND, parallel NOR, Serial NOR (Quad-SPI), 以及 SD 卡。除了 Jtag 之外的启动方式均支持安全启动，使用 AES、SHA256 加密后的启动代码（当前硅片版本的无法正常使用 secure configuration 功能，摘自 Zynq 勘误表）。Zynq SoC 的启动流程如下：

1. 在器件上电运行后，处理器自动开始 Stage-0 Boot，也就是执行片内 BootROM 中的代码。
2. BootROM 会初始化 CPU 和一些外设，以便读取下一个启动阶段所需的程序代码，FSBL（First Stage Bootloader）。在这个阶段 BootROM 会去读取 MIO[2..8]的状态,从而确定启动设备，将选定设备的头 192Kbyte 内容，也就是 FSBL，复制到 OCM(On Chip Memory)中，并将控制器交给 FSBL。
3. FSBL 启动时可以使用整块 256Kb 的 OCM，当 FSBL 开始运行后，器件就正式由自己控制了。Xilinx 提供了一份 FSBL 代码，如果没什么特殊要求，可以直接使用。

这个阶段 FSBL 主要完成的事：

- 使用 XPS 提供的代码，继续初始化 PS
- 将 bitstream 写入 PL（配置 FPGA），不过这一步也可以以后再做
- 将接下来启动用的 Second Stage Bootloader（SSBL，一般就是 U-Boot 一类的东西），或者裸奔程序，复制到内存中
- 跳到 SSBL 运行去，Uboot 开始运行，初始化好 Linux 启动环境，然后开始运行 Linux 系统。

从上面 Zynq-7000 启动流程来看，在没有借助于外部 JTAG 的配置方式下，PL 的配置是依靠 PS 来完成。

2.3.2 MicroZus 启动配置

MicroZus 提供三种启动方式：SD 卡启动（出厂默认），QSPI 启动，JTAG 启动，用户可以通过拨动 SW4 拨码开关来改变模式引脚的电压，改变启动模式，**拨码开关出厂配置是 OFF 状态，即默认 SD 启动。**

Figure 2-5 更改启动配置的拨码开关

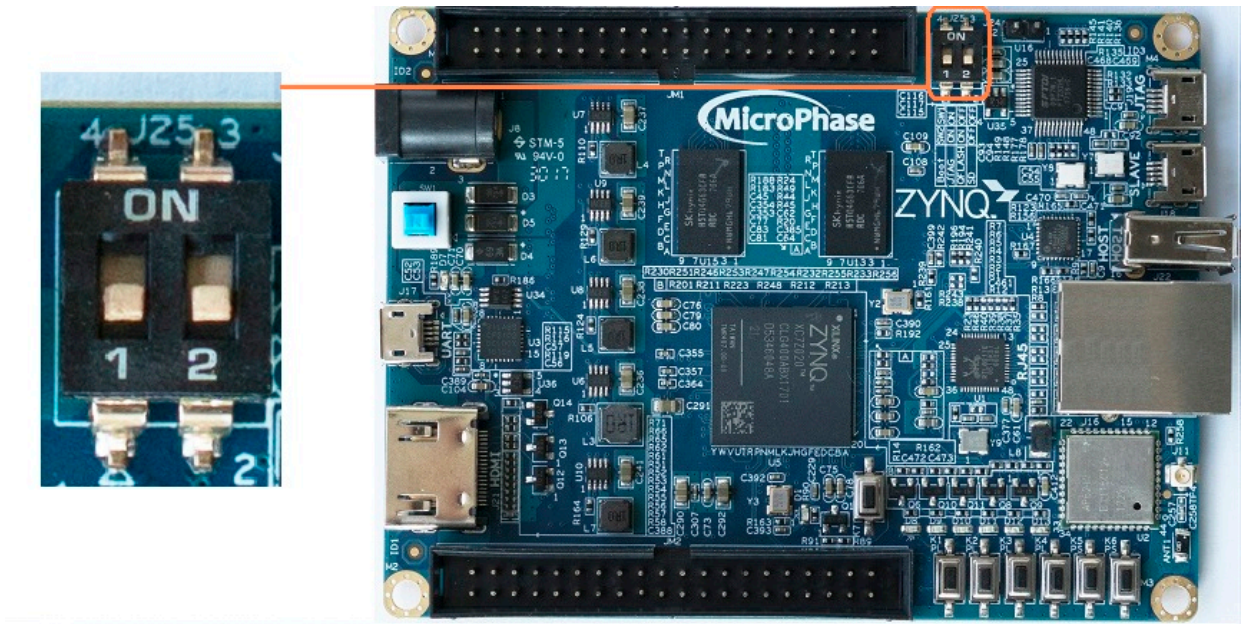



Table 2-2 MicroZus 启动模式配置说明

J25	MIO[4] J25 Pin2&3	MIO[5] J25 Pin1&4	启动源
	On	On	JTAG
	On	Off	QSPI
	Off	Off	SD
	Off	On	NC

2.4 系统时钟

MicroZus 提供两路专用时钟，一路使用 33.333Mhz 有源晶振给 ZYNQ 的 PS 端提供时钟源；另一路使用 50Mhz 有源晶振给 ZYNQ 的 PL 端提供时钟源。

Figure 2-6 MicroZus 时钟输入示意图

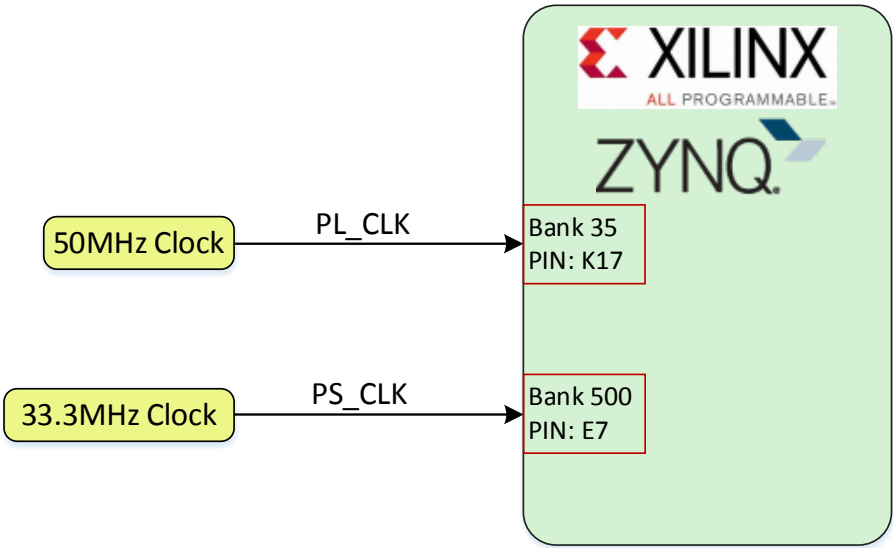


Table 2-3 时钟输入分配

信号名	ZYNQ 管脚	描述	I/O 标准
PL_CLK_50M	K17	50M 时钟输入	3.3V
PS_CLK_33d333M	E7	33.333M 时钟输入	3.3V

## 2.5 复位

MicroZus 提供了一个复位按键 K7，按下，同时给 PL 和 PS 复位。



Figure 2-7 MicroZus 复位示意图

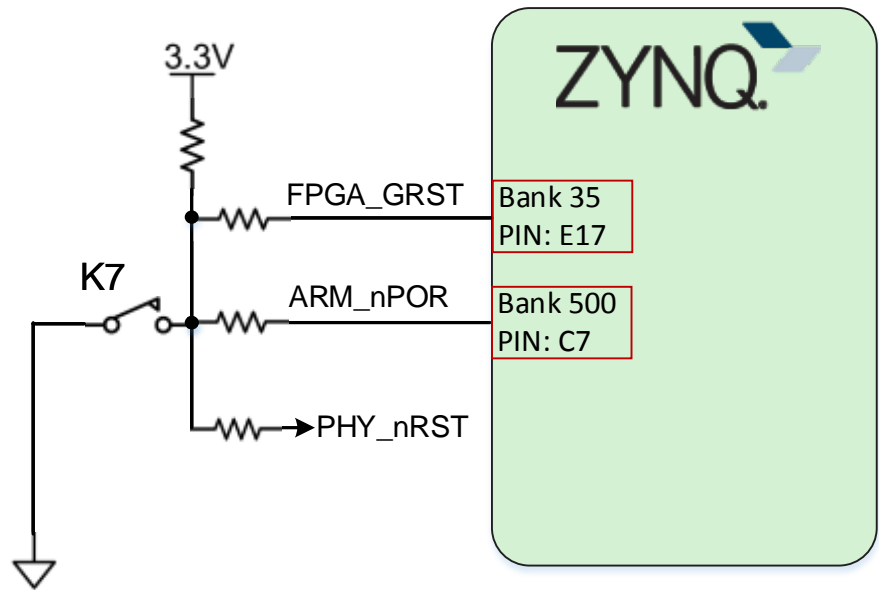


Table 2-4 复位信号管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
ARM_nPOR	C7	ZYNQ PS 复位键	3.3V
FPGA_GRST	E17	ZYNQ PL 复位键	3.3V

## 2.6 PL 端的接口

Zynq-7000 由 FPGA(PL)和 ARM(PS)集成到一颗芯片的 SoC，MicroZus 上的接口，有些连接到 PL 侧的 IO 上，有些则连接到 PS 侧的 IO 上，下面分别描述这些接口。

### 2.6.1 用户按键

MicroZus 在 ZYNQ PL 端提供了四个用户按键（K1~K4），按键默认状态是上拉状态，即没有按下按键时，对应的 FPGA 芯片管脚输入信号为高电平；当按键按下后，对应的 FPGA 的管脚输入信号为低电平。这些按键分配在 ZYNQ PL bank35 的 IOs 上。

Figure 2-8 PL Key 原理示意图如下:

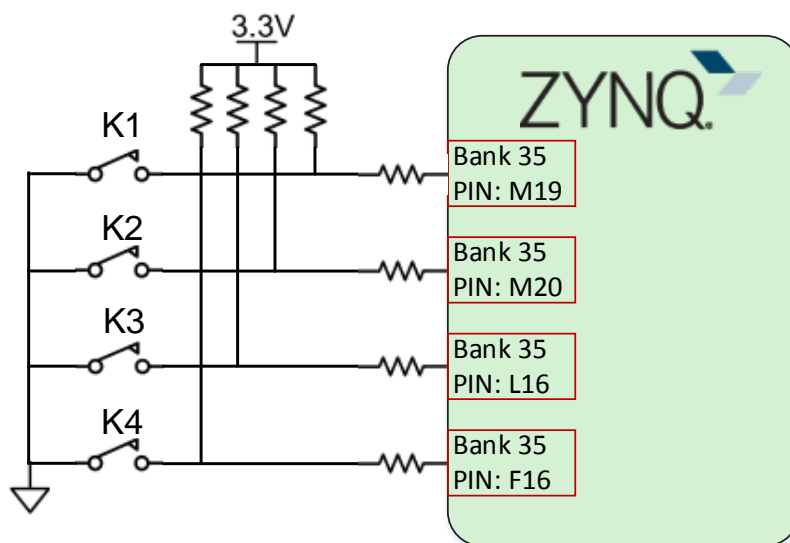


Table 2-5 PL Key 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
FPGA_SW1	M19	K1, 默认高电平输入状态	3.3V
FPGA_SW2	M20	K2, 默认高电平输入状态	3.3V
FPGA_SW3	L16	K3, 默认高电平输入状态	3.3V
FPGA_SW4	F16	K4, 默认高电平输入状态	3.3V

## 2.6.2 用户 LED

MicroZus 在 ZYNQ 的 PL 端连接了四个 LED 发光二极管 (D8~D11)，当 FPGA 对应的管脚输出高电平时，LED 会发亮；输出低电平时，LED 会熄灭。这些 LED 的信号分配在 ZYNQ PL bank35 的 IOs 上。

Figure 2-9 PL LED 原理示意图如下：

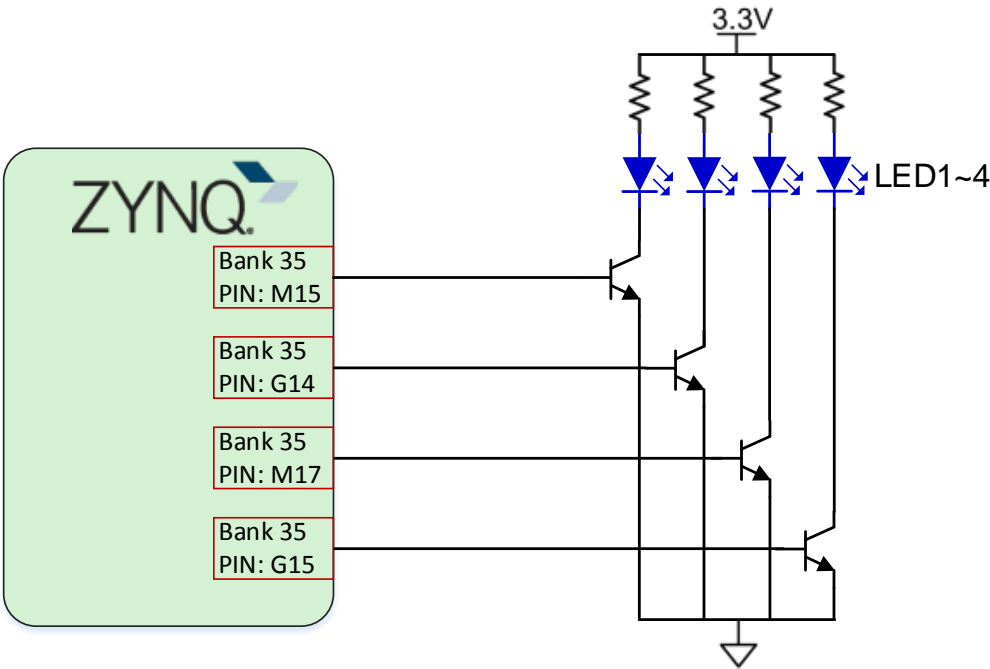


Table 2-6 PL LED 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
FPGA_LED1	M15	高电平输出，LED 亮；低电平输出，LED 灭	3.3V
FPGA_LED2	G14	高电平输出，LED 亮；低电平输出，LED 灭	3.3V
FPGA_LED3	M17	高电平输出，LED 亮；低电平输出，LED 灭	3.3V
FPGA_LED4	G15	高电平输出，LED 亮；低电平输出，LED 灭	3.3V

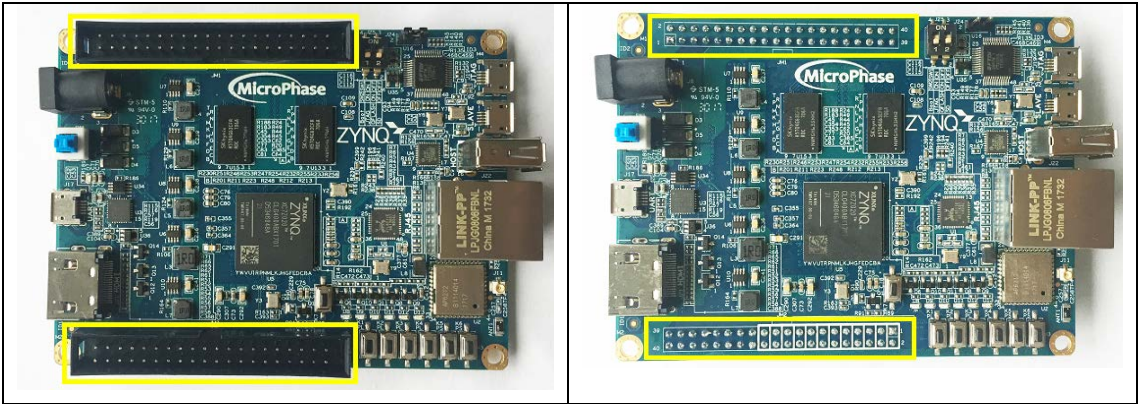
2.6.3 2x20 GPIO 扩展口

MicroZus 提供 2 组 2x20 40Pin GPIO 扩展口，间距 2.54mm，位号为 JM1，JM2。每组扩展口包含一个+5V（VDD\_5V），一个 3.3V(VDD\_3V3)，2 个 GND，36 个 GPIO。用户可以通过扩展口来实现自己的功能或接口扩展。JM1,JM2 的 IO 在 PCB 设计上使用了差分走线，阻抗为 100 欧姆。

MicroZus 既可以当单板开发板使用，也可以当作核心板使用，对于不同使用方式，JM1,JM2 的焊接方式所有差异。

Table 2-7 支持单板和核心板使用

当开发板使用，JM1/JM2 的焊接方式	当核心板使用，JM1/JM2 的焊接
----------------------	--------------------



其中 JM1 的 GPIO 的电压全部可调，JM2 的 GPIO 的电压部分可调，其它的不可调的 GPIO 电压是 3.3V，JM1,JM2 的出厂默认是 3.3V IO。

Table 2-8 扩展口与 ZYNQ 连接

扩展口	IO 所属 Bank	IO 电压
JM1	Bank34	默认 3.3V，可通过电阻调 IO 电压
JM2	Bank34(Pin25-Pin40)	所属 Bank34，默认 3.3V，可通过电阻调 IO 电压
	Bank35(Pin1-Pin24)	所属 Bank35，电压 3.3V，不可调

调整 IO 电压的方法可以参考 2.6.5 扩展口的 IO 电压调整。

JM2 中 IO 电压不可调整的部分在 PCB 丝印层上做了标注。

Figure 2-10 JM2 IO 不可调丝印标注示意图

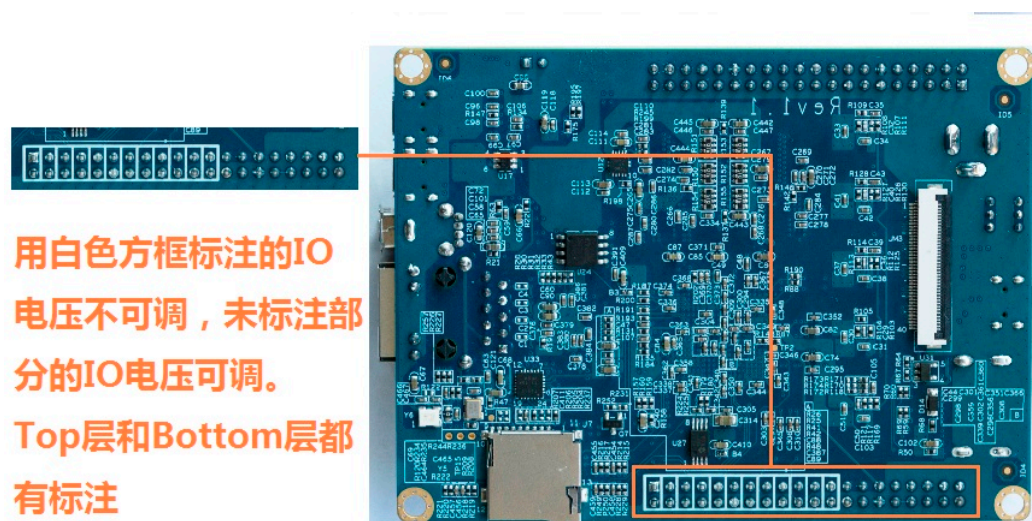


Table 2-9 扩展口 JM1 管脚分配

Pin Num.	信号名	ZYNQ 管脚	I/O 标准	备注
1	FPGA_GPIO_13N_34	P19	默认 3.3V，可调	
2	FPGA_GPIO_13P_34	N18	默认 3.3V，可调	
3	FPGA_GPIO_14N_34	P20	默认 3.3V，可调	
4	FPGA_GPIO_14P_34	N20	默认 3.3V，可调	
5	FPGA_GPIO_15N_34	U20	默认 3.3V，可调	
6	FPGA_GPIO_15P_34	T20	默认 3.3V，可调	
7	FPGA_GPIO_5N_34	T15	默认 3.3V，可调	
8	FPGA_GPIO_5P_34	T14	默认 3.3V，可调	
9	FPGA_GPIO_0_34	R19	默认 3.3V，可调	
10	FPGA_GPIO_25_34	T19	默认 3.3V，可调	
11	VDD_5V	NC	电源	
12	GND	NC	地	
13	FPGA_GPIO_9N_34	U17	默认 3.3V，可调	
14	FPGA_GPIO_9P_34	T16	默认 3.3V，可调	
15	FPGA_GPIO_17N_34	Y19	默认 3.3V，可调	

16	FPGA_GPIO_17P_34	Y18	默认 3.3V, 可调	
17	FPGA_GPIO_16N_34	W20	默认 3.3V, 可调	
18	FPGA_GPIO_16P_34	V20	默认 3.3V, 可调	
19	FPGA_GPIO_7N_34	Y17	默认 3.3V, 可调	
20	FPGA_GPIO_7P_34	Y16	默认 3.3V, 可调	
21	FPGA_GPIO_8N_34	Y14	默认 3.3V, 可调	
22	FPGA_GPIO_8P_34	W14	默认 3.3V, 可调	
23	FPGA_GPIO_12N_34	U19	默认 3.3V, 可调	
24	FPGA_GPIO_12P_34	U18	默认 3.3V, 可调	
25	FPGA_GPIO_11N_34	U15	默认 3.3V, 可调	
26	FPGA_GPIO_11P_34	U14	默认 3.3V, 可调	
27	FPGA_GPIO_10N_34	W15	默认 3.3V, 可调	
28	FPGA_GPIO_10P_34	V15	默认 3.3V, 可调	
29	VDD_3V3		电源	
30	GND		地	
31	FPGA_GPIO_3N_34	V13	默认 3.3V, 可调	
32	FPGA_GPIO_3P_34	U13	默认 3.3V, 可调	
33	FPGA_GPIO_4N_34	W13	默认 3.3V, 可调	
34	FPGA_GPIO_4P_34	V12	默认 3.3V, 可调	
35	FPGA_GPIO_2N_34	U12	默认 3.3V, 可调	
36	FPGA_GPIO_2P_34	T12	默认 3.3V, 可调	
37	FPGA_GPIO_1N_34	T10	默认 3.3V, 可调	
38	FPGA_GPIO_1P_34	T11	默认 3.3V, 可调	
39	FPGA_GPIO_6N_34	R14	默认 3.3V, 可调	
40	FPGA_GPIO_6P_34	P14	默认 3.3V, 可调	

Table 2-10 扩展口 JM2 管脚分配

Pin Num.	信号名	ZYNQ 管脚	I/O 标准	备注
1	FPGA_GPIO_12N_35	K18	3.3V, 不可调	

2	FPGA_GPIO_19P_35	H15	3.3V, 不可调	
3	FPGA_GPIO_20N_35	J14	3.3V, 不可调	
4	FPGA_GPIO_20P_35	K14	3.3V, 不可调	
5	FPGA_GPIO_18N_35	G20	3.3V, 不可调	
6	FPGA_GPIO_18P_35	G19	3.3V, 不可调	
7	FPGA_GPIO_15N_35	F20	3.3V, 不可调	
8	FPGA_GPIO_15P_35	F19	3.3V, 不可调	
9	FPGA_GPIO_14N_35	H18	3.3V, 不可调	
10	FPGA_GPIO_14P_35	J18	3.3V, 不可调	
11	VDD_5V			
12	GND			
13	FPGA_GPIO_10N_35	J19	3.3V, 不可调	
14	FPGA_GPIO_10P_35	K19	3.3V, 不可调	
15	FPGA_GPIO_17N_35	H20	3.3V, 不可调	
16	FPGA_GPIO_17P_35	J20	3.3V, 不可调	
17	FPGA_GPIO_22N_35	L15	3.3V, 不可调	
18	FPGA_GPIO_22P_35	L14	3.3V, 不可调	
19	FPGA_GPIO_11N_35	L17	3.3V, 不可调	
20	FPGA_GPIO_8N_35	M19	3.3V, 不可调	
21	FPGA_GPIO_9N_35	L20	3.3V, 不可调	
22	FPGA_GPIO_9P_35	L19	3.3V, 不可调	
23	FPGA_GPIO_21N_35	N16	3.3V, 不可调	
24	FPGA_GPIO_21P_35	N15	3.3V, 不可调	
25	FPGA_GPIO_23N_34	P18	默认 3.3V, 可调	
26	FPGA_GPIO_23P_34	N17	默认 3.3V, 可调	
27	FPGA_GPIO_20N_34	R18	默认 3.3V, 可调	
28	FPGA_GPIO_20P_34	T17	默认 3.3V, 可调	
29	VDD_3V3		电源	
30	GND		地	

31	FPGA_GPIO_21N_34	V18	默认 3.3V, 可调	
32	FPGA_GPIO_21P_34	V17	默认 3.3V, 可调	
33	FPGA_GPIO_22N_34	W19	默认 3.3V, 可调	
34	FPGA_GPIO_22P_34	W18	默认 3.3V, 可调	
35	FPGA_GPIO_18N_34	W16	默认 3.3V, 可调	
36	FPGA_GPIO_18P_34	V16	默认 3.3V, 可调	
37	FPGA_GPIO_19N_34	R17	默认 3.3V, 可调	
38	FPGA_GPIO_19P_34	R16	默认 3.3V, 可调	
39	FPGA_GPIO_24N_34	P16	默认 3.3V, 可调	
40	FPGA_GPIO_24P_34	P15	默认 3.3V, 可调	

## 2.6.4 FPC 扩展口

MicroZus 提供 1 组 40Pin FPC 扩展口, FPC 接口仅支持 MicroZus-20 版本。位号为 JM3。40Pin FPC 接口中提供了 24 个 IOs, 4 路 3.3V, 12 路地。JM3 的 IO 在 PCB 设计上使用了差分等走线, 阻抗为 100 欧姆, 用户可以来做高速 IO 接口使用。FPC 扩展 IO 的信号分配在 ZYNQ PL bank13 的 IOs 上。

JM3 的 IO 的电压全部可调, 调整 IO 电压的方法可以参考 2.6.5 扩展口的 IO 电压调整。

**Table 2-11 FPC JM3 管脚分配**

Pin Num.	信号名	ZYNQ 管脚	I/O 标准	备注
1	GND		地	
2	A_DATA_P3	T5	默认 3.3V, 可调	
3	A_DATA_N3	U5	默认 3.3V, 可调	
4	GND		地	
5	A_DATA_P2	V6	默认 3.3V, 可调	
6	A_DATA_N2	W6	默认 3.3V, 可调	
7	GND		地	
8	A_CLK_P	Y9	默认 3.3V, 可调	
9	A_CLK_N	Y8	默认 3.3V, 可调	
10	GND		地	
11	A_DATA_P1	V8	默认 3.3V, 可调	



12	A_DATA_N1	W8	默认 3.3V, 可调	
13	GND		地	
14	A_DATA_P0	W10	默认 3.3V, 可调	
15	A_DATA_N0	W9	默认 3.3V, 可调	
16	GND		地	
17	VDD_3V3		电源	
18	VDD_3V3		电源	
19	FPGA_GPIO_21P_13	V11	默认 3.3V, 可调	
20	FPGA_GPIO_21N_13	V10	默认 3.3V, 可调	
21	GND		地	
22	B_DATA_P3	Y7	默认 3.3V, 可调	
23	B_DATA_N3	Y6	默认 3.3V, 可调	
24	GND		地	
25	B_DATA_P2	T9	默认 3.3V, 可调	
26	B_DATA_N2	U10	默认 3.3V, 可调	
27	GND		地	
28	B_CLK_P	Y9	默认 3.3V, 可调	
29	B_CLK_N	Y8	默认 3.3V, 可调	
30	GND		地	
31	B_DATA_P1	W11	默认 3.3V, 可调	
32	B_DATA_N1	Y11	默认 3.3V, 可调	
33	GND		地	
34	B_DATA_P0	U9	默认 3.3V, 可调	
35	B_DATA_N0	U8	默认 3.3V, 可调	
36	GND		地	
37	VDD_3V3		电源	
38	VDD_3V3		电源	
39	FPGA_GPIO_22P_13	Y12	默认 3.3V, 可调	
40	FPGA_GPIO_22N_13	Y13	默认 3.3V, 可调	

## 2.6.5 扩展口的 IO 电压调整

MicroZus 板上 ZYNQ 芯片的 Bank34, Bank13 的 IO 电压可以调整, 用户可以根据自己的应用, 来做修改。Bank34, Bank13 的 VCCIO 电压可通过使用 0402 0R 电阻贴装 R172, R173, R174 中其中一个 (注: **R172,R173,R174 只能贴一个**) 来调整, 可以改变 IO 电压电平。

Figure 2-11 Bank34/13 VCCIO 电压调整办法

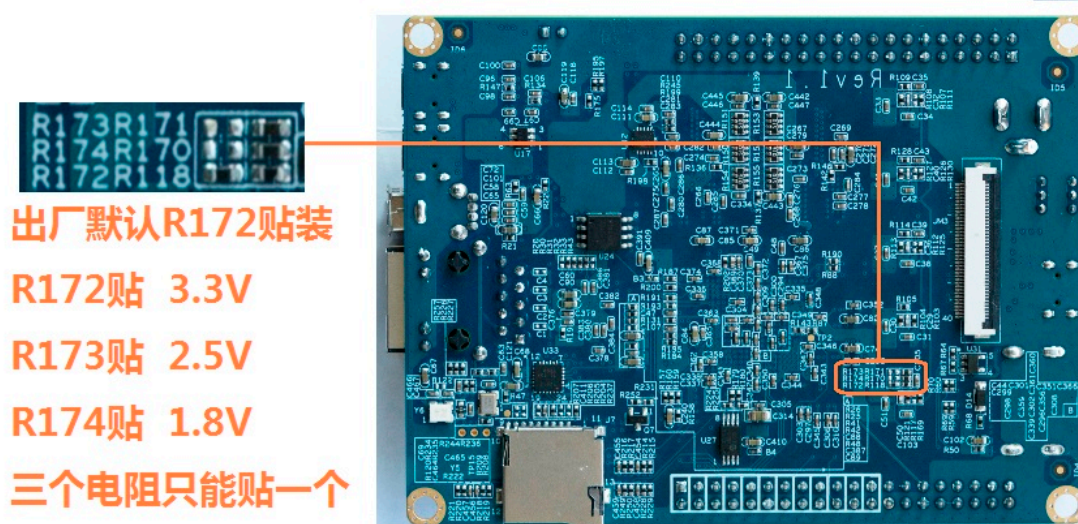


Table 2-12 VCCIO 电压调整

电阻贴装	Bank34 电压, BANK13 电压	IO 电压
仅 R172 0R 贴装	3.3V	3.3V(默认状态)
仅 R173 0R 贴装	2.5V	2.5V
仅 R174 0R 贴装	1.8V	1.8V
更改 R118 电阻值, R172 0R 贴装	$0.6 \cdot (1 + R118 / 10k)$	$0.6 \cdot (1 + R118 / 10k)$

## 2.6.6 EEPROM

MicroZus 开发板上配有一片 I2C 接口 4Kb 容量 EEPROM 芯片, 由于 I2C 接口的简洁通用性, 应用非常方便与广泛, 它一般用来存储如 Firmware 等版本信息, IP 地址等描述性信息。EEPROM 的信号分配在 ZYNQ PL bank35 的 IOs 上。

Figure 2-12 PL EEPROM 原理示意图

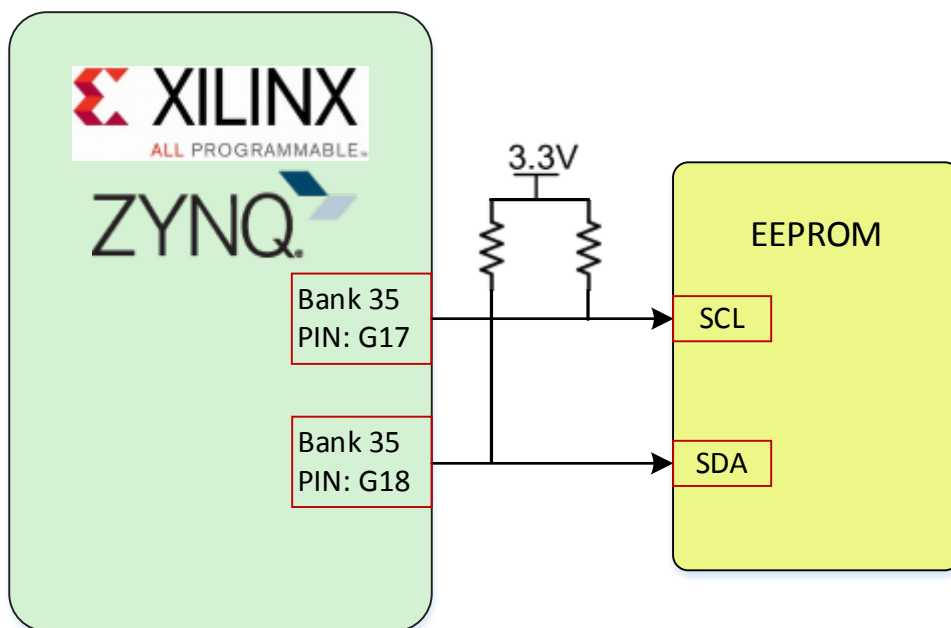


Table 2-13 EEPROM 的管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
FPGA_I2C_SCL	G17	I2C 时钟信号	3.3V
FPGA_I2C_SDA	G18	I2C 时钟数据	3.3V

## 2.6.7 Bluetooth

MicroZus 提供 Wi-Fi&BLE 无线通信功能，Wi-Fi 和 BLE 集成到一个无线模块，Wi-Fi 的接口与 ZYNQ 的 PS 侧是 MIO 相连接，BLE 的接口与 ZYNQ 的 PL 侧的 IO 相连接。Wi-Fi 的部分可以参照章节 2.7.6。BLE 的信号分配在 ZYNQ PL bank35 的 IOs 上。

Figure 2-13 BLE 与 PL 连接示意图

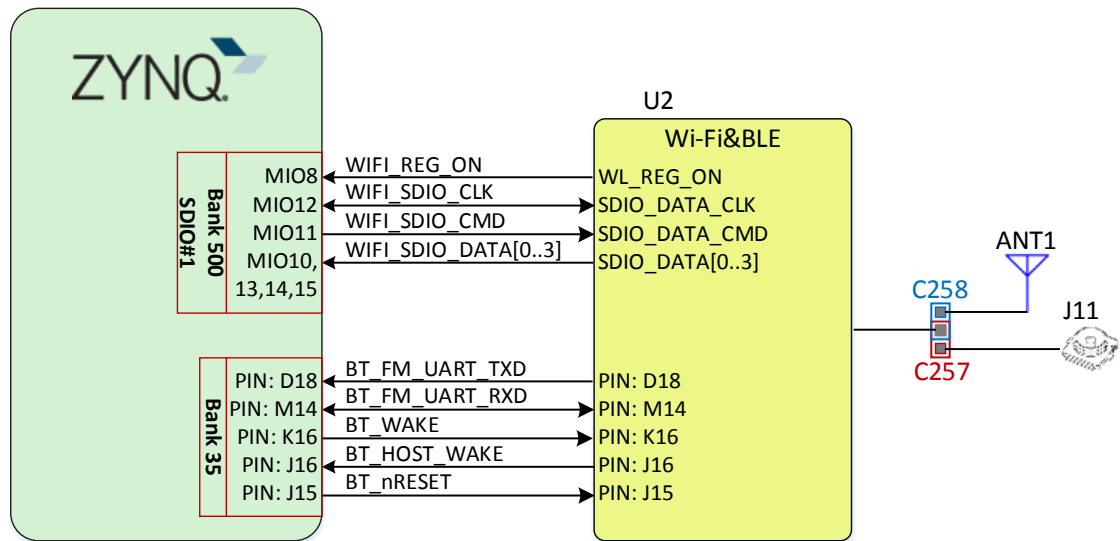


Table 2-14 BLE 的管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
BT_WAKE	K16	主机唤醒蓝牙信号	3.3V
BT_HOST_WAKE	J16	蓝牙唤醒主机信号	3.3V
BT_nRESET	J15	蓝牙 Reset 信号	3.3V
BT_FM_UART_TXD	D18	蓝牙 UART 发送信号	3.3V
BT_FM_UART_RXD	M14	蓝牙 UART 接受信号	3.3V

## 2.6.8 HDMI 接口

MicroZus 提供了一个高清 HDMI 的视频接口（J21），HDMI 接口为 Type-A 型，用户可以把它用作 HDMI 输出，也可以作为 HDMI 输入。其差分时钟和数据直接接到 ZYNQ 的 PL 侧的 IO 口上。HDMI 采用和 DVI 相同的传输原理，即 TMDS 标准，ZYNQ 中 PL 侧的 IO 结构是支持 TMDS，可以用 FPGA 直接驱动 HDMI 信号或接受 HDMI 信号。同时，HDMI 的信号是可以支持 DVI 信号，用户可以用一个 HDMI 转 DVI 的适配器，无需修改程序，可以支持 DVI 接口的显示器。

HDMI 有 19 个引脚，包含了三对差分数据信号，一对差分时钟信号，五个地脚，一线制 CEC 信号总线，两线制的 DDC 信号总线，还包含 I2C 总线，一个热插拔监测 HPD 信号，5V 电源以及一个保留引脚。HDMI 的信号全部连接 Bank35 上。

Figure 2-14 HDMI 接口示意图

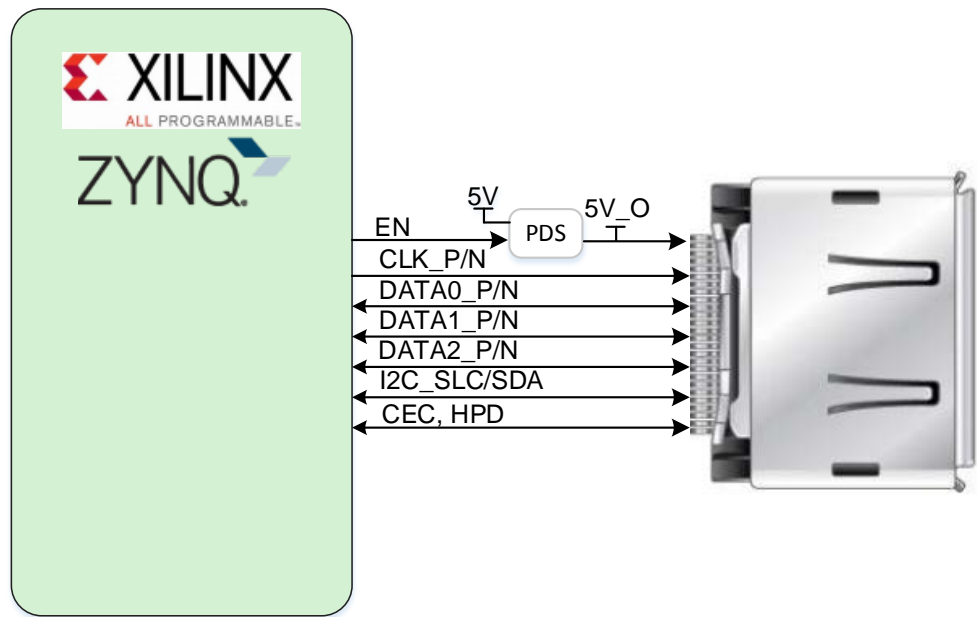


Table 2-15 HDMI 的管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
HDMI_DATA0_N	D20	HDMI 输入/输出数据 0	3.3V
HDMI_DATA0_P	D19		3.3V
HDMI_DATA1_N	B20	HDMI 输入/数据 1	3.3V
HDMI_DATA1_P	C20		3.3V
HDMI_DATA2_N	A20	HDMI 输入/数据 2	3.3V
HDMI_DATA2_P	B19		3.3V
HDMI_CLK_N	H17	HDMI 时钟	3.3V
HDMI_CLK_P	H16		3.3V
FPGA_I2C_SCL	G17	HDMI I2C 数据信号	3.3V
FPGA_I2C_SDA	G18	HDMI I2C 时钟信号	3.3V
HDMI_HPD	E18	热插拔监测 HPD 信号	3.3V
HDMI_CEC	E19	HDMI CEC 信号	3.3V
HDMI_OUT_EN	F17	HDMI 电源输出信号	3.3V

## 2.7 PS 端的接口

### 2.7.1 用户按键

MicroZus 在 ZYNQ 的 PS 侧提供了两个用户按键（K5~K6），按键默认状态是上拉状态，即没有按下按键时，对应的 FPGA 芯片管脚输入信号为高电平；当按键按下后，对应的 FPGA 的管脚输入信号为低电平。

Figure 2-15 PS key 原理示意图

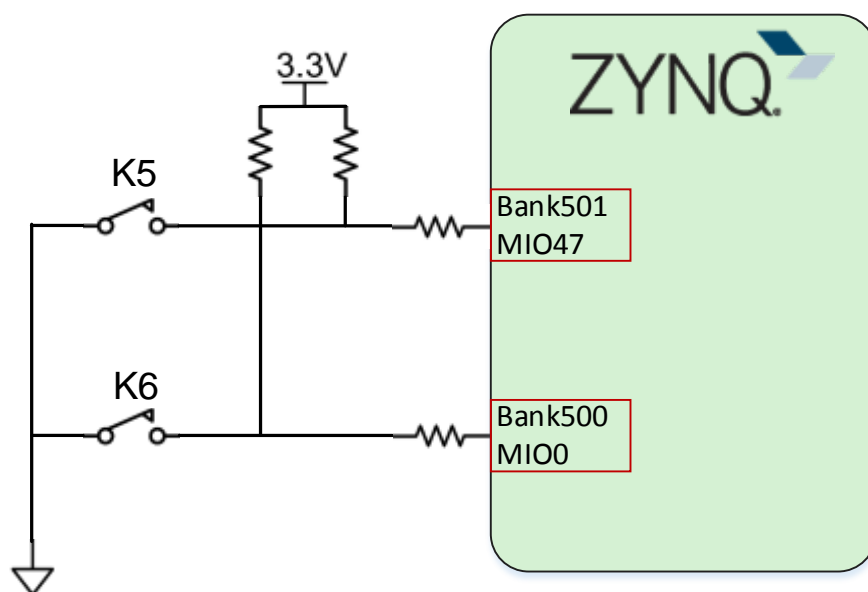


Table 2-16 PS 按键管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PS_SW1	MIO47	K5，默认高电平输入状态	1.8V
PS_SW2	MIO0	K6，默认高电平输入状态	3.3V

### 2.7.2 用户 LED

MicroZus 在 FPGA 侧连接了两个 LED 发光二极管（D8~D11），当 FPGA 对应的管脚输出高电平时，LED 会发亮；输出低电平时，LED 会熄灭。

Figure 2-16 PS LED 原理示意图

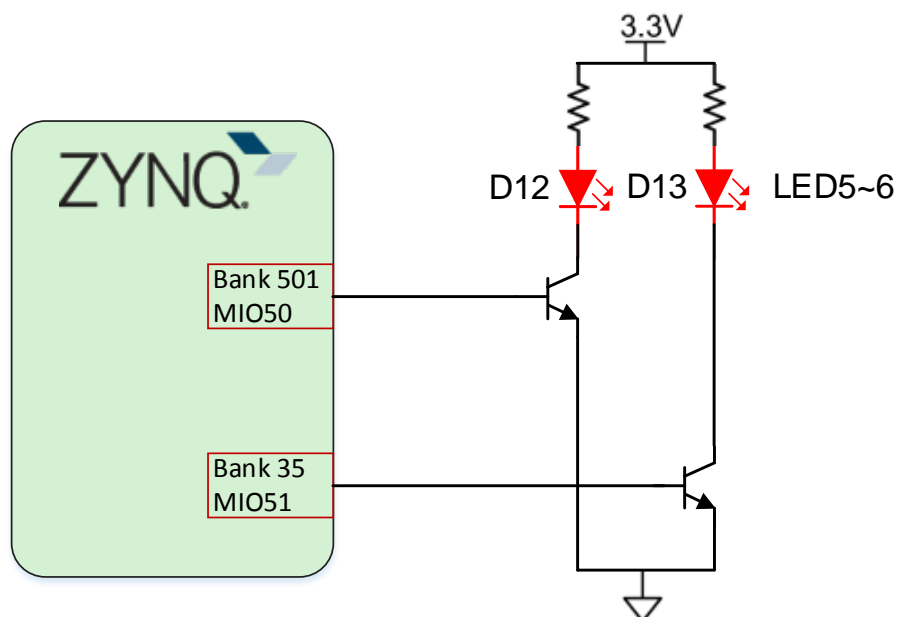


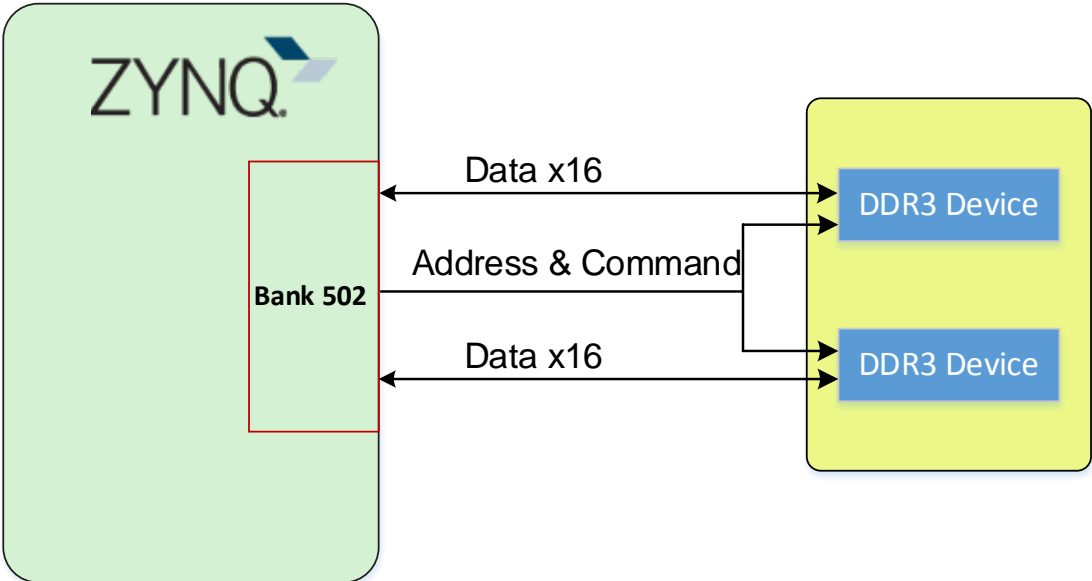
Table 2-17 PS LED 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PS_LED1	MIO50	高电平输出，LED 亮；低电平输出，LED 灭	3.3V
PS_LED2	MIO51	高电平输出，LED 亮；低电平输出，LED 灭	3.3V

### 2.7.3 DDR3 SDRAM

MicroZus 开发板上配有了两片 DDR3 芯片颗粒，单片颗粒数据位宽 16Bit，两片组成 32Bit 数据位宽。DDR3 芯片直接连接到 ZYNQ PS 的硬核控制器上，DDR 控制器使用专用 IO，这些 IO 分布在 Bank502 上，其速度最高可达 533 MHz/1066 Mbps。

Figure 2-17 PS 与 DDR3 连接示意图



在 MicroZus-10 和 MicroZus-20 板上，分别使用不同的芯片颗粒，其板卡类型与 DDR 芯片关系如下表描述：

Table 2-18 板卡上 DDR3 型号描述

板卡型号	芯片型号	描述
MicroZus-10	H5TQ2G63FFR-RDC	单片 256MB，共 512MB(4Gbit)，32 位
MicroZus-20	H5TQ4G63CFR-RDC	单片 512MB，共 1GB(4Gbit)，32 位

Table 2-19 DDR 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PS_DDR3_A0	N2	PS DDR3 Address[0]	SSTL-15 Class I
PS_DDR3_A1	K2	PS DDR3 Address[1]	SSTL-15 Class I
PS_DDR3_A2	M3	PS DDR3 Address[2]	SSTL-15 Class I
PS_DDR3_A3	K3	PS DDR3 Address[3]	SSTL-15 Class I
PS_DDR3_A4	M4	PS DDR3 Address[4]	SSTL-15 Class I
PS_DDR3_A5	L1	PS DDR3 Address[5]	SSTL-15 Class I
PS_DDR3_A6	L4	PS DDR3 Address[6]	SSTL-15 Class I
PS_DDR3_A7	K4	PS DDR3 Address[7]	SSTL-15 Class I
PS_DDR3_A8	K1	PS DDR3 Address[8]	SSTL-15 Class I
PS_DDR3_A9	J4	PS DDR3 Address[9]	SSTL-15 Class I
PS_DDR3_A10	F5	PS DDR3 Address[10]	SSTL-15 Class I



PS_DDR3_A11	G4	PS DDR3 Address[11]	SSTL-15 Class I
PS_DDR3_A12	E4	PS DDR3 Address[12]	SSTL-15 Class I
PS_DDR3_A13	D4	PS DDR3 Address[13]	SSTL-15 Class I
PS_DDR3_A14	F4	PS DDR3 Address[14]	SSTL-15 Class I
PS_DDR3_BA0	L5	PS DDR3 Bank Address[0]	SSTL-15 Class I
PS_DDR3_BA1	R4	PS DDR3 Bank Address[1]	SSTL-15 Class I
PS_DDR3_BA2	J5	PS DDR3 Bank Address[2]	SSTL-15 Class I
PS_DDR3_nCS	N1	PS DDR3 Chip Select	SSTL-15 Class I
PS_DDR3_CKE	N3	PS DDR3 Clock Enable	SSTL-15 Class I
PS_DDR3_CLK_P	J7	HPS DDR3 Clock p	Differential 1.5V SSTL Class I
PS_DDR3_CLK_N	K7	HPS DDR3 Clock n	Differential 1.5V SSTL Class I
PS_DDR3_nWE	M5	PS DDR3 Write Enable	SSTL-15 Class I
PS_DDR3_nRAS	P4	DDR3 Row Address Strobe	SSTL-15 Class I
PS_DDR3_nCAS	P5	DDR3 Column Address Strobe	SSTL-15 Class I
PS_DDR3_DM0	A1	PS DDR3 Data Mask[0]	SSTL-15 Class I
PS_DDR3_DM1	F1	PS DDR3 Data Mask[1]	SSTL-15 Class I
PS_DDR3_DM2	T1	PS DDR3 Data Mask[2]	SSTL-15 Class I
PS_DDR3_DM3	Y1	PS DDR3 Data Mask[3]	SSTL-15 Class I
PS_DDR3_ODT	N5	PS DDR3 On-die Termination	SSTL-15 Class I
PS_DDR3_nRESET	B4	PS DDR3 Reset	SSTL-15 Class I
PS_DDR3_DQ0	C3	PS DDR3 Data[0]	SSTL-15 Class I
PS_DDR3_DQ1	B3	PS DDR3 Data[1]	SSTL-15 Class I
PS_DDR3_DQ2	A2	PS DDR3 Data[2]	SSTL-15 Class I
PS_DDR3_DQ3	A4	PS DDR3 Data[3]	SSTL-15 Class I
PS_DDR3_DQ4	D3	PS DDR3 Data[4]	SSTL-15 Class I
PS_DDR3_DQ5	D1	PS DDR3 Data[5]	SSTL-15 Class I
PS_DDR3_DQ6	C1	PS DDR3 Data[6]	SSTL-15 Class I
PS_DDR3_DQ7	E1	PS DDR3 Data[7]	SSTL-15 Class I
PS_DDR3_DQ8	E2	PS DDR3 Data[8]	SSTL-15 Class I
PS_DDR3_DQ9	E3	PS DDR3 Data[9]	SSTL-15 Class I
PS_DDR3_DQ10	G3	PS DDR3 Data[10]	SSTL-15 Class I
PS_DDR3_DQ11	H3	PS DDR3 Data[11]	SSTL-15 Class I
PS_DDR3_DQ12	J3	PS DDR3 Data[12]	SSTL-15 Class I
PS_DDR3_DQ13	H2	PS DDR3 Data[13]	SSTL-15 Class I

PS_DDR3_DQ14	H1	PS DDR3 Data[14]	SSTL-15 Class I
PS_DDR3_DQ15	J1	PS DDR3 Data[15]	SSTL-15 Class I
PS_DDR3_DQ16	P1	PS DDR3 Data[16]	SSTL-15 Class I
PS_DDR3_DQ17	P3	PS DDR3 Data[17]	SSTL-15 Class I
PS_DDR3_DQ18	R3	PS DDR3 Data[18]	SSTL-15 Class I
PS_DDR3_DQ19	R1	PS DDR3 Data[19]	SSTL-15 Class I
PS_DDR3_DQ20	T4	PS DDR3 Data[20]	SSTL-15 Class I
PS_DDR3_DQ21	U4	PS DDR3 Data[21]	SSTL-15 Class I
PS_DDR3_DQ22	U2	PS DDR3 Data[22]	SSTL-15 Class I
PS_DDR3_DQ23	U3	PS DDR3 Data[23]	SSTL-15 Class I
PS_DDR3_DQ24	V1	PS DDR3 Data[24]	SSTL-15 Class I
PS_DDR3_DQ25	Y3	PS DDR3 Data[25]	SSTL-15 Class I
PS_DDR3_DQ26	W1	PS DDR3 Data[26]	SSTL-15 Class I
PS_DDR3_DQ27	Y4	PS DDR3 Data[27]	SSTL-15 Class I
PS_DDR3_DQ28	Y2	PS DDR3 Data[28]	SSTL-15 Class I
PS_DDR3_DQ29	W3	PS DDR3 Data[29]	SSTL-15 Class I
PS_DDR3_DQ30	V2	PS DDR3 Data[30]	SSTL-15 Class I
PS_DDR3_DQ31	V3	PS DDR3 Data[31]	SSTL-15 Class I
PS_DDR3_DQS_P0	C2	DDR3 Data Strobe P[0]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_N0	B2	DDR3 Data Strobe N[0]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_P1	G2	DDR3 Data Strobe P[1]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_N1	F2	DDR3 Data Strobe N[1]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_P2	R2	DDR3 Data Strobe P[2]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_N2	T2	DDR3 Data Strobe N[2]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_P3	W5	DDR3 Data Strobe P[3]	Differential 1.5V SSTL Class I
PS_DDR3_DQS_N3	W4	DDR3 Data Strobe N[3]	Differential 1.5V SSTL Class I

## 2.7.4 QSPI

MicroZus 上提供了一个 256Mbit 的 QSPI 的 Nor Flash，型号 W25Q256。Flash 可以用于非易失的程序和数据，比如存储 PS 的系统的镜像文件以及 PL 的配置程序。

QSPI Flash 的相关特性和参数如下：

- 32MByte
- 支持 x1, x2, x4 模式

- 速度最高可达 104MHz，支持 ZYNQ 快速配置速度@100MHz，在 Quad SPI 模式下，数据吞吐量为 400Mbps
  - 工作电压 3.3V
- QSPI 连接到 ZYNQ PS 的 Quad SPI 0 接口上，其接口分配在 Bank500 MIO[1~6]上，

Figure 2-18 PS 端的 QSPI 原理示意图

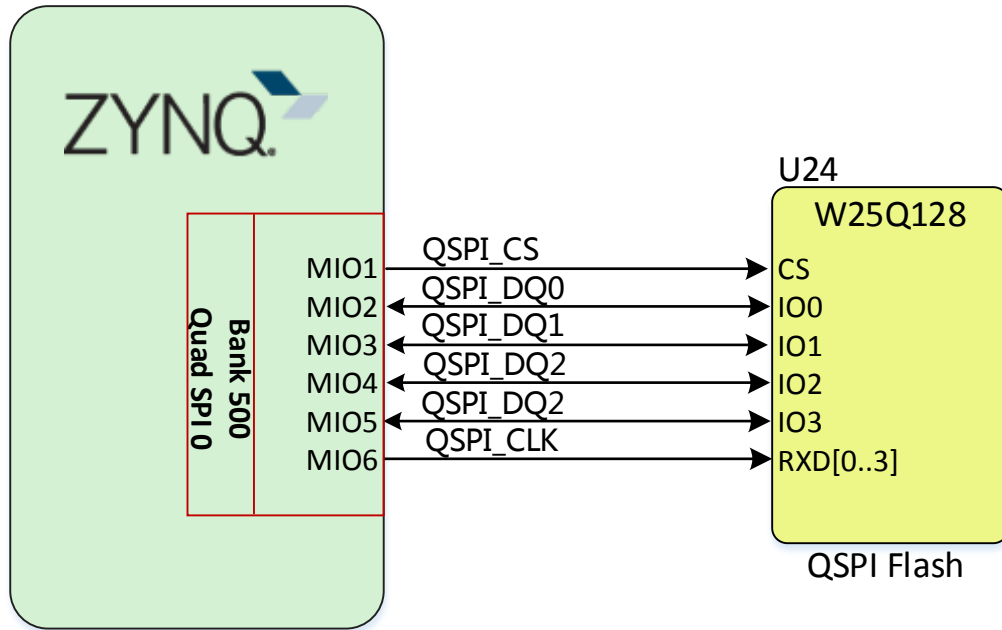


Table 2-20 QSPI 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
QSPI_CS	MIO1	QSPI 片选型号	3.3V
QSPI_DQ0	MIO2	QSPI 数据位 0	3.3V
QSPI_DQ1	MIO3	QSPI 数据位 1	3.3V
QSPI_DQ2	MIO4	QSPI 数据位 2	3.3V
QSPI_DQ3	MIO5	QSPI 数据位 3	3.3V
QSPI_CLK	MIO6	QSPI 时钟信号	3.3V

## 2.7.5 千兆以太网

MicroZus 板上提供一个千兆以太网传输接口，Zynq-7000 SoC 的 PS 部分包含了两个千兆以太网 MAC 层硬件控制器，与 PS MAC 相连的物理层传输芯片采用的是 Realtek RTL8211E-VL。本板使用 PS ethernet0 的接口分配在 Bank501 MIO[16~27]，MDC 和 MDIO 分配到 MIO[52,53]。

RTL8211 和 PS 连接关系的如下表所示：

Figure 2-19 PS 端的以太网原理图示意图

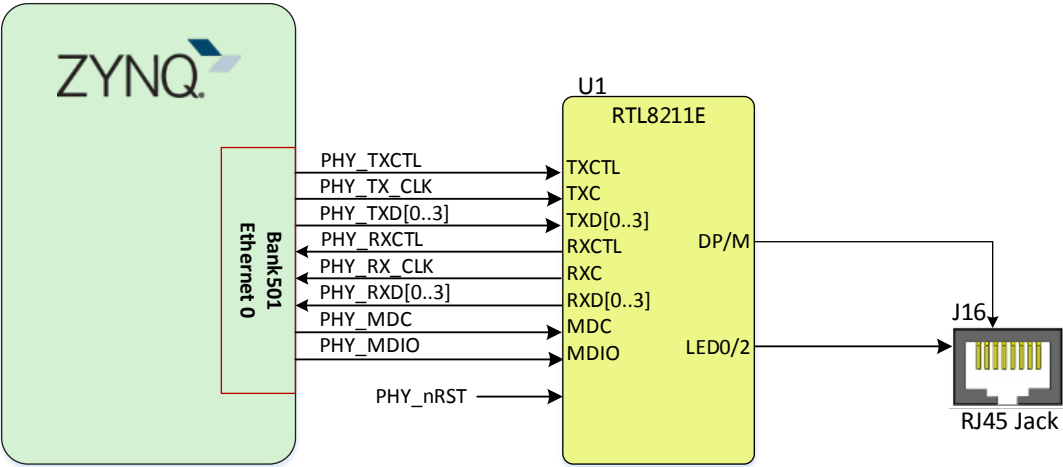


Table 2-21 以太网管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PHY_TX_CLK	MIO16	RGMII 和 MII 发送时钟	1.8V
PHY_TXD0	MIO17	RGMII 和 MII 发送数据位 0	1.8V
PHY_TXD1	MIO18	RGMII 和 MII 发送数据位 1	1.8V
PHY_TXD2	MIO19	RGMII 和 MII 发送数据位 2	1.8V
PHY_TXD3	MIO20	RGMII 和 MII 发送数据位 3	1.8V
PHY_TXCTL	MIO21	RGMII 和 MII 发送使能	1.8V
PHY_RX_CLK	MIO22	RGMII 和 MII 接受时钟	1.8V
PHY_RXD0	MIO23	RGMII 和 MII 接受数据位 0	1.8V
PHY_RXD1	MIO24	RGMII 和 MII 接受数据位 1	1.8V
PHY_RXD2	MIO25	RGMII 和 MII 接受数据位 2	1.8V
PHY_RXD3	MIO26	RGMII 和 MII 接受数据位 3	1.8V
PHY_RXCTL	MIO27	RGMII 和 MII 接受使能	1.8V
PHY_MDC	MIO52	管理数据参考时钟	1.8V
PHY_MDIO	MIO53	管理数据	1.8V

2.7.6 无线模块（Wi-Fi&BLE）

MicroZus 提供了 Wi-Fi&BLE 无线通信，Wi-Fi 接到 ZYNQ PS 的 SD/SDIO 1 接口上，BLE 接到 ZYNQ PL Bank35 IO 上，BLE 的部分请参考章节 2.6.7，无线模块支持：

- Wi-Fi 802.11b/g/n
- Bluetooth V4.0

板卡上提供两种天线，一种是陶瓷天线，一种是 IPEX 天线，默认使用陶瓷天线，用户可以通过焊接电容 C258,C257 来选择何种天线。

ZYNQ 与无线模块接口

- 6 个 Wi-Fi 的 SDIO 信号全部连接到 ZYNQ
- 2 个 BLE 的 UART 信号连到 ZYNQ
- 5 个控制信号连接到 ZYNQ  
WIFI\_HOST\_WAKE  
WIFI\_REG\_ON  
BT\_WAKE  
BT\_HOST\_WAKE  
BT\_Nreset
- PCM 接口没有连接，PCM 主要用来做蓝牙语音传输。

Figure 2-20 Wi-Fi & BLE 原理示意图

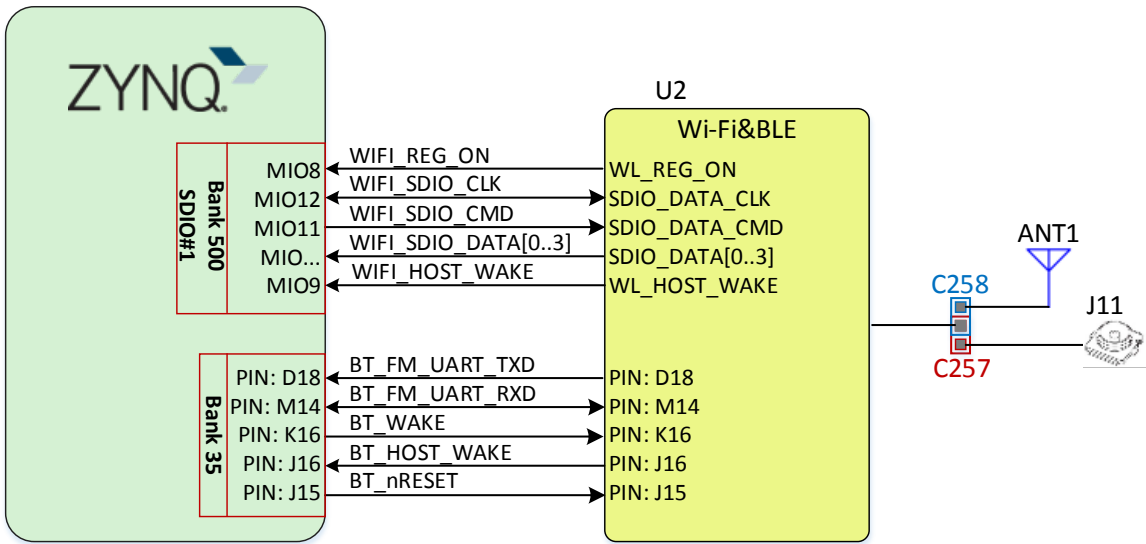


Table 2-22 Wi-Fi 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
WIFI_REG_ON	MIO8	Wi-Fi 稳压器输出使能	3.3V
WIFI_HOST_WAKE	MIO9	Wi-Fi 唤醒主机信号	3.3V
WIFI_SDIO_DATA0	MIO10	Wi-Fi SDIO Data[0]	3.3V
WIFI_SDIO_CMD	MIO11	Wi-Fi SDIO 命令信号	3.3V

WIFI_SDIO_CLK	MIO12	Wi-Fi SDIO 时钟信号	3.3V
WIFI_SDIO_DATA1	MIO13	Wi-Fi SDIO Data[1]	3.3V
WIFI_SDIO_DATA2	MIO14	Wi-Fi SDIO Data[2]	3.3V
WIFI_SDIO_DATA3	MIO15	Wi-Fi SDIO Data[3]	3.3V

2.7.7 USB OTG 2.0

MicroZus 在 PS 的 USB0 接口上连接一个带 8 位 ULPI 接口的 USB 2.0 收发器，芯片使用的是 SMSC USB3320。PS 的 USB0 接口分配到 Bank501 MIO[28-39]，一个 USB Reset 信号分配到 Bank501 MIO46。

USB 收发器定义成 OTG 模式，可以工作在 Host 和 Slave 两种模式，当工作在 Host 模式，USB 需要向 USB 设备提供 5V 电源到 USB 接口上，用户可以通过开发板上 USB-TypeA（J22）接口来接外设，此时需要把跳线帽 J24 短接来实现对外部从设备提供电源；当工作在 Slave 模式，可以通过开发板上 USB-micro（J18）接口来连接外部主设备，此时需要把 J24 断开。

Figure 2-21 USB OTG 原理示意图

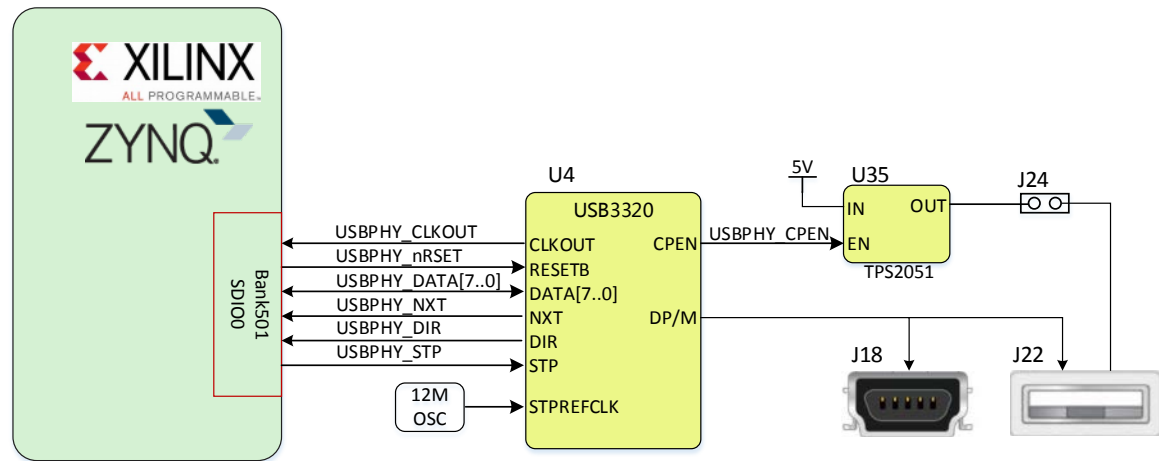


Table 2-23 USB OTG 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
USBPHY_DATA4	MIO28	USB_DATA[4]	1.8V
USBPHY_DIR	MIO29	USB Data 方向	1.8V
USBPHY_STP	MIO30	USB 停止方向	1.8V
USBPHY_NXT	MIO31	USB 下一个数据信号	1.8V
USBPHY_DATA0	MIO32	USB_DATA[0]	1.8V
USBPHY_DATA1	MIO33	USB_DATA[1]	1.8V

USBPHY_DATA2	MIO34	USB_DATA[2]	1.8V
USBPHY_DATA3	MIO35	USB_DATA[3]	1.8V
USBPHY_CLK	MIO36	USB 时钟信号	1.8V
USBPHY_DATA5	MIO37	USB_DATA[5]	1.8V
USBPHY_DATA6	MIO38	USB_DATA[6]	1.8V
USBPHY_DATA7	MIO39	USB_DATA[7]	1.8V
SBPHY_RESETN	MIO46	USB 复位信号	1.8V

2.7.8 USB 转 UART

MicroZus 在 PS 的 UART1 接口上连接了一个 USB-to-UART 通信接口，使用的是 Silicon Labs CP2102 的 USB 转 UART 芯片，USB 接口采用 Micro USB 接口，用户可以用一根 Micro USB 数据线连接到 PC 上实现通信。PS 的 UART1 接口分配到 Bank501 MIO[48-49]。

USB-UART 的数字 IO 电压是 3.3V 接口，PS 的 Bank501 的 IO 电压是 1.8V，因此在 USB-UART 芯片与 ZYNQ 之间需要加一个 TXS0102 电平转换芯片。

Figure 2-22 USB-UART 原理图示意图

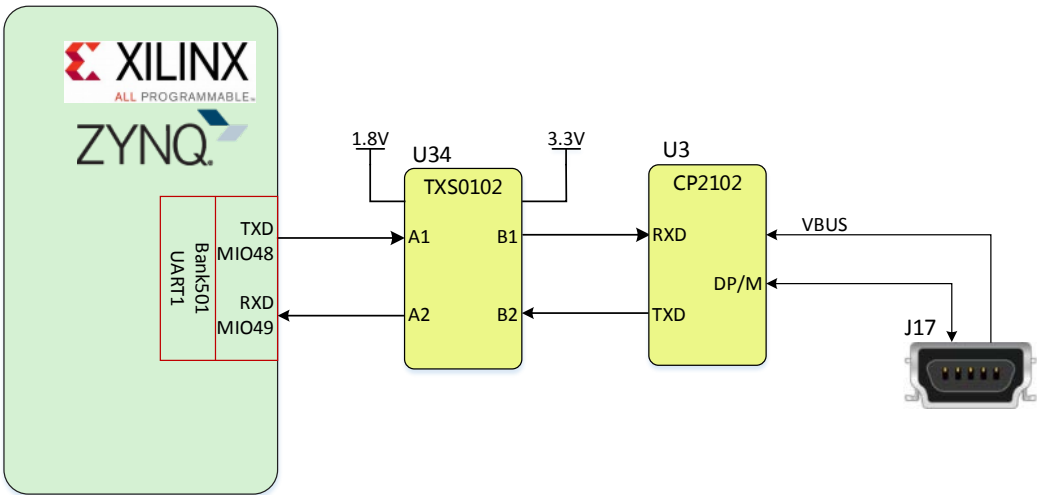


Table 2-24 UART 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PS_UART_TX	MIO48	Uart1 数据发	1.8V
PS_UART_RX	MIO49	Uart1 数据收	1.8V

2.7.9 MicroSD 卡槽

Micro SD 卡连接到 ZYNQ SP 的 SD/SDIO 接口上，Micro SD 卡可以用于存储 Zynq 芯片的启动程序，以及 Linux 系统以及用户数据。PS 的 SD0 接口分配到 Bank501 MIO[40-45]。

Micro SD Card 的 IO 电压是 3.3V 接口，PS 的 Bank501 的 IO 电压是 1.8V，因此在 SD 卡与 ZYNQ 之间需要加一个 TXS02612 电平转换芯片。

Figure 2-23 Micro SD 原理示意图

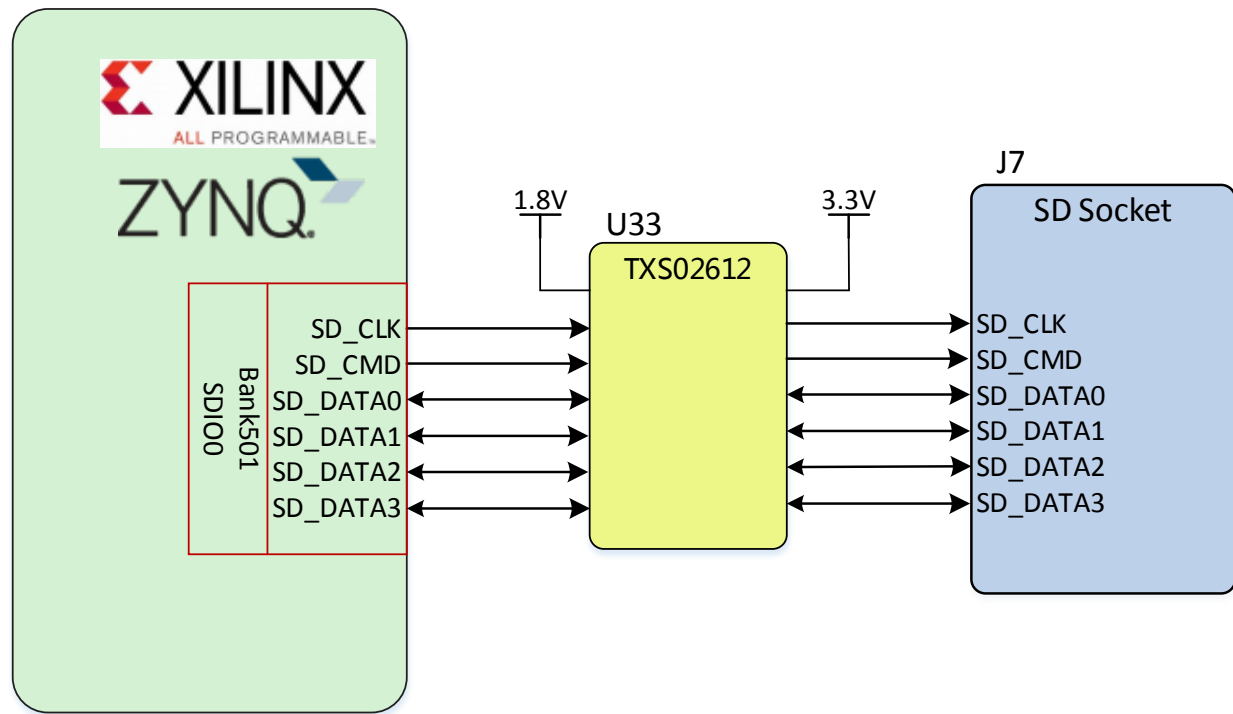


Table 2-25 MicroSD 管脚分配

信号名	ZYNQ 管脚	描述	I/O 标准
PS_SD_CLK	MIO40	SD 时钟信号	1.8V
PS_SD_CMD	MIO41	SD 命令信号	1.8V
PS_SD_DATA0	MIO42	SD DATA0	1.8V
PS_SD_DATA1	MIO43	SD DATA1	1.8V
PS_SD_DATA2	MIO44	SD DATA2	1.8V
PS_SD_DATA3	MIO45	SD DATA3	1.8V