# 任务目标：

由原来外部PLL生成的CLK改为使用AD9910内部的PLL。Ref\_clk由原来的1Ghz改为40Mhz。输出1000~200Mhz频率的波形。



# 方法：

对外部REF引入的CLK进行倍频。PLL\_ENABLE：CFR3[8]使能。将CFR3寄存器（26：24）配置为VCO5（101），则PLL输出时钟频率可控制在820~1150Mhz范围内。

# PLL说明：

PLL内部倍频系数支持12x~127x的范围。PLL输出的SYSCLK限制在420MHz~1Ghz的范围内，并且支持可编程的电荷泵电流来给PLL的。该电流配置由CFR3[26:24]来完成，Icp范围为：212~387mA。

## 寄存器说明

AD9910共有24个寄存器，分别为0x00~0x16，其中0x05和0x06没有使用，每个寄存器的深度不一样，其中单频调制模式有8个Profile0~Profile7，RAM模式有有8个Profile0~Profile8。这两种模式的切换根据RAM使能位来控制。

## 单频调制模式

利用三个外部Profile（Profile[0:2]）可以在sync\_clk下一个上上升沿输出所选Profile寄存器中的波形。AD9910共有8个Profile寄存器，每个Profile寄存器都可单独访问，改变Profile引脚状态会在sync\_clk下一个上升沿使用寄存器中的参数来更新DDS。由于本次设计中的Profile[0:2]引脚全部置0，所以寄存器选择不可控。

## 工作流程：

Before:

输出频率的码值计算：

Fout=(FTW/(2^32) ) \*Fsysclk

FTW=0~2^31-1。所以在输出频率可以生成由0~1/2Fsysclk频率。

FTW=2^32(fout/fsysclk)。

（1）.初始化DDS

对PWR\_DWN置低，关闭外部省电模式。对M\_RST\_DDS和IO\_RESET引脚置高，并读取寄存器CFR0~CFR3寄存器值与默认值对比，看是否初始化成功。并对CS位置低。

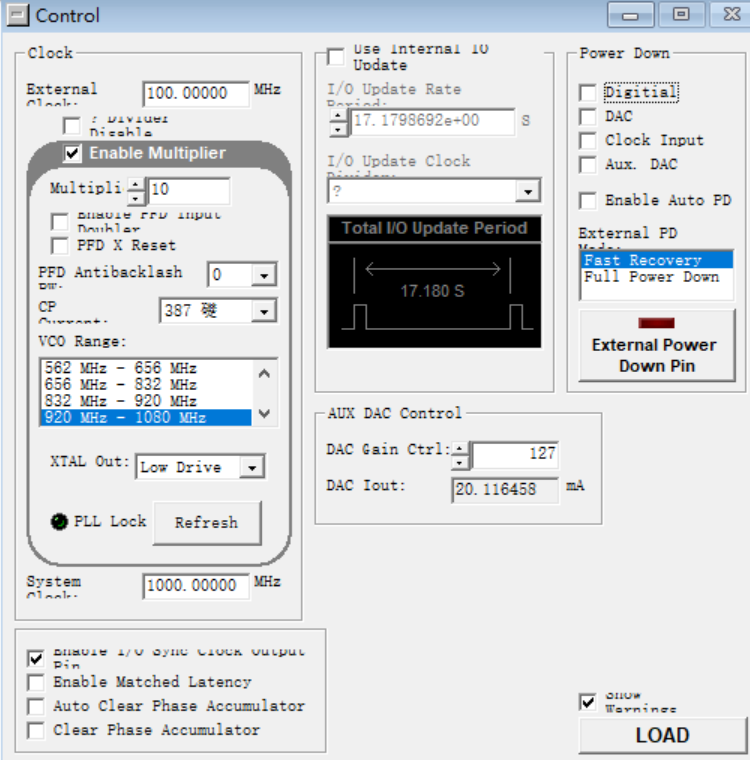
（2）配置DDS各内部寄存器并使能内部PLL将ref\_clk进行倍频。

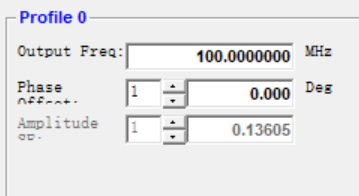
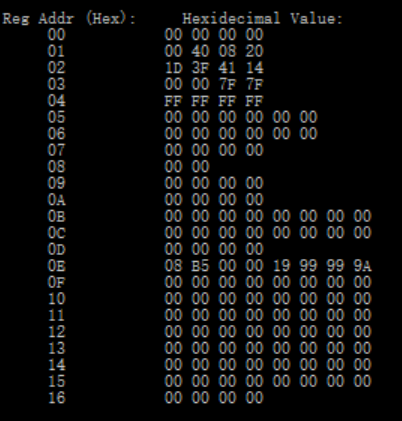
配置内部PLL功能，将PLL\_ENABLE：CFR3[8]置为1，FR3寄存器（26：24）配置为VCO5（101）。写入CFR0~CFR3寄存器的值。

（3）根据需要配置产生正弦频率的码值。写入PROFILE1寄存器的值。

（4）IO\_update。

使用AD9910 Evaluation software 对目前的所使用的寄存器进行自动配置，设置内部乘法器为10，系统时钟可配为1Ghz，生成100Mhz波形。



DDS引脚对应：

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | ZC706 PL端 | FMC(XD9300) | 连接器名称 |
| PLL\_LOCK | W29 | G27 | FMC\_LA21P |
| MASTER\_RESET | V27 | G24 | FMC\_LA22P |
| PWR\_DWN | T30 | H28 | FMC\_LA24P |
| IO\_UPDATE | T29 | G27 | FMC\_LA25P |
| SDIO | P30 | H31 | FMC\_LA28P |
| SDO | R25 | G30 | FMC\_LA29P |
| SCLK | P23 | H34 | FMC\_LA30P |
| CS | N29 | G33 | FMC\_LA31P |
| IO\_RESET | P21 | H37 | FMC\_LA32P |

# AGC控制

## 控制模式



ADL5205共有3种运行模式：并行，SPI以及步进式增益模式。PM引脚选择是低功耗还是高性能状态（p23），PWIUPA/PWUPB选择对A通道或B通道供电使能。

### 并行

并行模式使用6个增益控制及一个latch引脚，当latch引脚为低时，增益控制根据输入的多少来进行输出，当Latch引脚为高时，数据将会锁存在之前的状态，不会输出不会根据外部的输入而变化。

### SPI

SCLK使用20Mhz信号。

ADL5205采用三线SPI方式：SDIO，SCLK，~CSA，~CSB。该芯片的SPI寄存器为16bits register。





当SPI为写时，先将CS位拉低，随后的16个BITS数据会在SCLK上升沿依次传输。将bit7位至低，随后的几个位写入寄存器的内容中。写模式可以直接将CSA和CSB同时置低，可以将数据同时写入AB通道的寄存器中。

当SPI为读时，与写类似，将CS位拉底，随后的16个BITS数据会在SCLK上升沿依次传输。将bit7位至高，随后的位数将会回读到SDIO线中。输出的数据将会保持在SCLK的下降沿。



### 步进式（暂未开发）

