|  |
| --- |
|  |
| HAC4.0模拟量IO设备  固件设计方案 |
|  |
|  |
| 北京经纬恒润科技有限公司 |

|  |
| --- |
| **文件状态：**  [√] 草稿  [ ] 正式发布  [ ] 正在修改 |

|  |  |
| --- | --- |
| 编制：董冰 | 签名： 日期： |
| 审核： | 签名： 日期： |
| 批准： | 签名： 日期： |

|  |
| --- |
| **所 有 权 声 明** |
| 该文档及其所含信息是恒润科技的财产。该文档及其所含信息的复制、使用及披露必须得到恒润科技的书面授权。 |

**更改历史**

|  |  |  |  |
| --- | --- | --- | --- |
| **版本** | **更改描述** | **更改日期** | **更改人** |
| 0.1 | 创建 | 2018.7.30 | 董冰 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

**目 录**

[1 原始需求 1](#_Toc522716059)

[2 需求分析 1](#_Toc522716060)

[3 功能框架 2](#_Toc522716061)

[3.1 总体架构 2](#_Toc522716062)

[3.2 功能模块 3](#_Toc522716063)

[3.2.1 Aurora协议封装模块（Aurora IP） 3](#_Toc522716064)

[3.2.2 数据交换封装模块（Data Exchange IP） 3](#_Toc522716065)

[3.2.3 参数解码模块（Parameter Decode） 3](#_Toc522716066)

[3.2.4 DA数据处理模块（DA Data Processing） 3](#_Toc522716067)

[3.2.5 软核（MicroBlaze） 3](#_Toc522716068)

[3.2.6 AXI总线封装模块（AXI Wrapper） 4](#_Toc522716069)

[3.2.7 IIC驱动模块（IIC Driver） 4](#_Toc522716070)

[3.2.8 串口驱动模块（Uart Driver） 4](#_Toc522716071)

[3.2.9 AD数据处理模块(AD Data Processing) 4](#_Toc522716072)

[4 详细方案 4](#_Toc522716073)

[4.1 数据交换封装模块 4](#_Toc522716074)

[4.1.1 数据交换封装模块简介 4](#_Toc522716075)

[4.1.2 数据交换封装模块结构图 4](#_Toc522716076)

[4.1.3 数据交换封装模块接口定义表 4](#_Toc522716077)

[4.2 参数解码模块 6](#_Toc522716078)

[4.2.1 参数解码模块简介 6](#_Toc522716079)

[4.2.2 参数解码模块结构图 6](#_Toc522716080)

[4.2.3 参数解码模块接口定义表 6](#_Toc522716081)

[4.3 DA数据处理模块 7](#_Toc522716082)

[4.3.1 DA数据处理模块简介 7](#_Toc522716083)

[4.3.2 DA数据处理模块结构图 8](#_Toc522716084)

[4.3.3 DA数据处理模块接口定义表 8](#_Toc522716085)

[4.4 软核 9](#_Toc522716086)

[4.4.1 软核模块功能简介 9](#_Toc522716087)

[4.4.2 软核模块程序框图 10](#_Toc522716088)

[4.5 AXI总线封装模块 10](#_Toc522716089)

[4.5.1 AXI总线封装模块简介 10](#_Toc522716090)

[4.6 EEPROM驱动模块 10](#_Toc522716091)

[4.6.1 EEPROM驱动模块简介 10](#_Toc522716092)

[4.6.2 板卡通道校准参数格式 12](#_Toc522716093)

[4.6.3 板卡唯一标识号格式 12](#_Toc522716094)

[4.6.4 板卡类型信息格式 12](#_Toc522716095)

[4.6.5 板卡烧写时间信息 13](#_Toc522716096)

[4.7 LCD驱动模块 13](#_Toc522716097)

[4.7.1 LCD驱动模块简介 13](#_Toc522716098)

[4.7.2 LCD驱动模块结构图 13](#_Toc522716099)

[4.7.3 LCD驱动模块布局显示示意图 13](#_Toc522716100)

[4.8 AD数据处理模块 14](#_Toc522716101)

[4.8.1 AD数据处理模块简介 14](#_Toc522716102)

[4.8.2 AD数据处理模块结构图 14](#_Toc522716103)

[4.8.3 AD数据处理模块接口定义表 14](#_Toc522716104)

# 原始需求

1. Aurora数据交互功能：用于GTX通道的数据发送和接收;
2. 模拟量IO数据交互功能：用于与模型FPGA的数据交互，IO资源设备信息，启动停止控制信息等；
3. 模拟量输出转换：把浮点数转换成DAC芯片的电压CODE值；
4. 模拟量输入转换：把ADC芯片的电压CODE值转换成浮点数；
5. 模拟量输出驱动：用于驱动DAC芯片；
6. 模拟量输入驱动：用于驱动ADC芯片；
7. EEPROM读写驱动：用于驱动EEPROM芯片；
8. Aurora数据交互的延迟时间小于500ns；
9. 嵌入式部分要求1：具有LCD控制功能；
10. 嵌入式部分要求2：具有DAC和ADC通道校准功能；
11. 嵌入式部分要求3：具有通道观测功能；

# 需求分析

1. 根据数据交换IP接口部分需求，在ADC子板和DAC子板全部初始化配置完成可以正常工作后，向核心板发送model\_start模型开始信号。
2. 在数据交换IP模块工作过程中，会将运行仿真模型的ID、主机的IP地址、模型运行状态等信息挂载到GTX封装IP的特定端口上，IO主板需要根据端口上的数据将上位机板卡ID、主机IP地址和模型运行状态信息通过LCD显示屏显示出来。
3. IO主板能够根据插入的子板输出的设备标志信号判断硬件连接状态并将设备插入状态信息通过4个\*4位的寄存器上传到数据交换IP对应端口，与此同时设备的连接状态信息会通过LCD屏幕显示出来。一旦IO主板上的设备发生变化，板卡就会立即更新设备状态寄存器的值。同时IO主板会将自身设备种类信息通过16位寄存器上传到数据交换IP对应端口。
4. 核心板控制IP模块包含一个initial\_start接口，为以后功能扩展使用，在现阶段需要将该信号一直拉高。
5. 根据核心板接口部分要求，数据交换IP会提供一个data\_status数据状态标志信号，当该信号拉高时，表示模型正在运行，此时数据交换IP端口数据有效。
6. 设备正常运行过程中，当IO主板检测到data\_status下降沿时，需要将model\_start信号拉低，延时50ns之后，重新将model\_start信号拉高。
7. ADC和DAC子板都具有一个EEPROM芯片，分别保存各自32个通道的校准参数，该校准参数能够通过主板FPGA中的Microblaze软核写入。
8. 每次主板上电时，FPGA会根据ADC和DAC子板的设备标志信号判断接口是否有子板接入，若有，则对应通道正常工作。若没有，则对应通道停止工作。
9. ADC的输出数据需要以2MHz的刷新频率更新到数据输出端口。
10. IO主板固件需要向数据交换IP端口提供一个与主时钟同源的200MHz时钟信号。

# 功能框架

## 总体架构



IO板卡上电后FPGA自动进行复位，复位完成后根据插入子板的设备标志符判断设备的连接状态并将判断结果挂载到数据交换模块端口，然后FPGA会根据子板上的芯片选择信号运行对应的芯片驱动，然后FPGA根据子板连接状态选择是否将对应子板中EEPROM的校准参数信息读取到校准模块中，读取工作完成后，将Model\_start信号拉高，通知数据交换模块可以正常接收数据，同时数据交换模块输出的IP地址、板卡ID、连接状态、模型运行状态、IO子卡插入状态等信息通过数据解码模块上传到AXI总线被软核读取，然后软核会通过IIC驱动控制LCD驱动芯片将上述信息在LCD屏幕上显示出来。从数据流向的角度来说，对于DAC芯片，IO板卡FPGA将从端口上读取模型FPGA产生的浮点电压输出值，然后将数据通过Float/Fix Convert Module转为定点数，然后通过Value/Code Convert Module转化为电压编码值，再将转换得到的电压编码值通过校准模块转换为理想电压编码值，并通过DAC驱动模块控制芯片进行输出。对于ADC芯片，FPGA通过芯片数据端口将测量电压编码值读出，然后通过校准模块得到理想的电压编码值，接着通过Code/Value Convert Module将电压编码值转化成定点电压值，最后通过Fix/Float Convert Module将定点电压值转化为浮点电压值并输出到数据交换模块的相关数据接口。

该IO板卡还支持调试模式，在此模式下可以通过MicroBlaze软核对ADC和DAC芯片进行调试，上位机可以通过串口下发校准参数并烧写到EEPROM中，并且能够通过串口输出每个通道的ADC采集电压值和写入期望的DAC输出电压值。最后，LCD屏幕的显示功能也是通过软核来实现的。

## 功能模块

### Aurora协议封装模块（Aurora IP）

使用Vivado自带的Aurora核实现光网口GTX协议的通讯功能。具体使用方法可参考相关设计文档。

### 数据交换封装模块（Data Exchange IP）

具体使用方法可参照《数据交互IP使用说明》文档。

### 参数解码模块（Parameter Decode）

该模块根据插入子板的设备识别码判断子板的插入状态并根据协定的译码方式将设备状态值保存到对应的状态寄存器中；同时根据数据交换模块的交互协议，对两个模块之间的通讯信号进行控制；该模块还会将相关设备状态信息通过AXI总线上传到MicroBlaze中，供后续LCD屏显示使用。

### DA数据处理模块（DA Data Processing）

该模块实现将模型FPGA输出的DA浮点电压值转换成定点电压值，然后转化成DA芯片的电压编码值，最后通过DAC驱动控制芯片将电压值输出。

### 软核（MicroBlaze）

在软核中编写C语言程序，用于实现调试信息输入输出，LCD显示屏控制，模拟量输入输出通道校准，校准参数烧写，设备信息烧写，单通道调试等功能。

### AXI总线封装模块（AXI Wrapper）

使用Vivado自带AXI 的IP核，实现200Mhz的总线读写工作。

### IIC驱动模块（IIC Driver）

官方IP核，实现软核对于LCD驱动芯片和EEPROM芯片的读写和控制功能。

### 串口驱动模块（Uart Driver）

使用Vivado自带的串口IP核，实现上位机和板卡的通讯功能。

### AD数据处理模块(AD Data Processing)

该模块主要工作是驱动ADC芯片，并将采集得到的电压编码值进行校准，然后将其转化成定点电压值，最后将定点电压值转化成模型FPGA需要的浮点电压值并挂载到数据交换模块的相应数据端口。

# 详细方案

## 数据交换封装模块

### 数据交换封装模块简介

该IP的具体使用方法可参考《数据交互IP使用说明》文档。

### 数据交换封装模块结构图

略。

### 数据交换封装模块接口定义表

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名称 | 方向 | 位宽 | 说明 |
| ***通用信号*** | | | |
| clk | I | 1bit | 用户时钟输入，150MHz |
| rst | I | 1bit | 复位信号输入，高电平有效，至少持续5\*clk |
| fifo\_clk | I | 1bit | fifo时钟输入 |
| data\_status\_o | O | 1bit | 数据输出端口状态，高电平有效，表征port\_o\_n端口的数据有效，也表征模型的运行状态 |
| channel\_up\_i | I | 1bit | Aurora通道连接状态信号输入端口 |
| model\_start\_i | I | 1bit | 模型启停控制信号输入，高电平控制模型启动，低电平控制模型停止 |
| port\_i\_N | I | 1bit或 32bits | 数据输入端口，N为1~160  100ns模式：N的有效值1~160，位宽1bit  500ns模式：N的有效值为1~64，位宽32bits  10us模式：N的有效值1~128，位宽32bits |
| port\_o\_N | O | 1bit或 32bits | 数据输出端口，N为1~160  100ns模式：N的有效值1~160，位宽1bit  500ns模式：N的有效值为1~64，位宽32bits  10us模式：N的有效值1~128，位宽32bits |
| axi\_m\_tx\_ready | I | 1bit | AXI总线接口 |
| axi\_m\_tx\_valid | O | 1bit |  |
| axi\_m\_tx\_data | O | 32bits |  |
| axi\_s\_rx\_valid | I | 1bit |  |
| axi\_s\_rx\_data | I | 32bits |  |
| ***Master和Slave模式有效信号*** | | | |
| initial\_done\_o | O | 1bit | 初始化完毕指示，高电平有效 |
| ***Mater模式有效信号*** | | | |
| initial\_start\_i | I | 1bit | 初始化使能信号，脉冲信号有效，脉冲宽度时间为1\*clk~5\*clk |
| ip\_address\_i | I | 32bits | IP地址输入端口 |
| board\_nur\_i | I | 8bits | 板卡号信息输入端口 |
| device\_info\_o\_N | O | 32bits | IO设备信息输出端口，N为1~8 |
| device\_info\_valid\_o | O | 1bit | 设备信息数据有效指示端口，高电平有效 |
| ***Slave模式有效信号*** | | | |
| ip\_address\_o | O | 32bits | IP地址输出端口 |
| board\_num\_o | O | 8bits | 板卡号信息输出端口 |
| device\_info\_i\_N | I | 32bits | IO设备信息输入端口，N为1~8 |

## 参数解码模块

### 参数解码模块简介

IO子板上存在1个通过电平状态变化来标志插入子板状态的引脚，该模块通过判断4个子板对应接口的电平信息来识别相应子板是否插入到IO主板上，该模块识别出子板插入状态后将结果写入对应的寄存器中并加载到数据交互模块相关接口；根据数据交互模块IP核要求，在ADC子板和DAC子板全部初始化配置完成可以正常工作后，向核心板发送model\_start模型开始信号，数据交换IP会提供一个data\_status数据状态标志信号，当该信号拉高时，表示模型正在运行，此时数据交换IP端口数据有效。设备正常运行过程中，当IO主板检测到data\_status下降沿时，需要将model\_start信号拉低，延时50ns之后，重新将model\_start信号拉高。

### 参数解码模块结构图



图 2 参数解码模块结构图

### 参数解码模块接口定义表

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名称 | 方向 | 位宽 | 说明 |
| DAC\_ID\_i | I | 4bits | 子板设备标志码 |
| IP\_Address\_i | I | 32bits | IP地址输入信号 |
| Board\_ID\_i | I | 8bits | 模型板卡号信息输入端口 |
| Insert\_Equip\_State\_o | O | 32bits | 子板插入状态信息输出信号 |
| Data\_status\_i | I | 1bit | 数据有效输入信号 |
| Initial\_start\_o | O | 1bit | 初始化开始信号 |
| Model\_start\_o | O | 1bit | IO主板初始化完成标志信号 |
| Link\_state\_i | I | 1bit | 连接状态输入信号 |

## DA数据处理模块

### DA数据处理模块简介

DA数据处理模块包含浮点转定点子模块、电压转换子模块以及电压校准子模块。各模块功能及模块间的关系如下：GTX封装模块以2MHz的频率将数据刷新到对应的数据端口，首先该模块将数据写入并通过浮点转定点模块将浮点数据转化为定点数，然后利用DA芯片上的电压转化公式，通过电压转换模块将电压转化为对应的电压编码值，由于电路设计和芯片自身原因，最终输出电压值可能与输入电压值有所差别，所以需要加入电压校准模块对输入电压编码值进行校正，由于输出的信号线性度很好，所以可以使用简单的1阶线性校准，校准公式为：



a,b可以通过测量几组采样点的电压，通过最小二乘法来计算。计算得到的校准电压编码值可以通过后续DAC芯片驱动模块转换为实际的电压输出。

浮点转定点模块包含data\_status信号，当数据有效时该模块采集端口上的信号并进行浮点转定点运算，此模块还包含工作模式选择信号，因为项目要求DA芯片可通过软核进行调试，当工作模式信号拉高时进入调试模式，输入到该模块的信号从数据交换端口的信号转换成软核通过AXI总线下发的信号；为了满足2MSPS的采样输出速率和14/16位的输出精度，硬件方案选择DAC8801和DAC8811两种芯片以满足不同的精度需求，DAC驱动模块根据DAC子板上的芯片选择信号判断采用何种方式对DAC芯片进行驱动，具体驱动方法可参照DAC8801、DAC8811芯片手册。对于浮点转定点模块，输入的浮点数为标准的2进制浮点数表示法，数据格式为1位正负号，8位2进制指数和23位小数部分，通过浮点转定点模块后转化为18位定点数，其中1位正负号，5位整数位和12位小数位。由于DA芯片为16位DAC，表示电压范围为正负10V，则DA芯片可以表示的最小电压值为20/65536=0.0003。12位小数位可以表示的定点数精度为0.0002，满足芯片精度要求。电压值转编码值模块会将18定点电压值转化为16位编码值并通过校准模块转化为校准之后的16位电压编码值。在理想条件下DA芯片的电压编码值和输出电压值的关系为：

### DA数据处理模块结构图



图 3 DA数据处理模块结构图

### DA数据处理模块接口定义表

|  |  |  |
| --- | --- | --- |
| 信号名称 | 位宽 | 说明 |
| data\_status | 1bit | 数据有效标志信号 |
| chX\_dac\_float\_data | 32bits | DAC浮点数据信号，X表示1到32个通道 |
| chX\_dac\_fix\_data | 18bits | DAC定点数据信号，X表示1到32个通道 |
| chX\_dac\_raw\_code | 16bits | 未校准电压编码值信号，X表示1到32个通道 |
| chX\_dac\_cali\_code\_rdy | 1bit | 校准编码值有效标志信号，X表示1到32个通道 |
| chX\_dac\_cali\_data | 16bits | 校准编码值数据信号，X表示1到32个通道 |
| chX\_cs\_n | 1bit | DA芯片SPI总线片选信号，X表示1到8组，每组片选信号控制4个芯片 |
| chX\_sclk | 1bit | DA芯片SPI总线数据时钟信号，X表示1到8组，每组时钟信号控制4个芯片 |
| chX\_sdi | 1bit | DA芯片SPI总线数据输入信号，X表示1到32个通道 |
| DA\_chip\_select | 1bit | DA芯片选择信号 |
| trigger\_signal | 1bit | 触发采集信号 |

## 软核

### 软核模块功能简介

使用FPGA芯片自带的MicroBlaze完成IO主板的整个流程控制，上电开始后，软核会首先读取设备状态寄存器中的值，然后软核会根据设备插入情况通过IIC驱动控制对应EEPROM芯片，从中读取校准参数并写入各自通道的寄存器中，若存在没有插入的子板，则软核通过对应寄存器通知相关的DA或AD模块停止工作。上述过程结束后，软核读取参数解调模块的相关寄存器，从中获取设备信息、连接状态等信息并控制LCD驱动芯片将相关信息显示出来，同时软核会通过中断时刻监控串口的运行状态，当输入特定字符后程序会跳转到用户测试界面，同时将工作模式寄存器的值置为1，测试界面包括DA测试，AD测试，，校准参数一次性下发功能，设备信息和校准参数显示4个选项。DA测试选项中，界面会提供DA板卡选择和测试电压值输入两个选项，用户可根据测试结果配合最小二乘法对DA通道数据进行校准，得到每个通道的校准参数；AD测试选项中，界面会提供AD板卡和AD通道选择选项，选择完成后，程序会每隔5us读取一下ADC的测量电压值，并将100个测量点的平均值通过串口打印出来，用户可根据测试结果配合最小二乘法对AD通道进行校准，得到每个通道的校准参数；在AD\DA校准参数下发选项中，为了方便校准参数的修改和下发，需要加入一次性下发校准参数的功能，可以通过串口调试助手的TXT文本传输功能，将校准参数存入到TXT文件，并通过串口一次性下发到软核中，软核配置相关的校准参数寄存器并将校准参数写入到EEPROM芯片中。在设备信息和校准参数显示选项中，用户可以通过输入相应的板卡号获得对应板卡的校准参数和相关设备信息。

### 软核模块程序框图



## AXI总线封装模块

### AXI总线封装模块简介

由Vivado自动生成，在默认模板中添加用户使用的寄存器接口即可完成该模块的设计。具体设计方法可参考pg155文档。

## EEPROM驱动模块

### EEPROM驱动模块简介

通过IIC总线实现对EEPROM的读写操作，IIC总线驱动部分由官方IP核来实现，具体驱动方法可参照PG090。

由于每块IO模拟量子板包含32个AD或者DA通道，每个通道需要32位的校准系数，总共需要32\*32=1024比特的存储空间，选择24LC256T的EEPROM芯片包含256Kbit的储存空间远远大于需求需要的储存空间，为了便于校准系数的一次性烧写，将校准系数按通道顺序连续写入EEPROM的对应地址中，具体各通道对应地址如下表所示：

|  |  |
| --- | --- |
| 校准通道号 | EEPROM起始地址(十进制) |
| 1 | 0 |
| 2 | 4 |
| 3 | 8 |
| 4 | 12 |
| 5 | 16 |
| 6 | 20 |
| 7 | 24 |
| 8 | 28 |
| 9 | 32 |
| 10 | 36 |
| 11 | 40 |
| 12 | 44 |
| 13 | 48 |
| 14 | 52 |
| 15 | 56 |
| 16 | 60 |
| 17 | 64 |
| 18 | 68 |
| 19 | 72 |
| 20 | 76 |
| 21 | 80 |
| 22 | 84 |
| 23 | 88 |
| 24 | 92 |
| 25 | 96 |
| 26 | 100 |
| 27 | 104 |
| 28 | 108 |
| 29 | 112 |
| 30 | 116 |
| 31 | 120 |
| 32 | 124 |
| 板卡唯一标识号 | 128 |
| 板卡类型信息 | 132 |
| 校准参数烧写时间信息 | 136 |

### 板卡通道校准参数格式

EEPROM第一页和第二页全页存储的是板卡通道的校准参数。该校准参数信息可以对16位以及16位以下的A/D和D/A通道进行校准。校准参数由校准增益，校准偏差符号和校准偏差量组合而成。校准增益为17位的定点增益值，其范围在0~2之间；校准偏差符号为1位符号位，表示增加还是减少校准偏差量，’1’表示增加，’0’表示减少；校准偏差量为14位的绝对偏差值，表示实际偏差的LSB数值，LSB值由校准对象的位数和测量范围计算得到。例如16位A/D测量范围为±10V，其1LSB对应的电压为0.305mV，如果偏差值是3.05mV，则其绝对偏差值就为10。其分配如下所示。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| EEPROM地址 | 0x000000 | 0x000001 | | 0x000002 | | 0x000003 |
| 数据位 | 31-15 | | 14 | | 13-0 | |
| 数据内容 | 校准增益值 | | 校准偏差符号 | | 校准偏差量 | |

### 板卡唯一标识号格式

EEPROM第三页的第 1 个 4 字节存储的是板卡对应的 ID 编号。当板卡生产完成后会获得一个板卡 ID 编号，该编号通常以条码的形式粘贴在板卡背面。板卡ID 编号由产地代码，硬件编号和板卡序列号组成，取硬件编号和板卡序列号作为 ID 编号，以 HEX 方式存储在 EEPROM 中。例如：板卡 ID 编号为 2106020001，则保存在 EEPROM中的板卡 ID 编号为 06020001。其分配如下所示：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| EEPROM地址 | 0x000080 | 0x000081 | 0x000082 | 0x000083 |
| 数据位 | 31-0 | | | |
| 数据内容 | 板卡ID编号 | | | |

### 板卡类型信息格式

EEPROM第三页的第2个4字节存储的是板卡对应的板卡类型信息。IO子板分为模拟量IO子板和数字量IO子板两种，这里将模拟量IO子板的类型信息设定为0x0001，将数字量IO子板的类型信息设定为0x1001，其分配方式如下所示：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| EEPROM地址 | 0x000084 | 0x000085 | 0x000086 | 0x000087 |
| 数据位 | 31-0 | | | |
| 数据内容 | IO子板类型信息 | | | |

### 板卡烧写时间信息

EEPROM 第三页的第 3 个 4 字节存储的是板卡烧写时间信息。取校准参数下发时间中的年月日时 8 位数字作为板卡烧写时间信息，以 HEX 方式存储在 EEPROM 中。例如：板卡烧写时间为2014年05月07日17时33分，则保存在 EEPROM 中的板卡烧写时间信息为 0x14050717。其分配如下所示:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| FLASH地址 | 0x000088 | 0x000089 | 0x000090 | 0x000091 |
| 数据位 | 31-0 | | | |
| 数据内容 | 板卡烧写时间信息 | | | |

## LCD驱动模块

### LCD驱动模块简介

根据系统总体方案项目需求，需要使用一块LCD屏幕显示主机IP地址、运行模型板卡序号、设备连接状态、模型运行状态、插入子板类型和状态等信息。这里选择序号为12832的OLED显示屏，并使用SSD1305芯片实现LCD屏驱动的控制，同时该芯片通过IIC协议与FPGA芯片相连，在FPGA中使用MicroBlaze软核下发控制指令并通过IIC协议实现对显示屏输出界面的控制功能。

### LCD驱动模块结构图



图 4 LCD驱动模块结构图

### LCD驱动模块布局显示示意图



图 5 LCD驱动模块布局显示示意图

## AD数据处理模块

### AD数据处理模块简介

AD数据处理模块包括电压编码值校准子模块，电压转换子模块、定点转浮点子模块以及ADC驱动模块。为了满足2MSPS的采样速率、14bits/16bits的采样精度以及综合考虑产品的性能，固件设计方案需要兼容AD7944和AD7985两种芯片，该模块通过SPI总线实现芯片的驱动功能，具体驱动方法可参考AD7944和AD7965芯片手册。首先ADC驱动模块会根据芯片选择信号判断插入芯片类型并选择相应驱动控制ADC芯片正常工作；电压校准子模块对ADC驱动模块采样得到的电压编码值进行校准，校准子模块功能与DA校准子模块功能相同；然后利用芯片手册的电压转换公式，通过电压转换子模块将电压编码值转换为定点电压值；然后经过定点转浮点子模块将定点电压值转换为浮点电压值，最后将得到的浮点电压值以2MHz的频率刷新到数据交换模块的相关数据端口。校准模块将16位原始电压编码值转化为16位校准编码值，通过编码值/电压值转换模块，将16位电压编码值转化为35位定点电压值，其中8位整数，27位小数；

最后通过定点/浮点转换模块转换为标准二进制浮点数。

### AD数据处理模块结构图



图 6 AD数据处理模块结构图

### AD数据处理模块接口定义表

|  |  |  |
| --- | --- | --- |
| 信号名称 | 位宽 | 说明 |
| clk\_200m | 1bit | AD数据处理模块时钟输出信号 |
| chX\_adc\_raw\_code | 16bits | ADC采样得到的电压编码值信号，X表示1到32通道 |
| chX\_adc\_cali\_code | 16bits | 校准电压编码值信号，X表示1到32通道 |
| chX\_adc\_fix\_data | 35bits | ADC定点电压值，X表示1到32通道 |
| chX\_adc\_float\_data | 32bits | ADC浮点电压值，X表示1到32通道 |
| ADC\_chip\_select | 1bit | ADC芯片选择信号 |
| chX\_sdo | 1bit | ADC芯片SPI总线数据输出端口，X表示1到32通道 |
| chX\_sclk | 1bit | ADC芯片SPI总线数据时钟，X表示1到8组，每组数据时钟控制4个芯片 |
| chX\_cnv | 1bit | ADC芯片转换输出信号，X表示1到8组，每组芯片转换输出信号控制4个芯片 |

------------------------------完------------------------------