

计算机组成原理

翁睿

哈尔滨工业大学

第四章 存储系统

4.1 概述

4.2 主存储器

4.3 高速缓冲存储器

4.4 辅助存储器

4.1 概 述

一、存储器分类

1. 按存储介质分类

(1) 半导体存储器

速度快、功耗低

TTL、MOS、电容

易失

PROM、FLASH

容量大、速度慢、体积大

(2) 磁表面存储器

磁头、载磁体

(3) 磁芯存储器

硬磁材料、环状元件

(4) 光盘存储器

廉价，易于保存

激光、磁光材料

非易失

2. 按存取方式分类

(1) 存取时间与物理地址无关（随机访问）

e. g. 磁芯、半导体存储器等

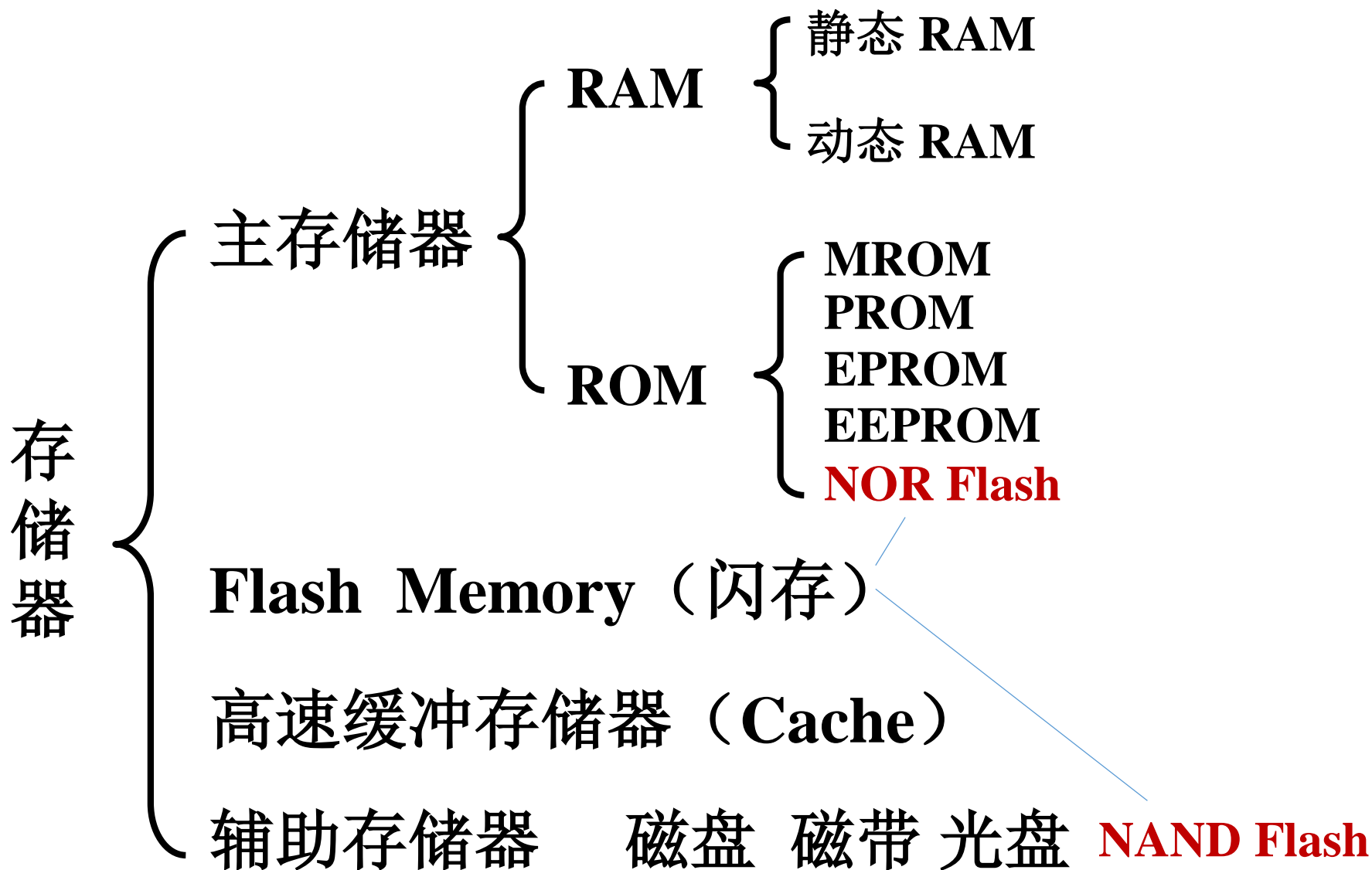
- 随机存储器 在程序的执行过程中 可读 可 写
- 只读存储器 在程序的执行过程中 只读

(2) 存取时间与物理地址有关（串行访问）

- 顺序存取存储器 磁带
- 直接存取存储器 磁盘

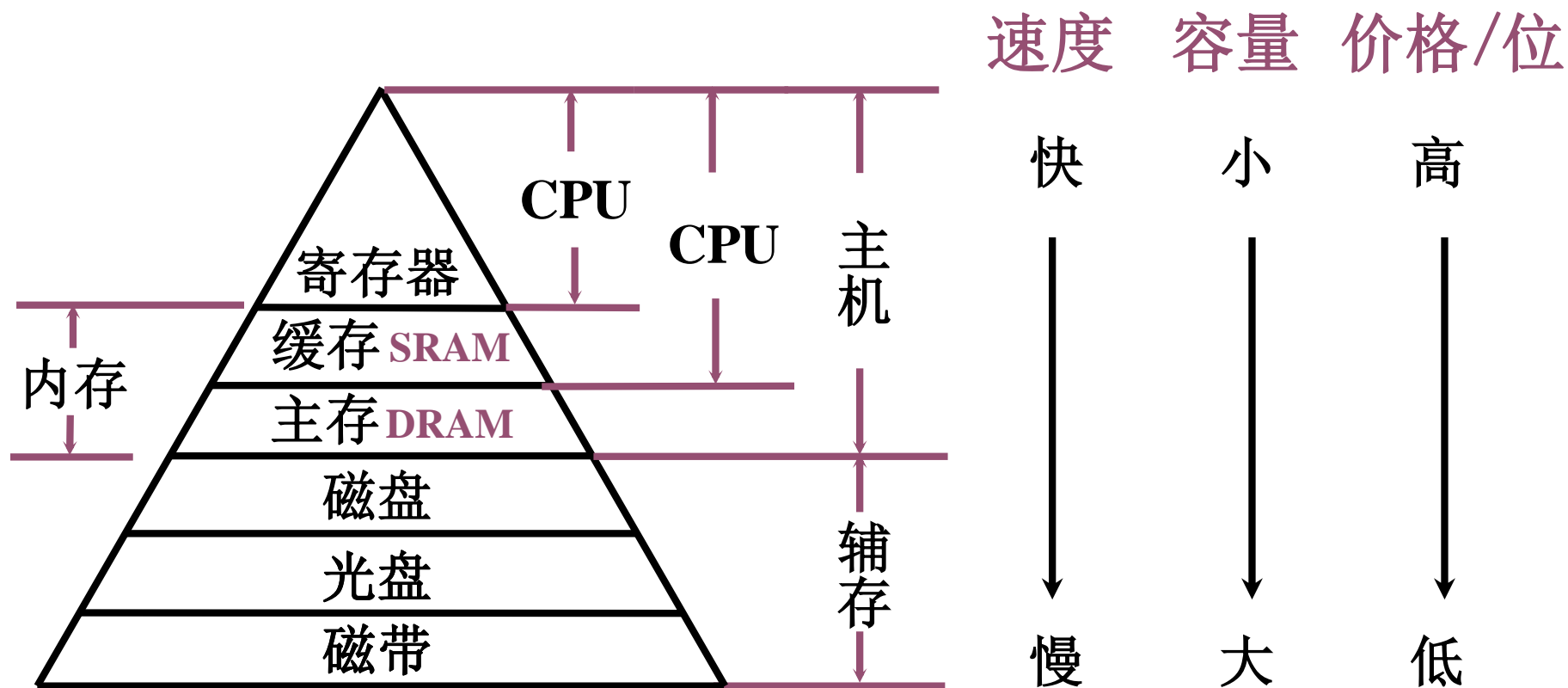
4. 按在计算机中的作用分类

4.1

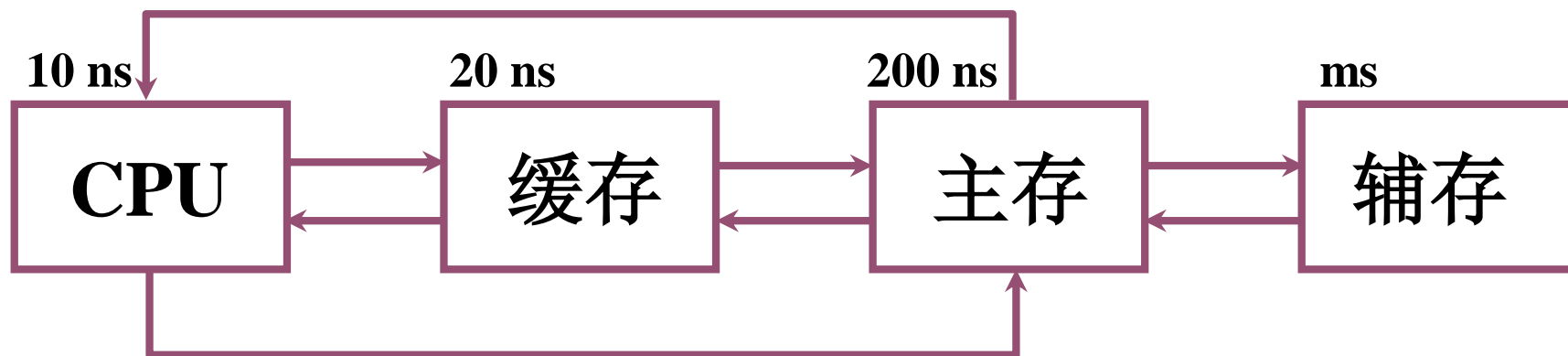


二、存储器的层次结构

1. 存储器三个主要特性的关系



2. 缓存—主存层次和主存—辅存层次 4.1



(速度) (容量)
缓存—主存 主存—辅存

主存储器

虚拟存储器

实地址

虚地址

物理地址

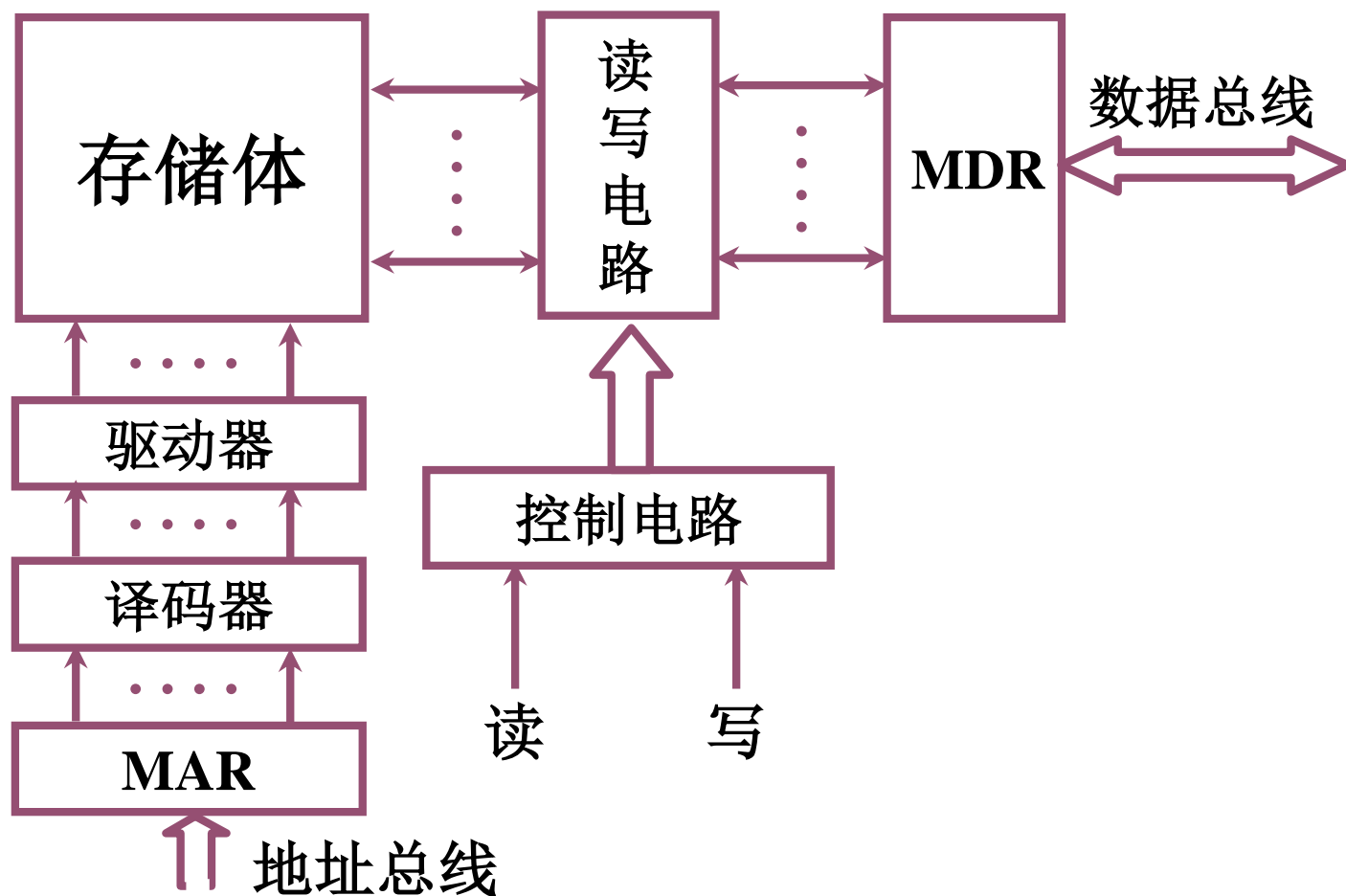
逻辑地址



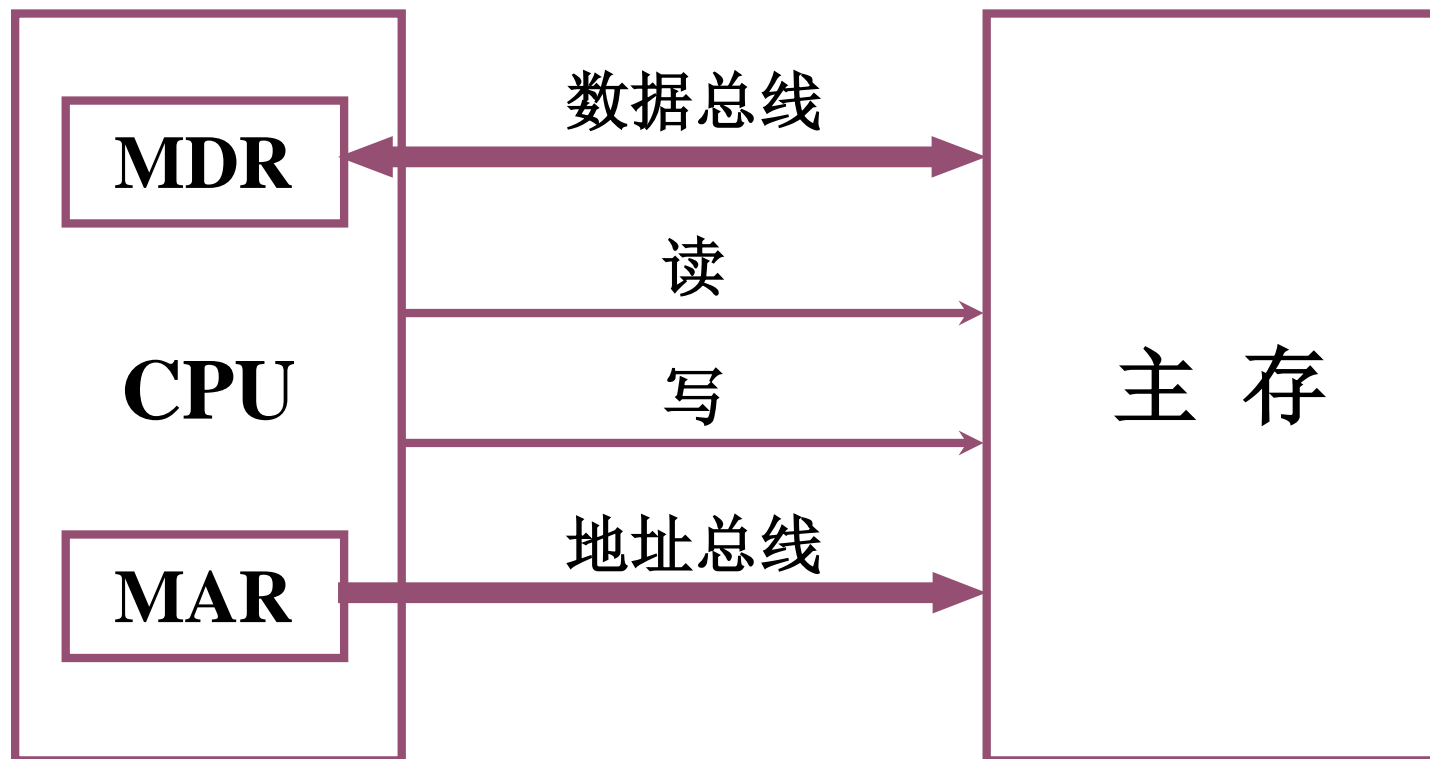
4.2 主存储器

一、概述

1. 主存的基本组成



2. 主存和 CPU 的联系



4. 主存中存储单元地址的分配

高位字节 地址为字地址

低位字节 地址为字地址

字地址	字节地址			
0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

字地址	字节地址	
0	1	0
2	3	2
4	5	4

设地址线 24 根

按 字节 寻址 $2^{24} = 16 \text{ M}$

存储体
容量不变
的前提下

若字长为 16 位

按 字 寻址 8 M

若字长为 32 位

按 字 寻址 4 M

4. 主存的技术指标

4.2

(1) 存储容量 主存 存放二进制代码的总数量
(地址空间 \times 存储字长)

(2) 存储速度

• 存取时间 存储器的 访问时间

读出时间 写入时间

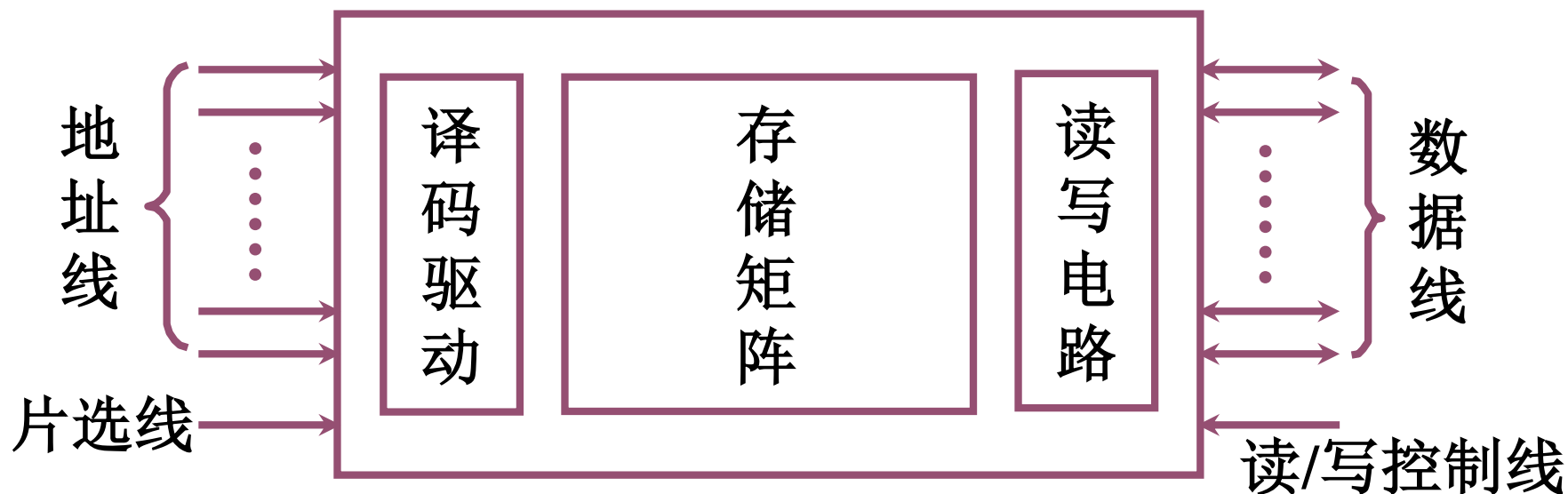
• 存取周期 连续两次独立的存储器操作
(读或写) 所需的 最小间隔时间

读周期 写周期

(3) 存储器的带宽 位/秒

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



地址线（单向）

数据线（双向）

芯片容量

10

4

1K × 4位

14

1

16K × 1位

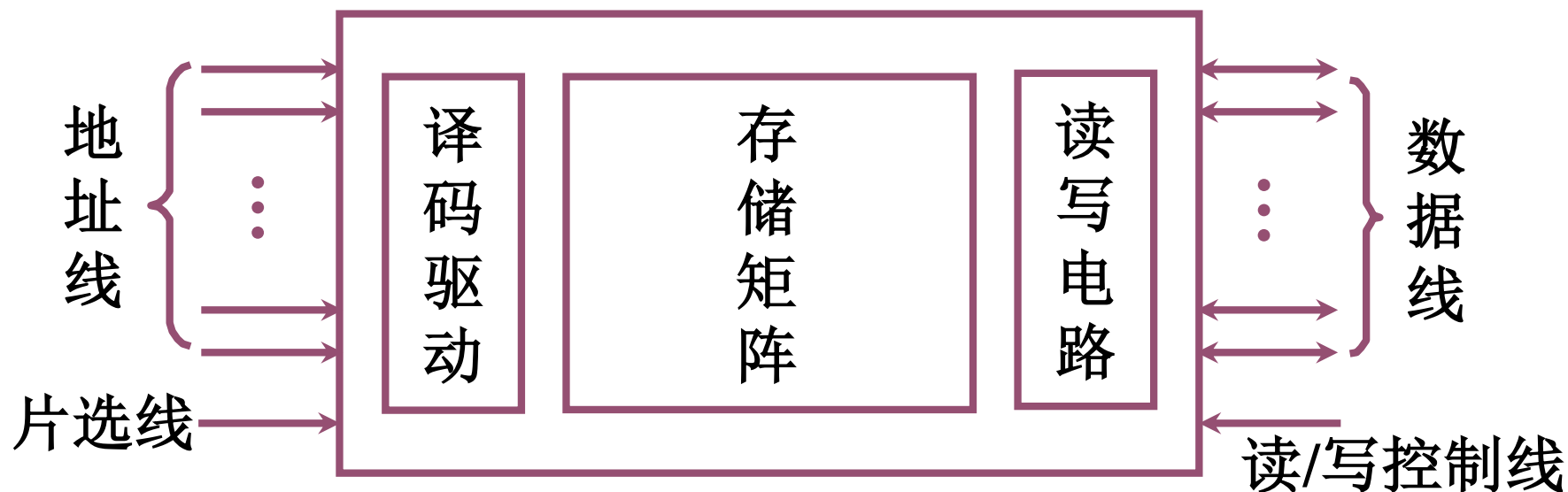
13

8

8K × 8位

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



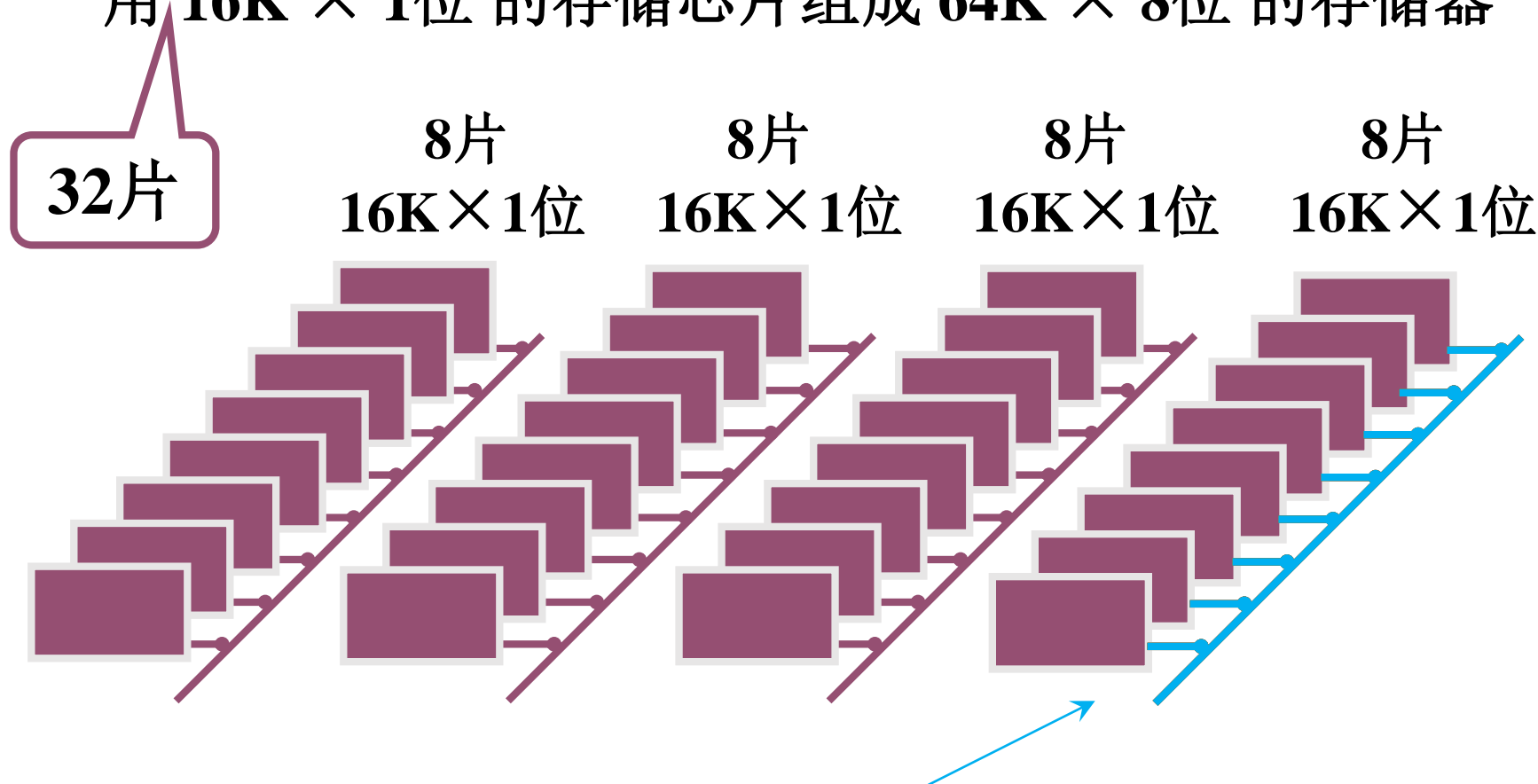
片选线 $\overline{\text{CS}}$ $\overline{\text{CE}}$

读/写控制线 $\overline{\text{WE}}$ (低电平写 高电平读)

$\overline{\text{OE}}$ (允许读) $\overline{\text{WE}}$ (允许写)

存储芯片片选线的作用

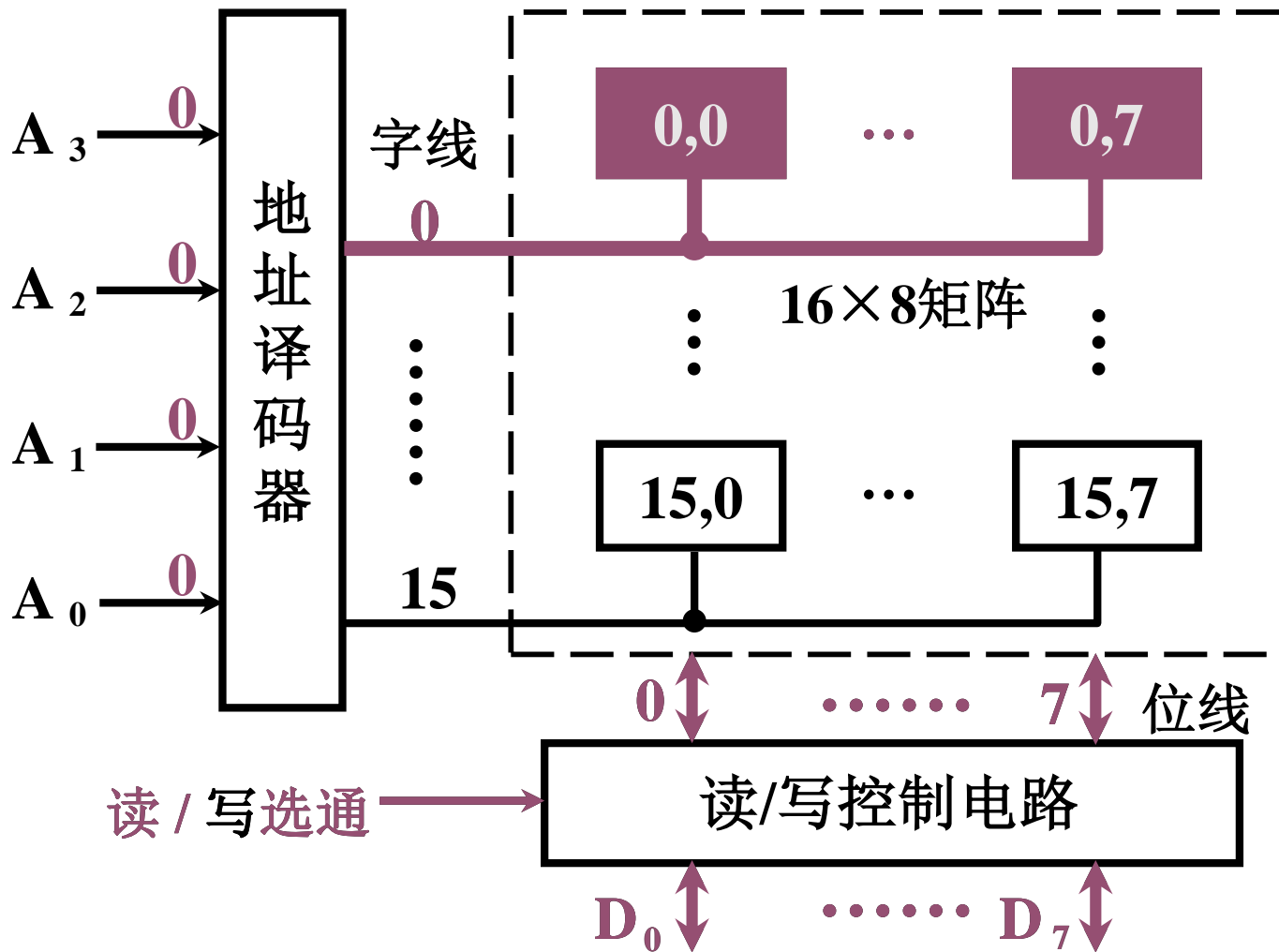
用 $16\text{K} \times 1$ 位的存储芯片组成 $64\text{K} \times 8$ 位的存储器



当地址为 65 535 时，此 8 片的片选有效

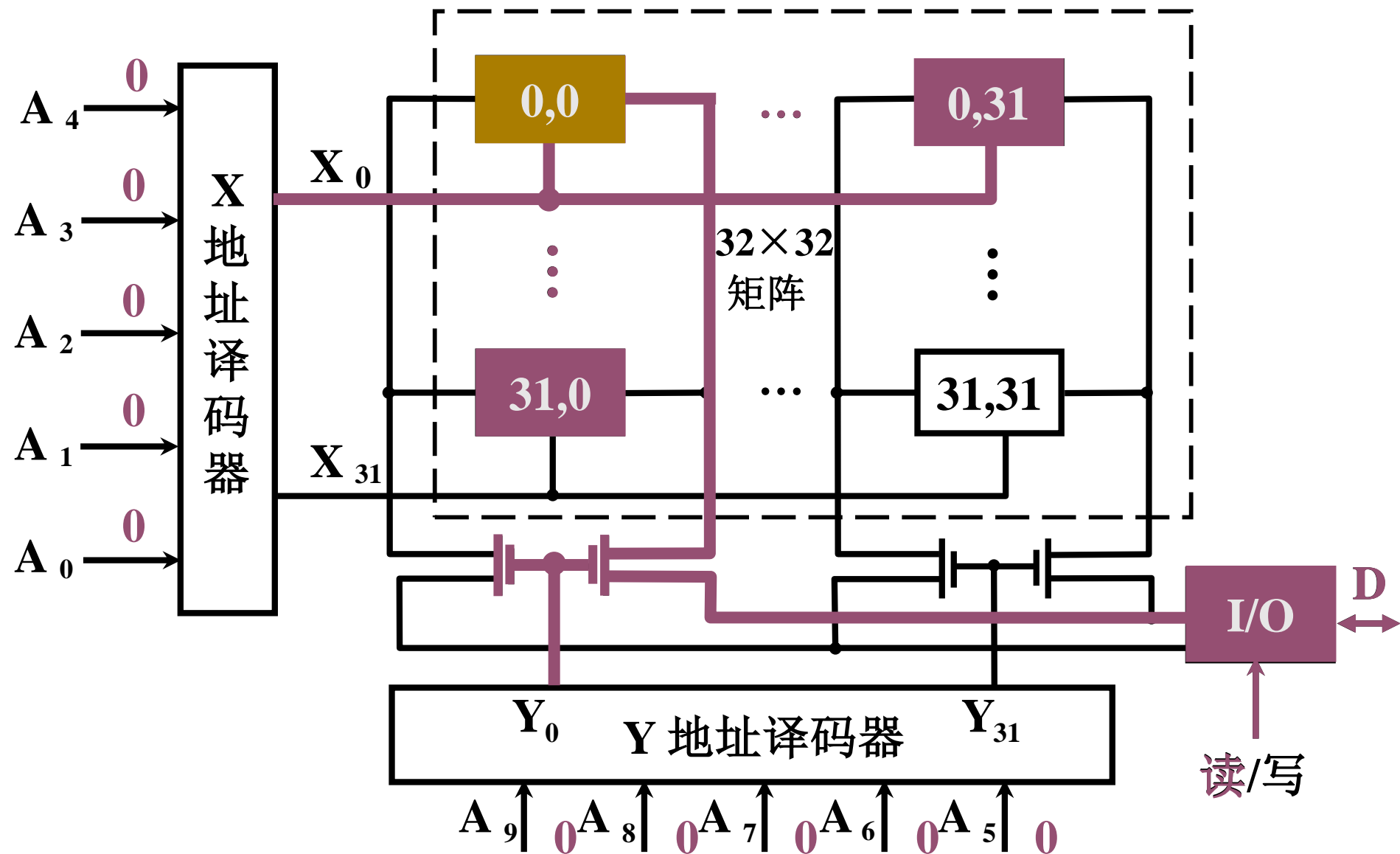
2. 半导体存储芯片的译码驱动方式 4.2

(1) 线选法



(2) 重合法

4.2

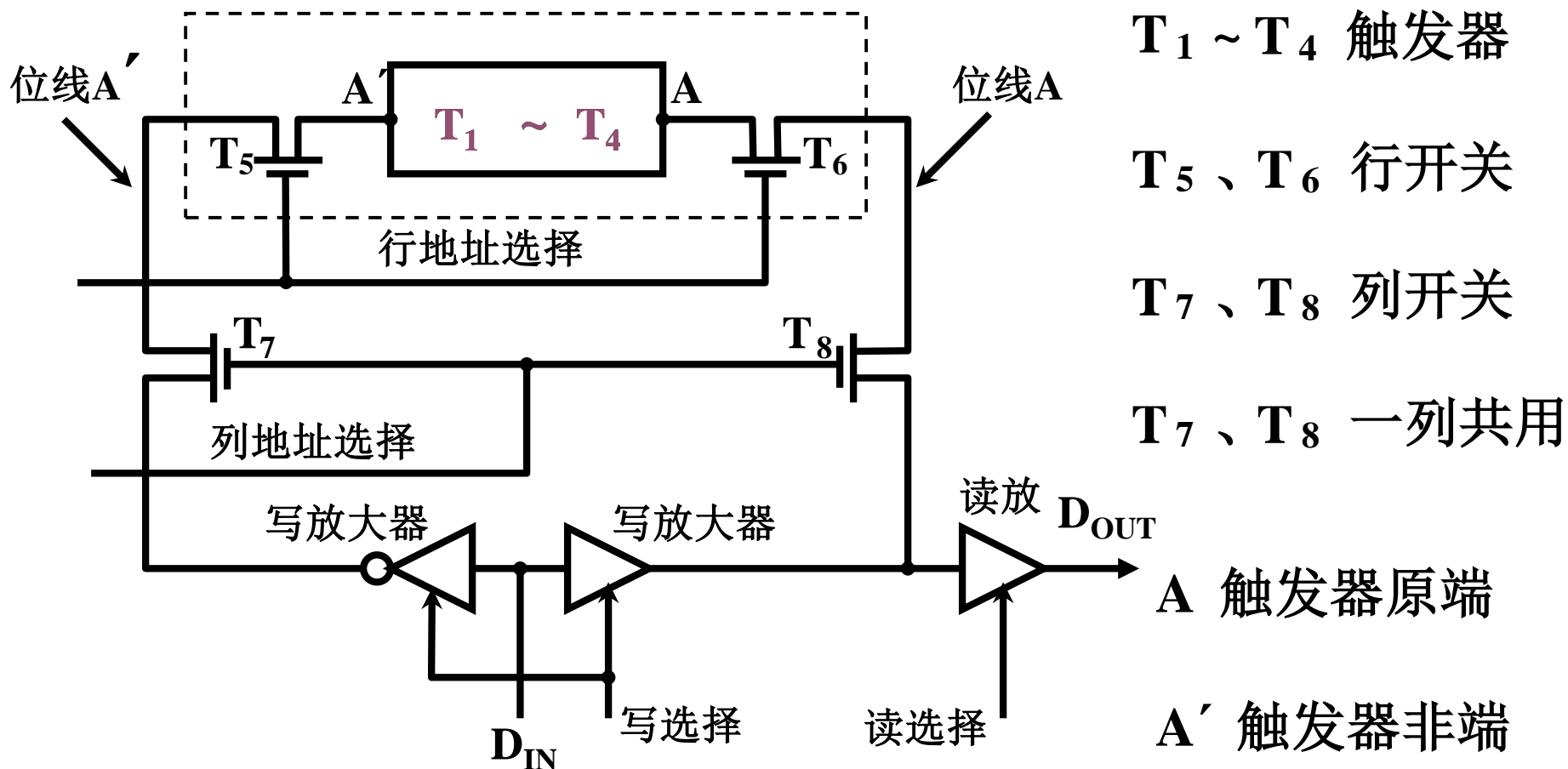


三、随机存取存储器 (RAM)

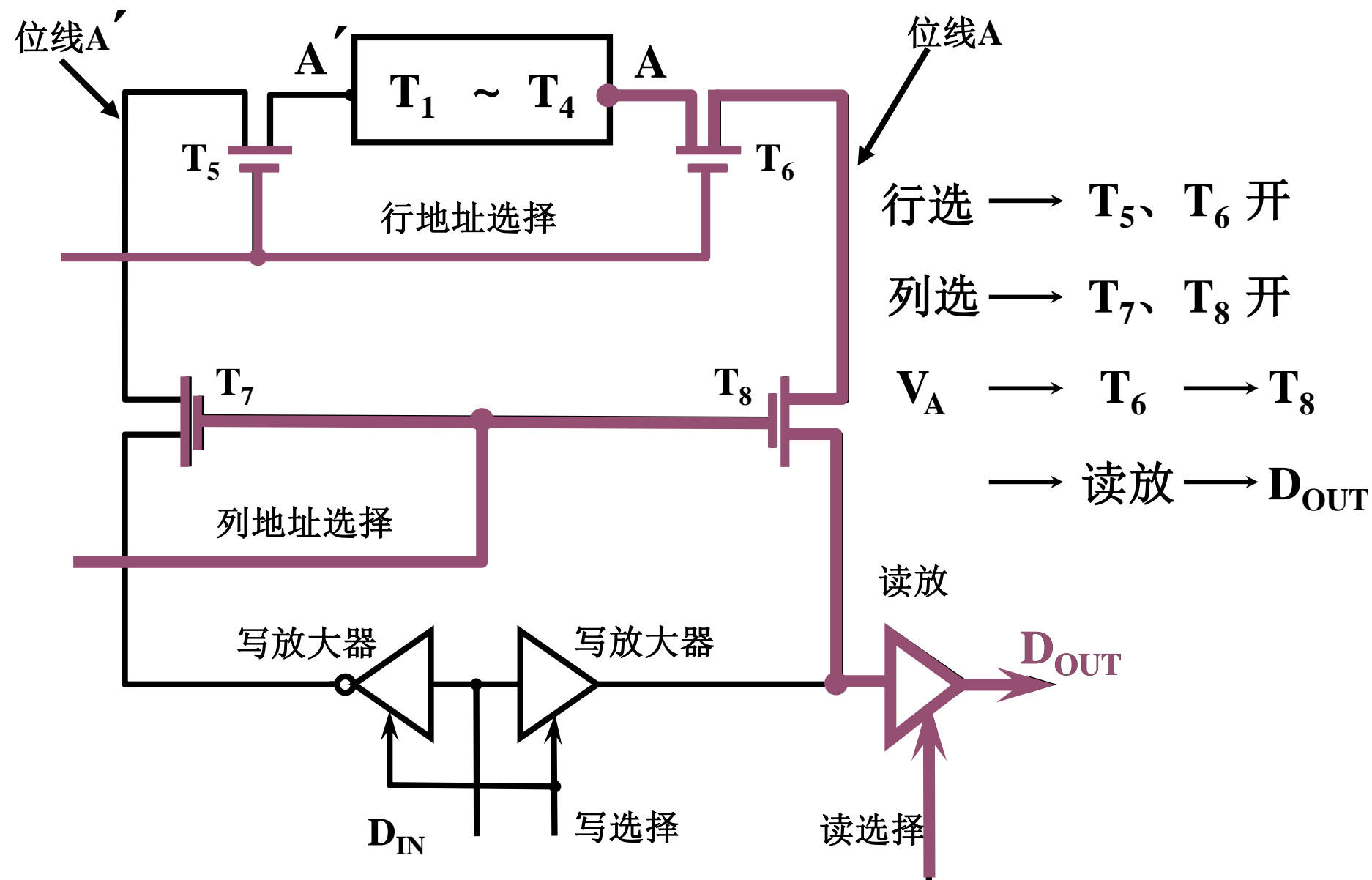
4.2

1. 静态 RAM (SRAM)

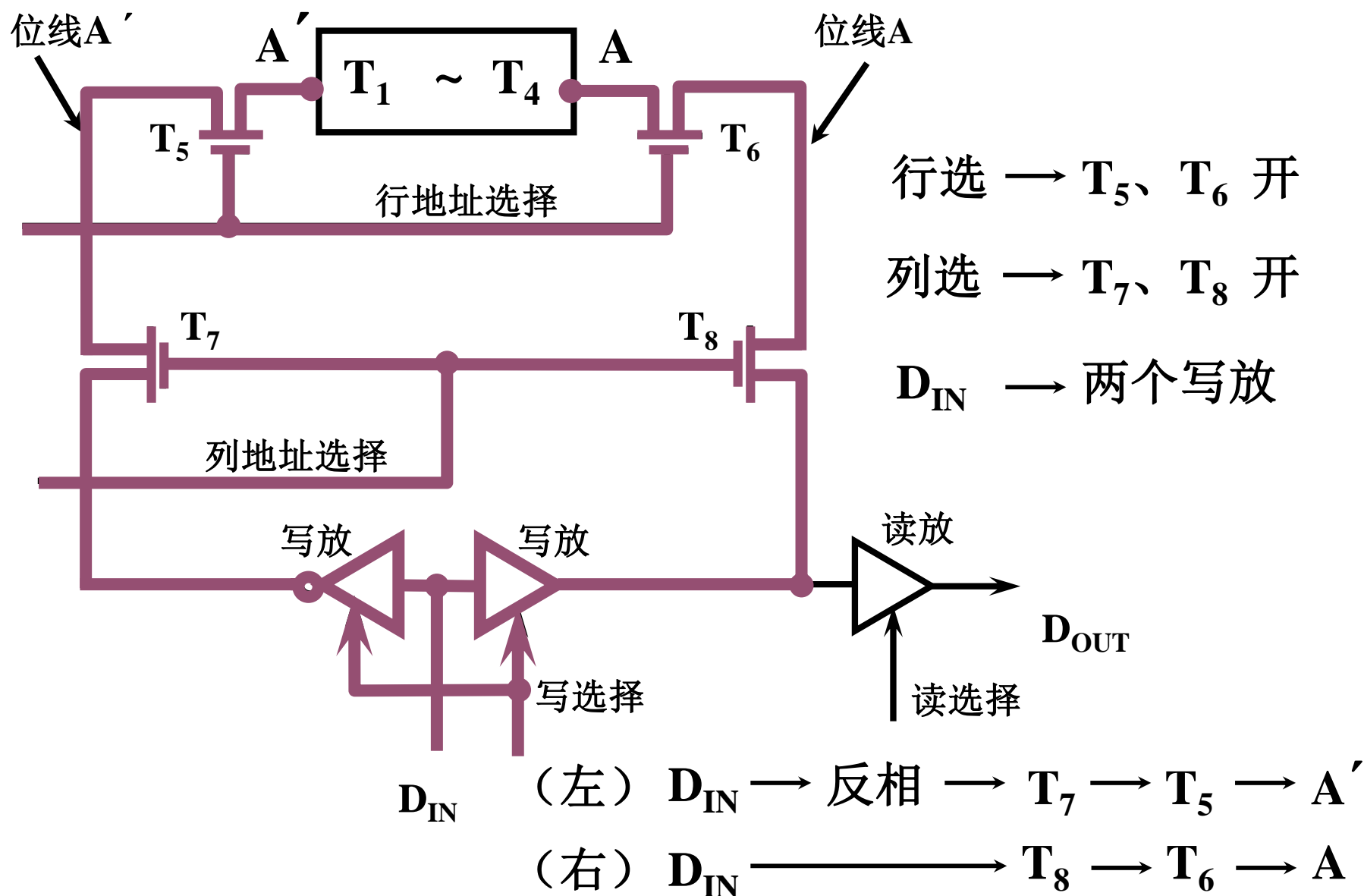
(1) 静态 RAM 基本电路



① 静态 RAM 基本电路的 读 操作

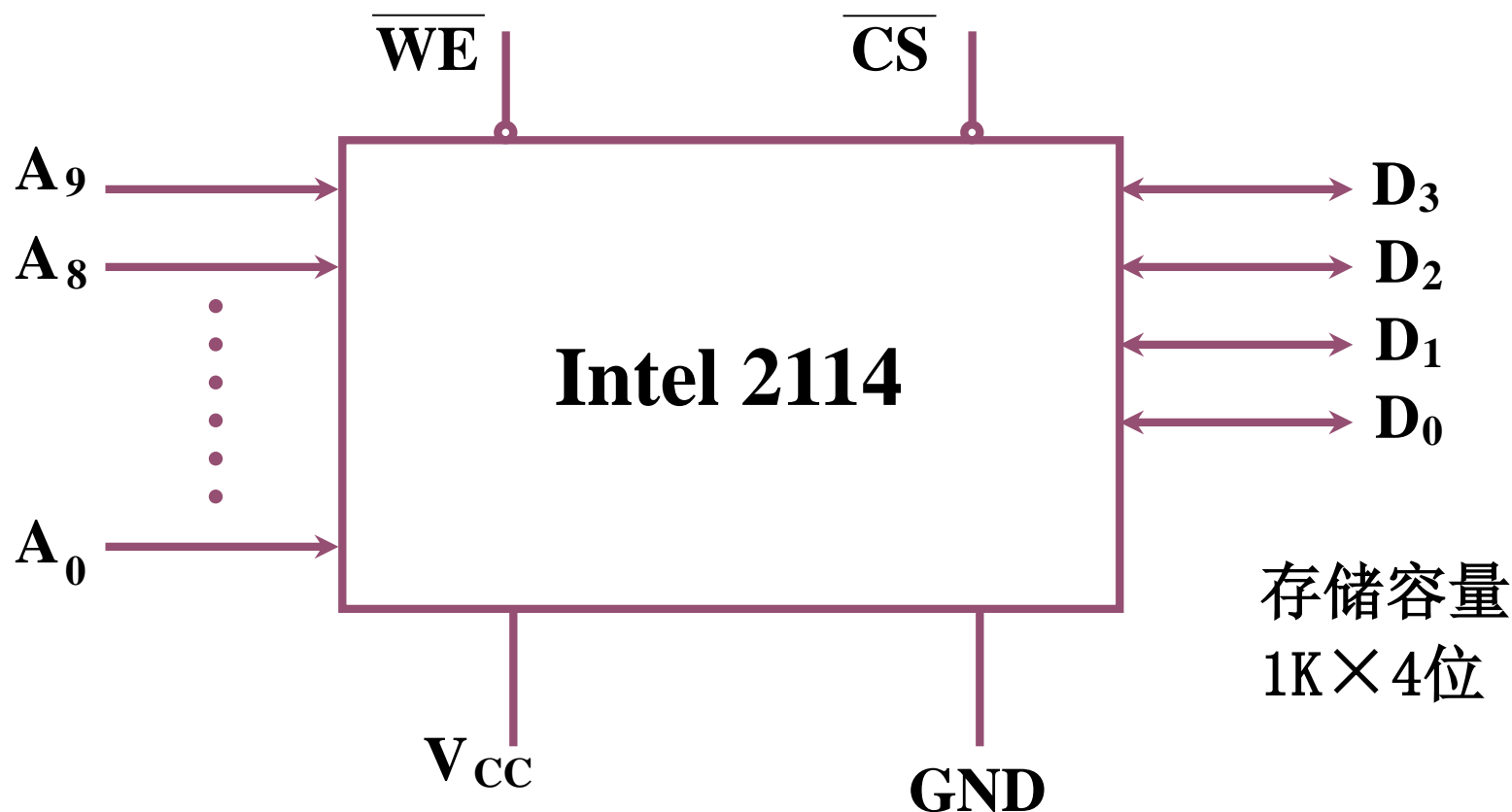


② 静态 RAM 基本电路的 写 操作



(2) 静态 RAM 芯片举例

① Intel 2114 外特性



(3) 动态 RAM 时序

行、列地址分开传送

读时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(高)

列地址 $\overline{\text{CAS}}$ 有效

数据 D_{OUT} 有效

写时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(低)

数据 D_{IN} 有效

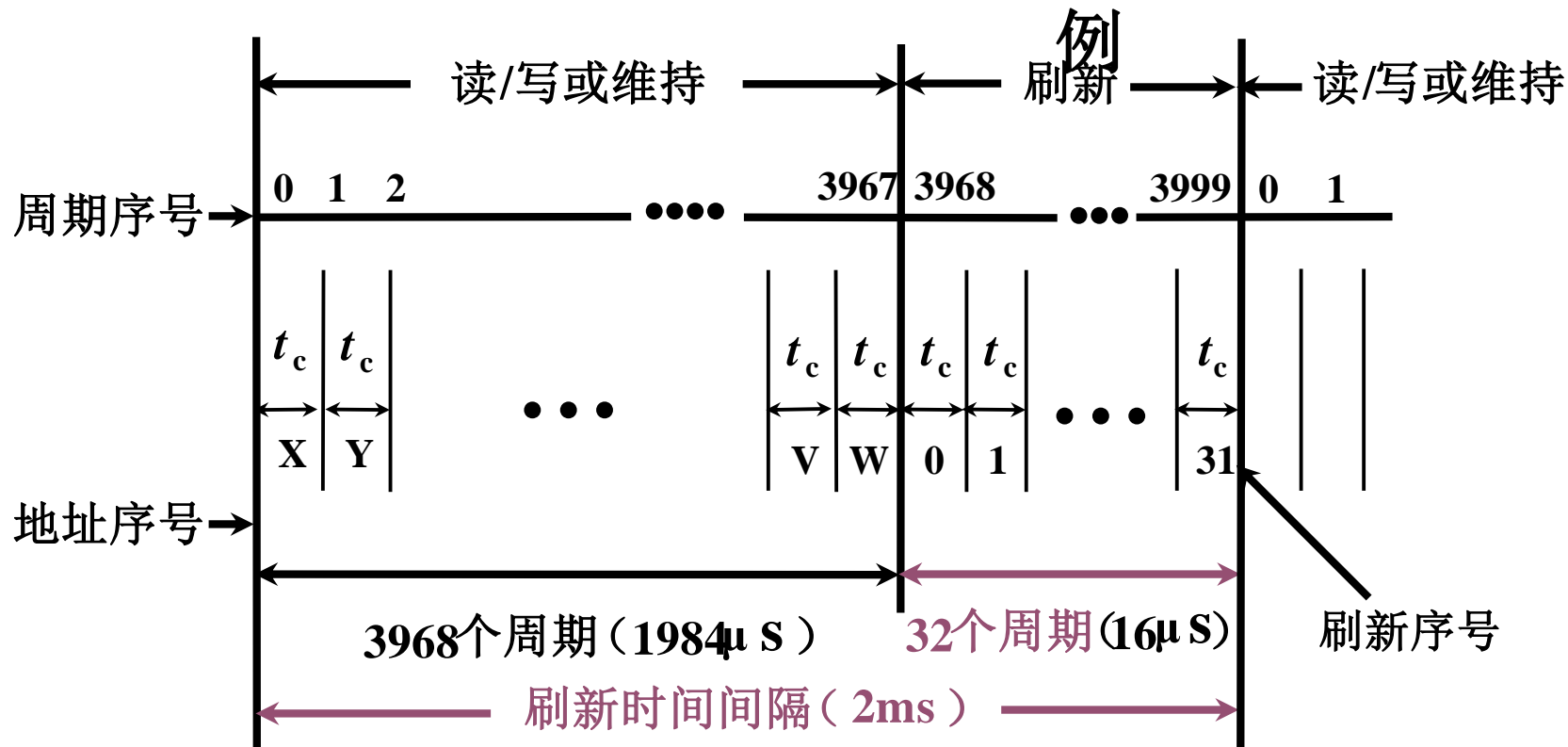
列地址 $\overline{\text{CAS}}$ 有效

(4) 动态 RAM 刷新

4.2

刷新与行地址有关

① 集中刷新(存取周期为 $0.5\mu\text{s}$)以 32×32 矩阵为例



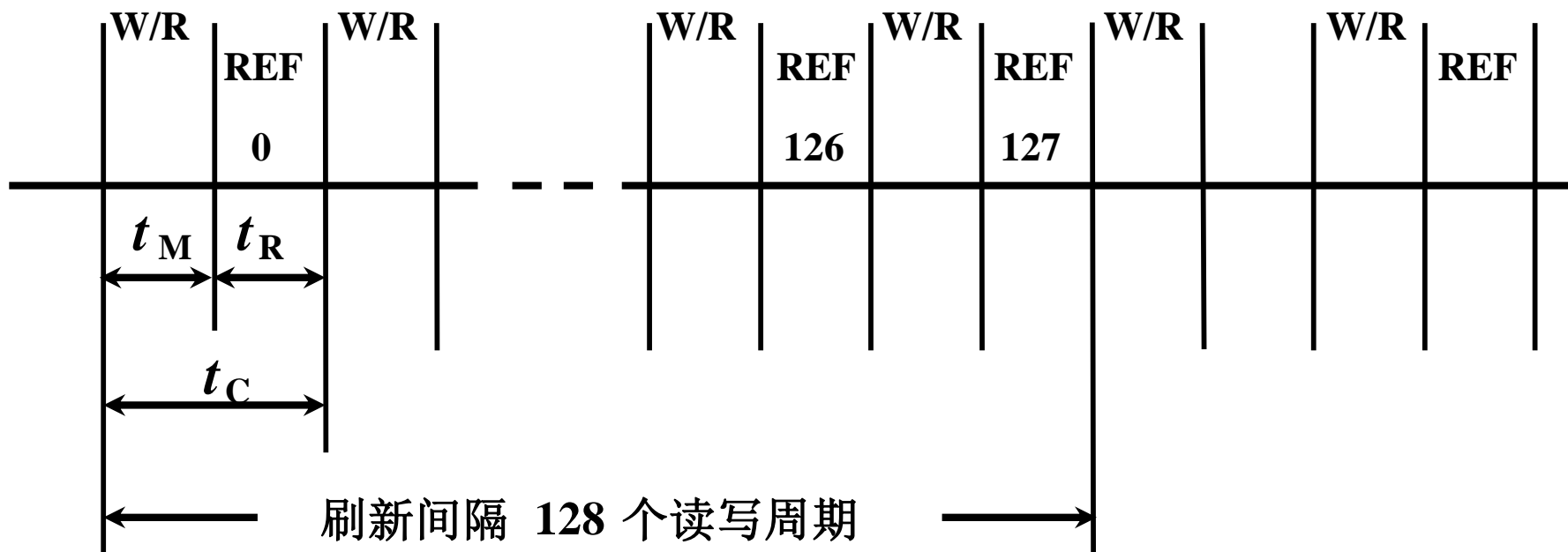
“死区” 为 $0.5\mu\text{s} \times 32 = 16\mu\text{s}$

“死时间率” 为 $32/4000 \times 100\% = 0.8\%$

② 分散刷新（存取周期为 $1\mu\text{s}$ ）

4.2

以 128×128 矩阵为例



$$t_C = t_M + t_R$$

无“死区”

↓ ↓
读写 刷新

(存取周期为 $0.5\mu\text{s} + 0.5\mu\text{s}$)

③ 分散刷新与集中刷新相结合

对于 128×128 的存储芯片（存取周期为 $0.5\mu\text{s}$ ）

若每隔 2 ms 集中刷新一次 “死区” 为 $64\mu\text{s}$

若每隔 $15.625\mu\text{s}$ 刷新一行

而且每行每隔 2 ms 刷新一次 “死区” 为 $0.5\mu\text{s}$

将刷新安排在指令译码阶段，不会出现 “死区”

4. 动态 RAM 和静态 RAM 的比较

	<div>主存</div> DRAM	SRAM <div>缓存</div>
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	需要	不需要

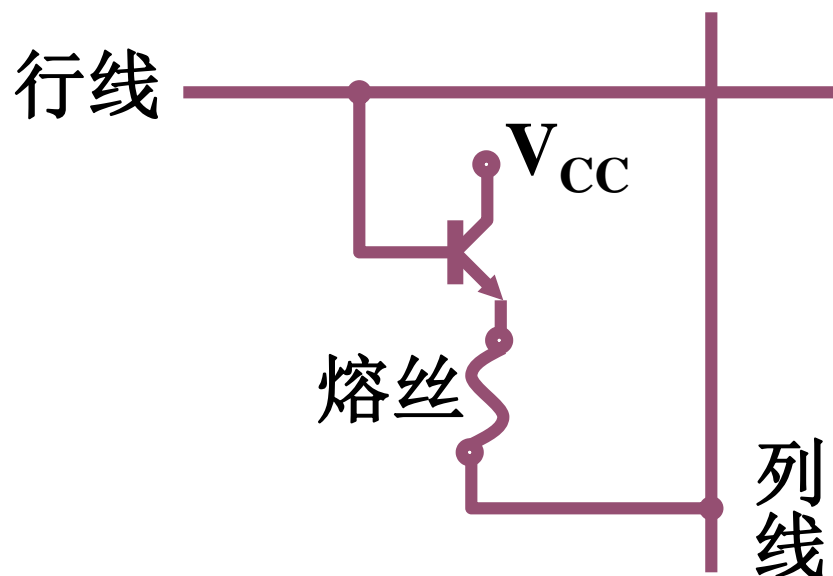
四、只读存储器 (ROM)

1. 掩膜 ROM (MROM)

行列选择线交叉处有 MOS 管为 “1”

行列选择线交叉处无 MOS 管为 “0”

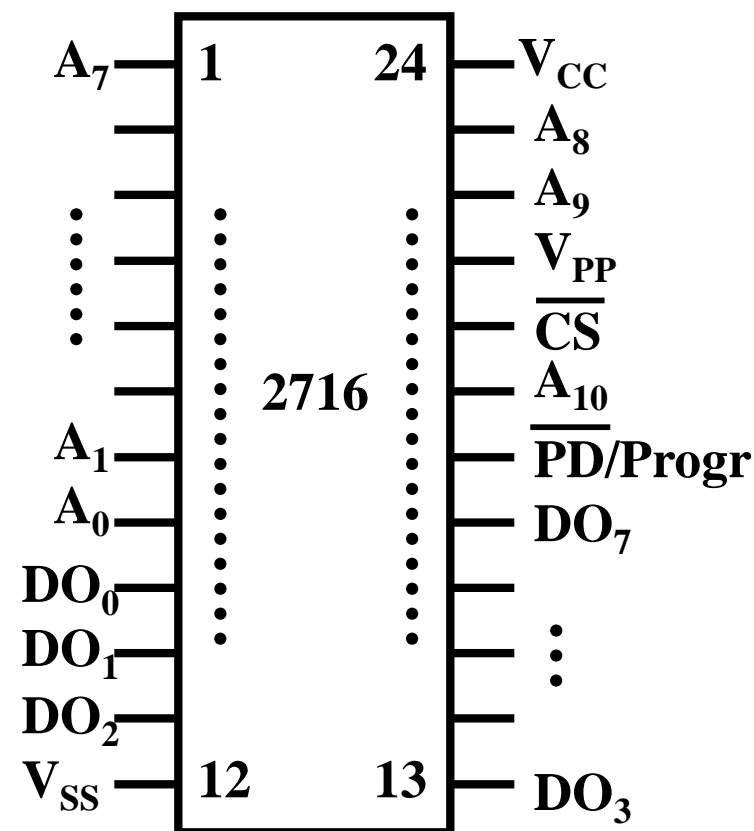
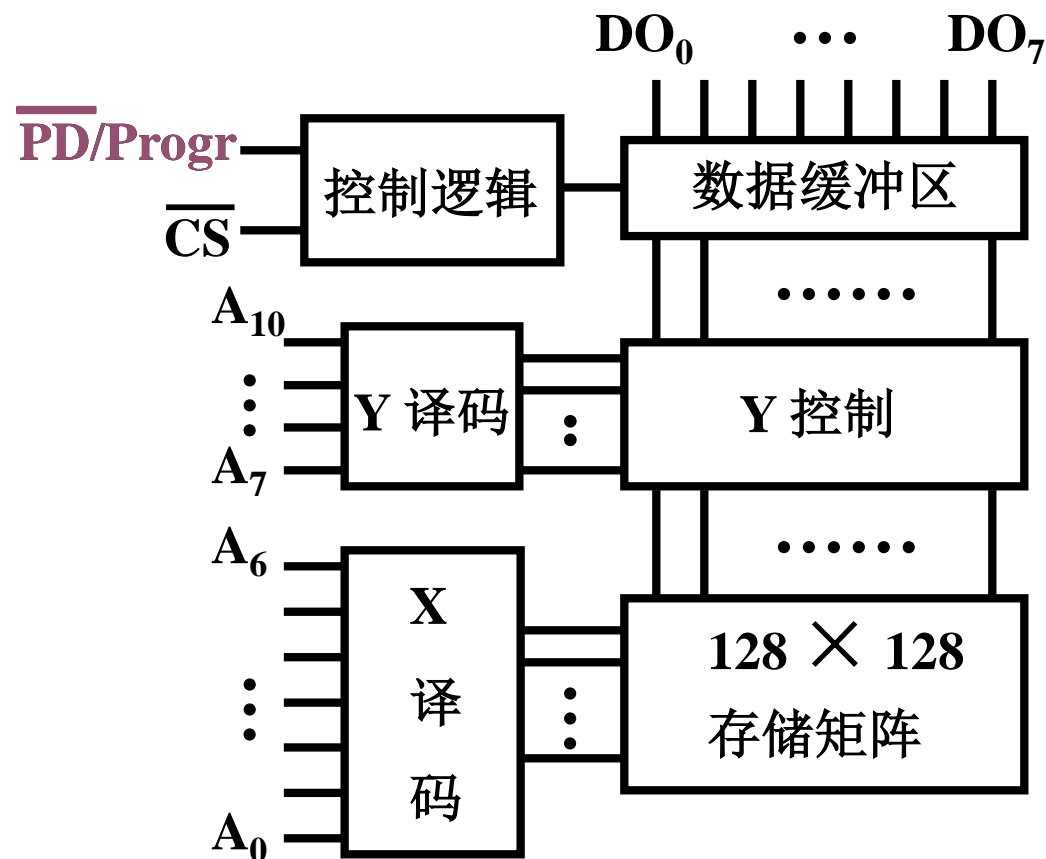
2. PROM (一次性编程)



熔丝断 为 “0”

熔丝未断 为 “1”

(2) 2716 EPROM 的逻辑图和引脚



$\overline{\text{PD/Progr}}$ 编程控制信号输入端 读出时为低电平

4. EEPROM (多次性编程)

电可擦写

局部擦写

全部擦写

5. Flash Memory (快擦型存储器)

EPROM

价格便宜 集成度高

EEPROM

电可擦除、重写

比 E²PROM快

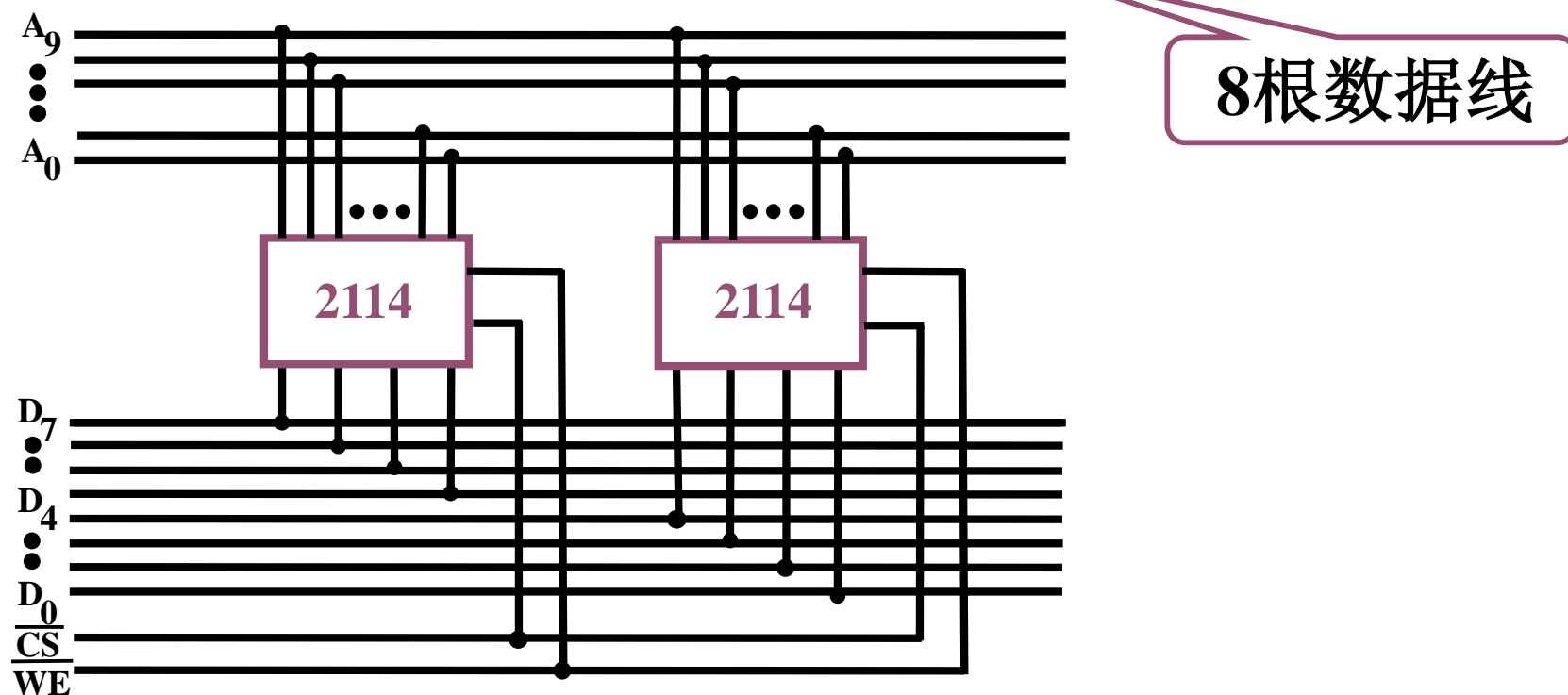
具备 SRAM 接口 (NOR Flash)

五、存储器与 CPU 的连接

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

用 2 片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位的存储器

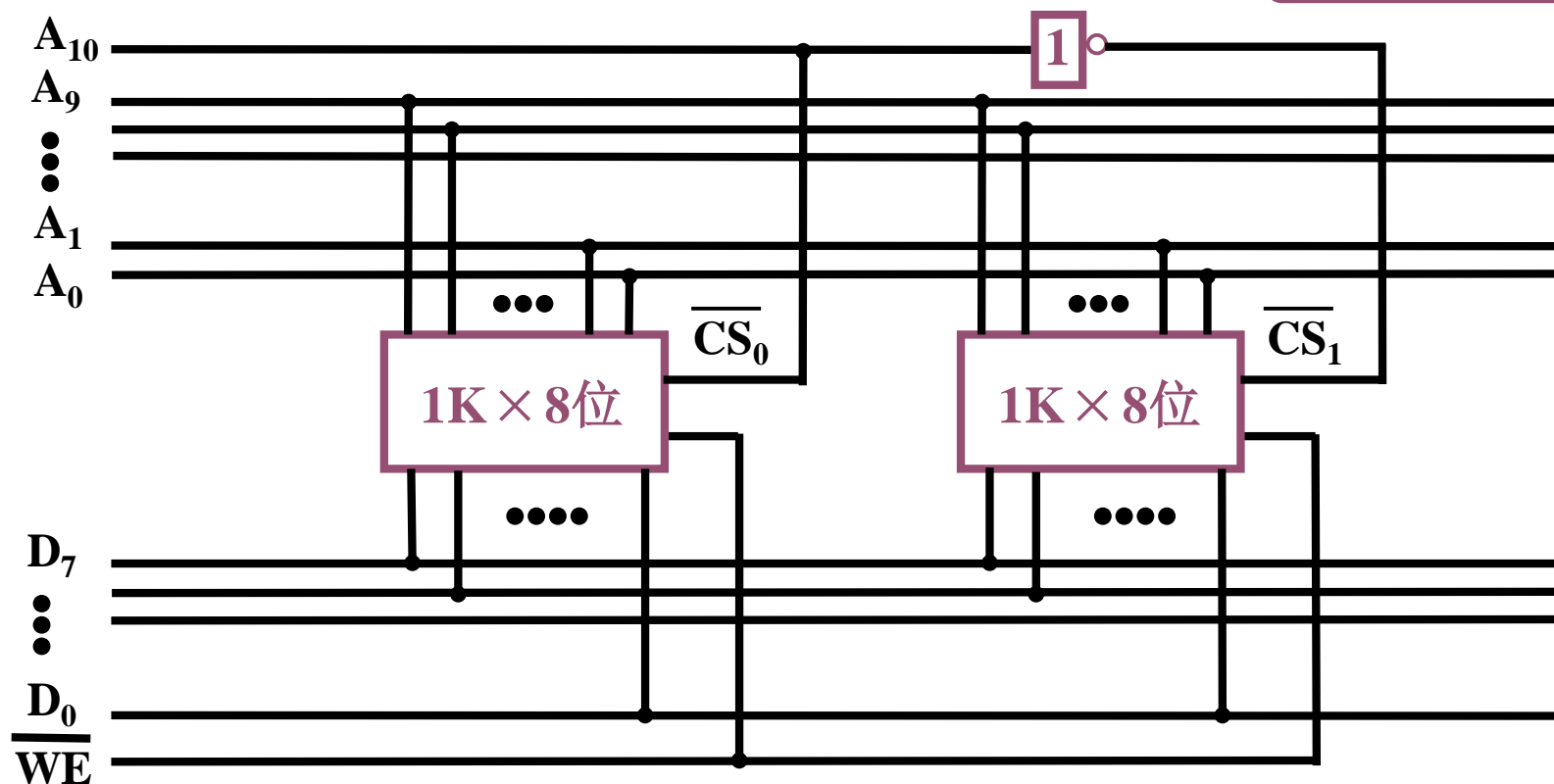


(2) 字扩展（增加存储字的数量）

11根地址线

用 2片 $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位 的存储器

8根数据线



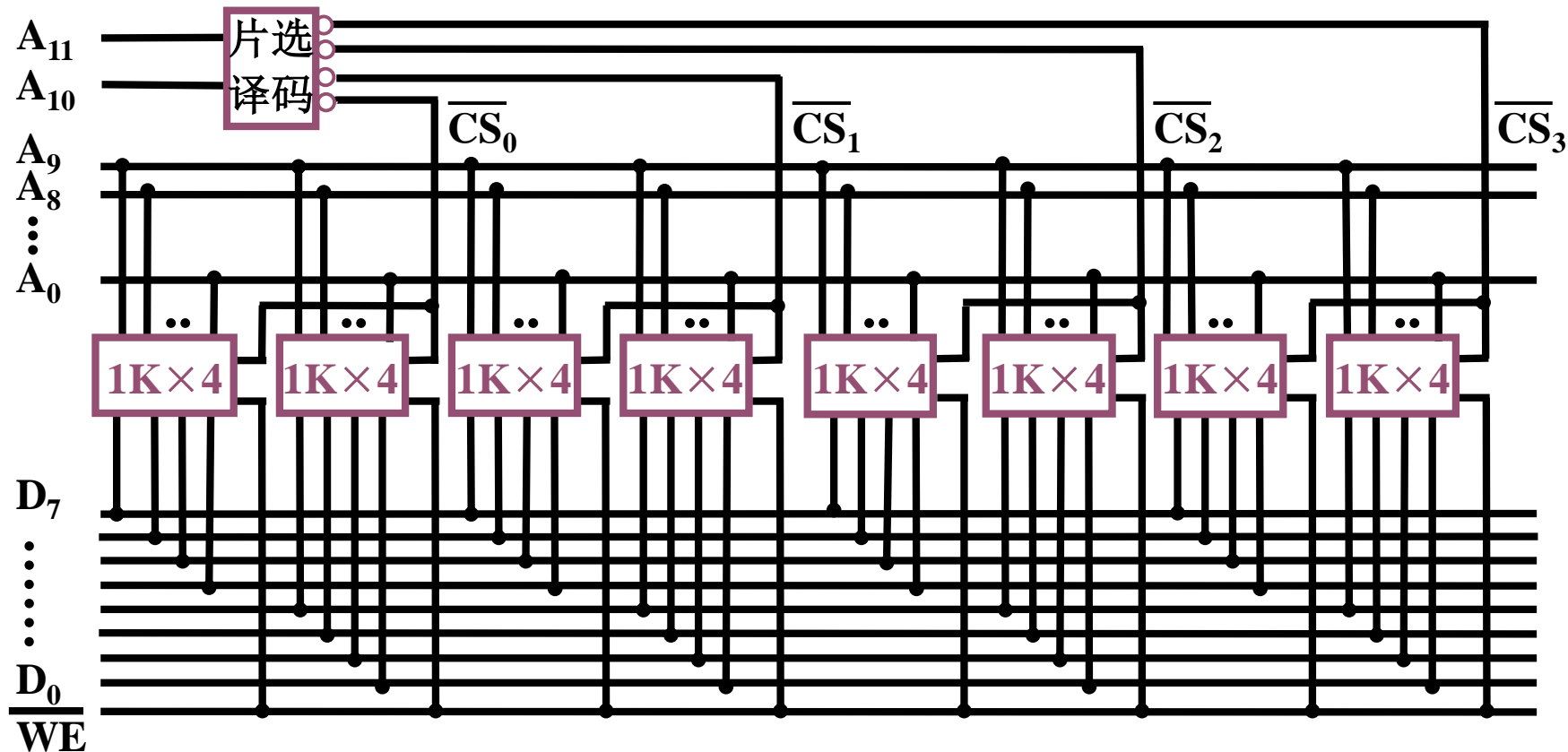
(3) 字、位扩展

4.2

用 8片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位的存储器

12根地址线

8根数据线



2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写线的连接
- (4) 片选线的连接
- (5) 合理选用芯片
- (6) 其他 时序、负载



例4.1

4.2

已知某CPU的地址总线宽度为16位，数据总线宽度为8位，CPU采用MREQ信号控制访问存储器。

要求从0x6000起的2K地址空间为系统程序区，相邻的1K地址空间为用户程序区。

请画出存储器与CPU的连接图。要求使用74138译码器实现地址译码，可附加适当的逻辑门电路。

备选的存储芯片如下：

ROM: 1K×8位； 2K×8位； 4K×8位

RAM: 1K×1位； 1K×4位； 4K×8位