

计算机组成原理

翁睿

哈尔滨工业大学

第 3 章 系统总线

3.1 总线的基本概念

3.2 总线的分类

3.3 总线特性及性能指标

3.4 总线结构

3.5 总线控制

3.1 总线的基本概念

一、为什么要用总线

二、什么是总线

总线是连接各个部件的信息传输线，
是 各个部件共享的传输介质

三、总线上信息的传送

串行



并行



3.2 总线的分类

1. 片内总线 芯片内部的总线

2. 系统总线 计算机各部件之间的信息传输线

数据总线 双向 与机器字长、存储字长有关

地址总线 单向 与存储地址、I/O地址有关

控制总线 有出 有入

存储器读、存储器写
总线允许、中断确认

中断请求、总线请求

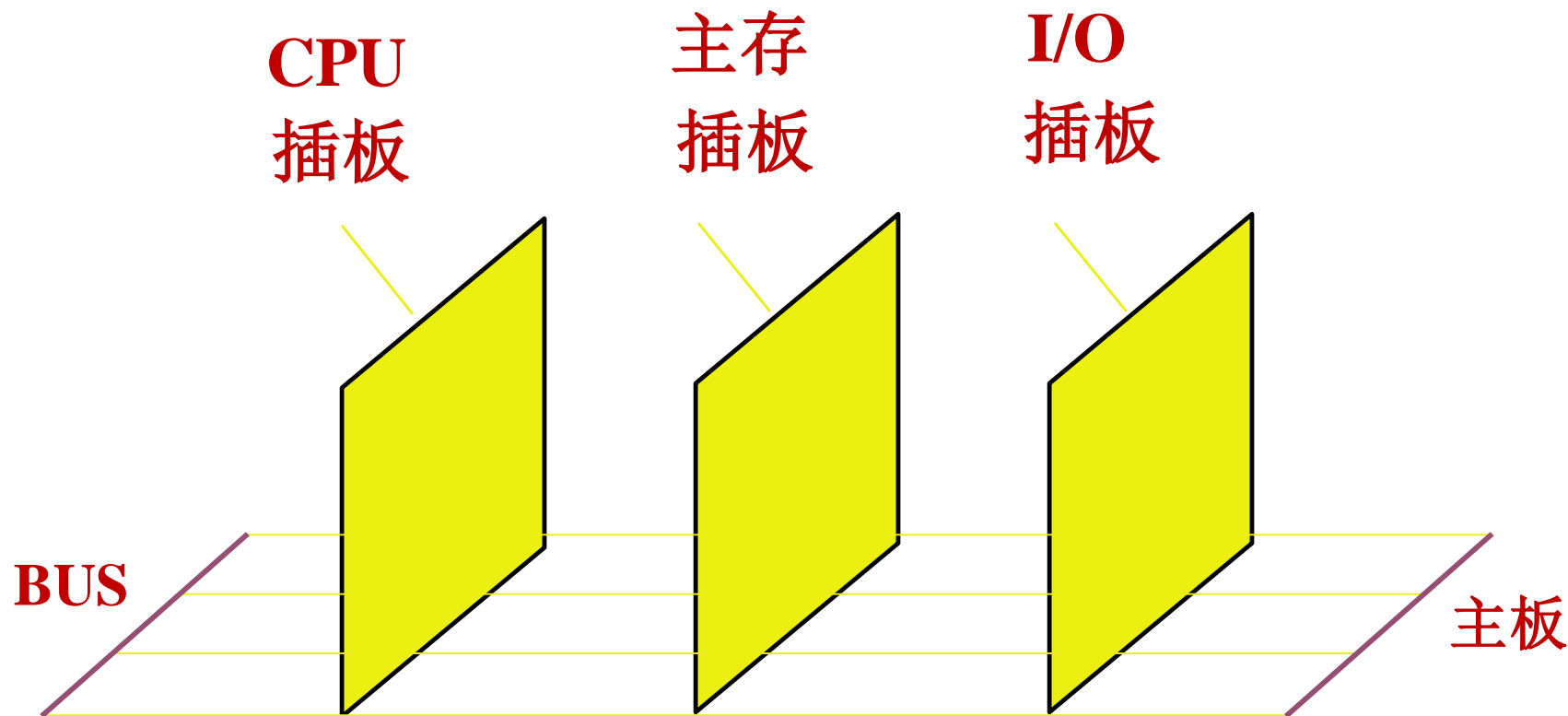
3. 通信总线

用于 计算机系统之间 或 计算机系统
与其他系统（如控制仪表、移动通信等）
之间的通信

传输方式 { 串行通信总线
并行通信总线

3.3 总线特性及性能指标

一、总线物理实现



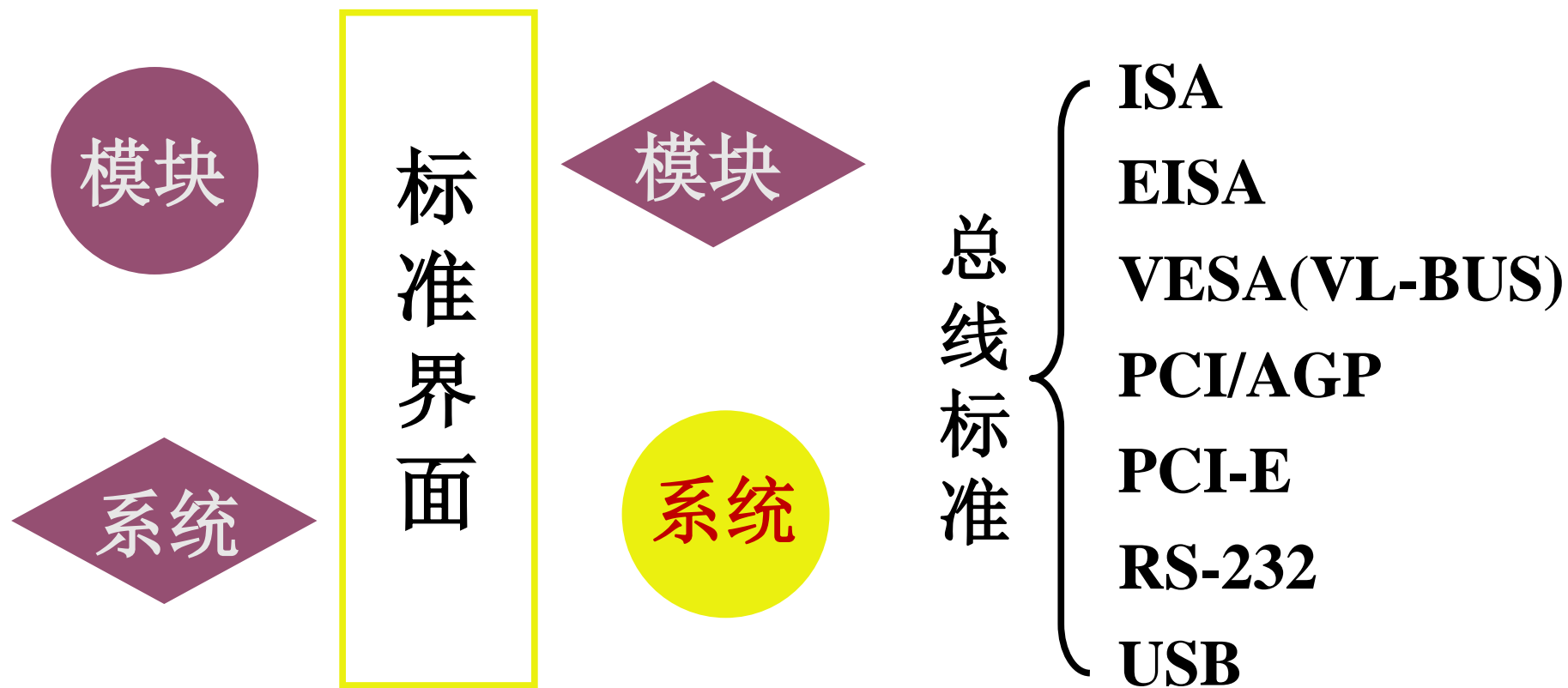
二、总线特性

- | | |
|---------|----------------------------|
| 1. 机械特性 | 尺寸、形状、管脚数 及 排列顺序 |
| 2. 电气特性 | 传输方向 和有效的 电平 范围 |
| 3. 功能特性 | 每根传输线的 功能 { 地址
数据
控制 |
| 4. 时间特性 | 信号的 时序 关系 |

三、总线的性能指标

1. 总线宽度 数据线的根数
2. 标准传输率 每秒传输的最大字节数 (MBps)
3. 时钟同步/异步 同步、不同步
4. 总线复用 地址线 与 数据线 复用
5. 信号线数 地址线、数据线和控制线的 总和
6. 总线控制方式 突发、自动、仲裁、逻辑、计数
7. 其他指标 负载能力

四、总线标准



6. 系统总线的进化历程

3.4

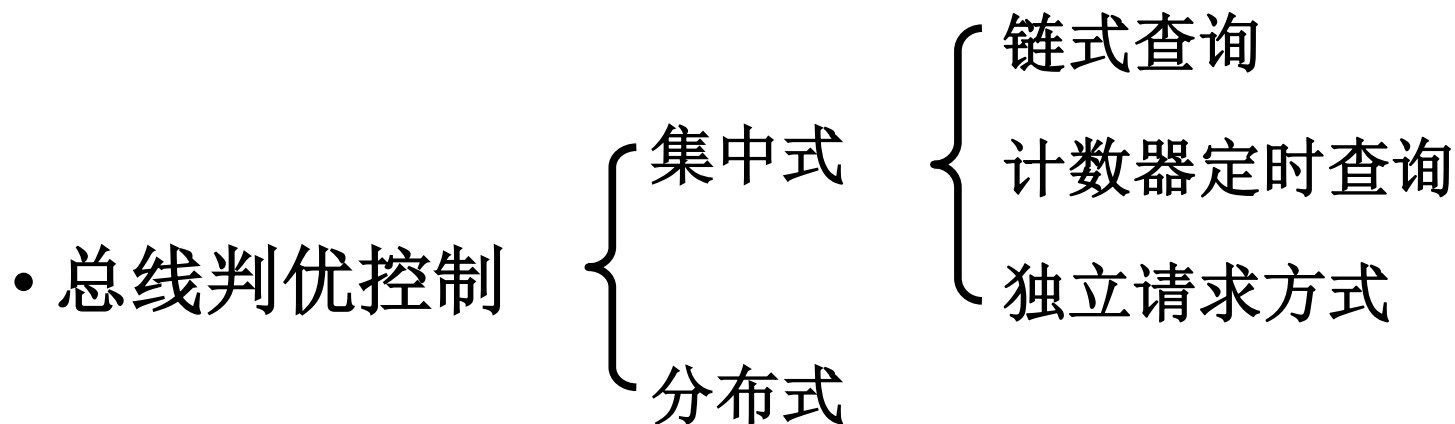
年份	标准	时钟频率	传输位宽	传输位数/周期	带宽
1981	ISA	8MHz	8	0.5	8MB/s
1988	EISA	33.33MHz	32	1	33.33MB/s
1993	PCI	33MHz	32	1	133MB/s
1996	AGP 1x	66MHz	32	1	266MB/s
	AGP 2x/4x/8x	66MHz	32	2/4/8 (DDR/QDR/ODR)	(533/1,066/2,133)MB/s
1998	PCI-X	133MHz	64	1	1,066MB/s
2004	PCI-E Gen1 x1	2.5GHz	1	1	250MB/s
	PCI-E Gen1 x2/4/8/16	2.5GHz	1	1	(0.5/1/2/4)GB/s
2007	PCI-E Gen2 x1	5GHz	1	1	500MB/s
	PCI-E Gen2 x2/4/8/16	5GHz	1	1	(1/2/4/8)GB/s
2010	PCI-E Gen3 x1	8GHz	1	1	1GB/s
	PCI-E Gen3 x2/4/8/16	8GHz	1	1	(2/4/8/16)GB/s
2017	PCI-E Gen4 x1	16GHz	1	1	2GB/s
	PCI-E Gen4 x2/4/8/16	16GHz	1	1	(4/8/16/32)GB/s
2019	PCI-E Gen5 x1	32GHz	1	1	4GB/s
	PCI-E Gen5 x2/4/8/16	32GHz	1	1	(8/16/32/64)GB/s

3.5 总线控制

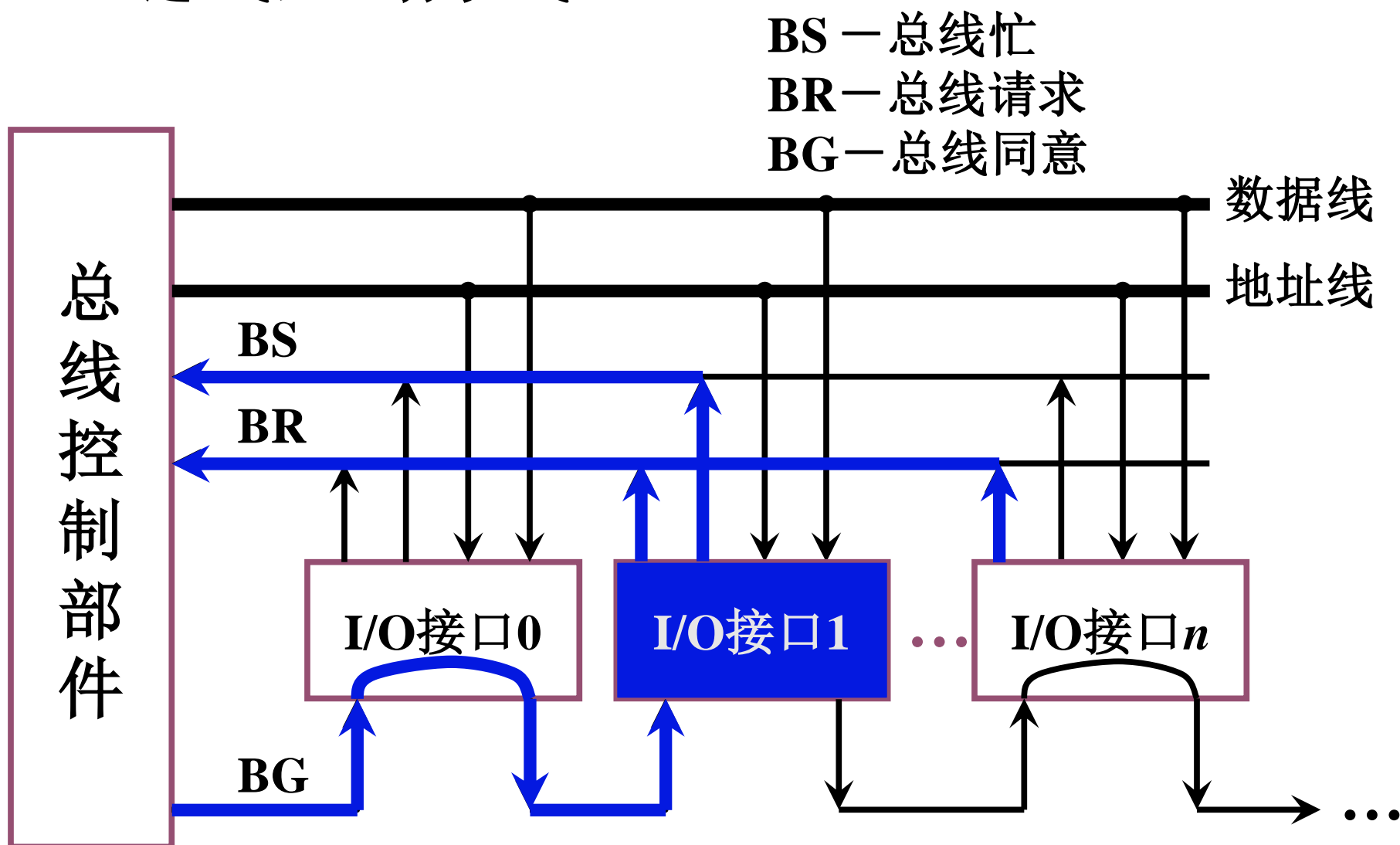
一、总线判优控制

1. 基本概念

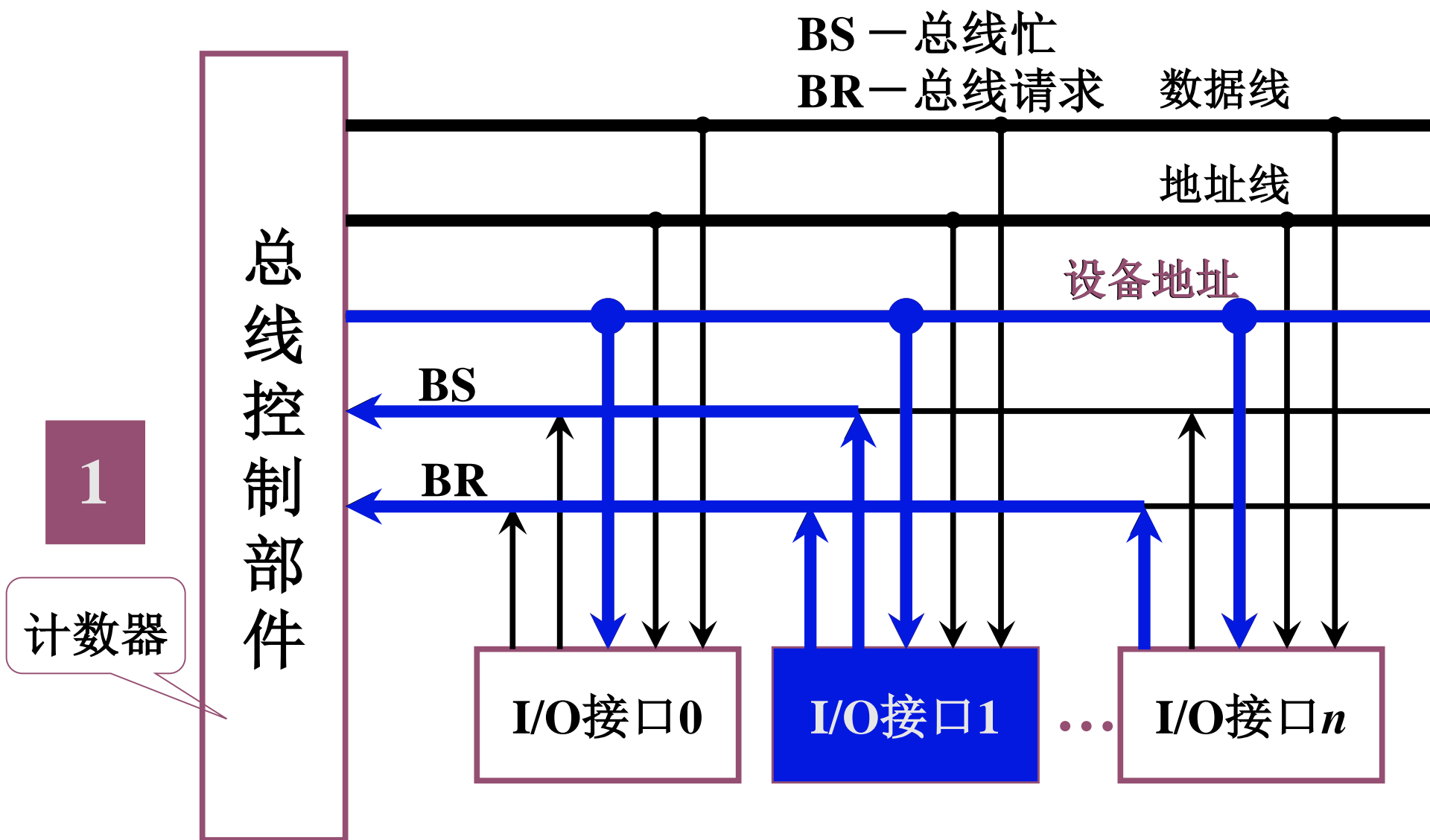
- 主设备(模块) 对总线有 **控制权**
- 从设备(模块) **响应** 从主设备发来的总线命令



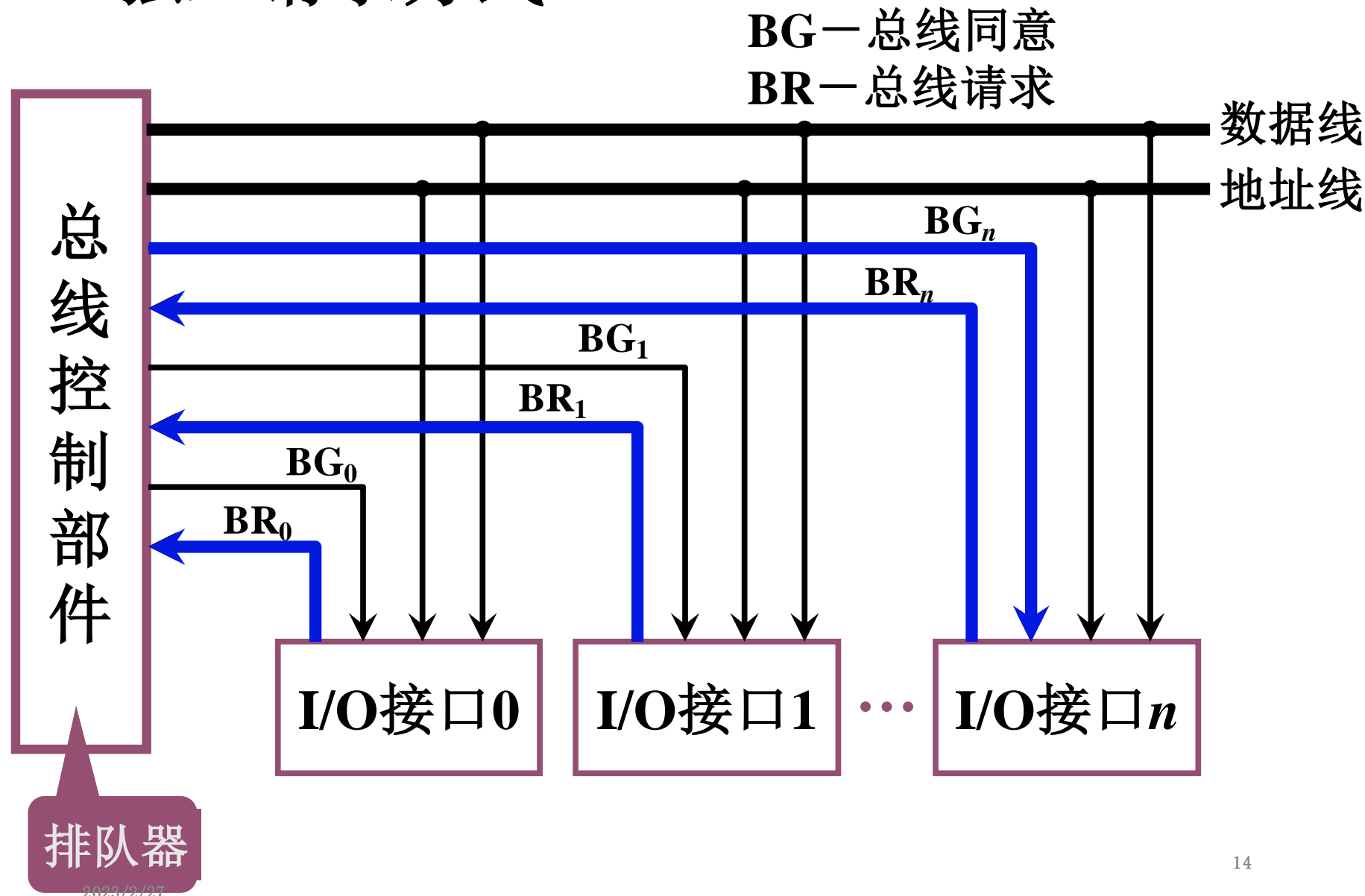
2. 链式查询方式



3. 计数器定时查询方式

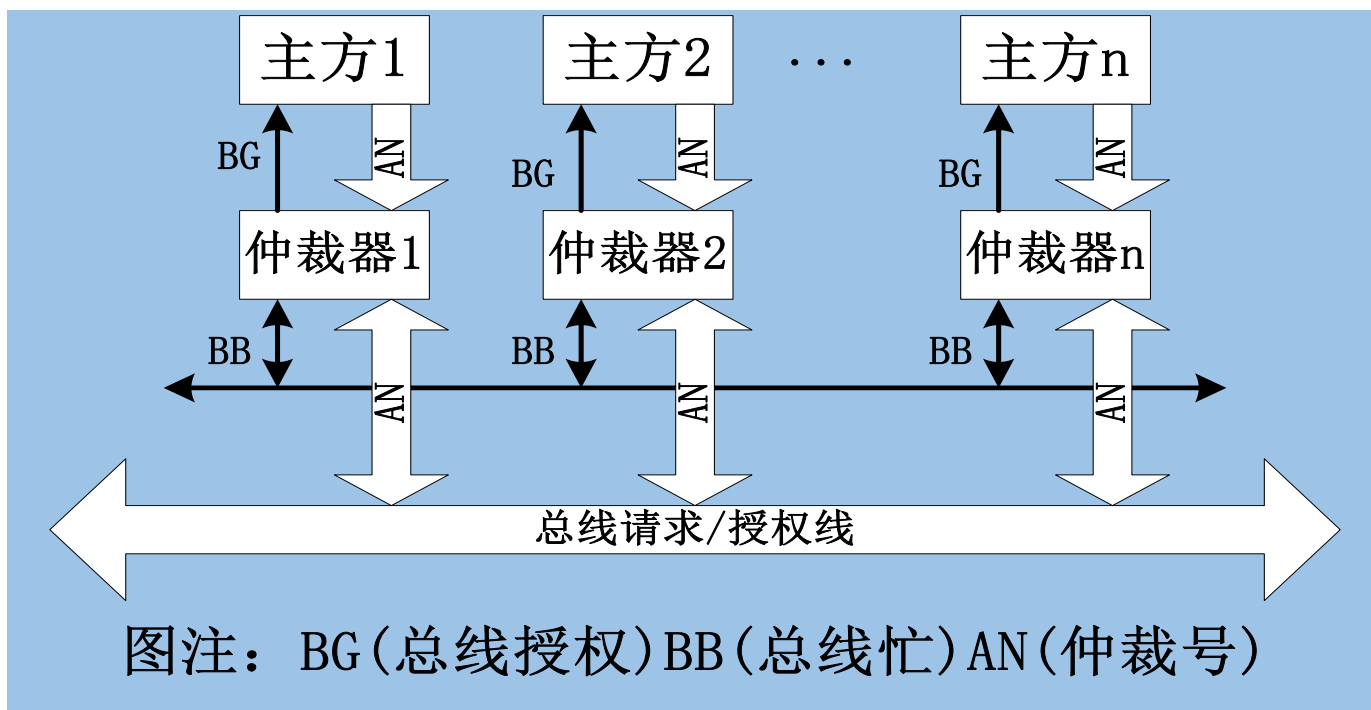


4. 独立请求方式



分布式控制


✓将总线控制逻辑分布在连接到总线的各个部件中。



二、总线通信控制

1. 目的 解决通信双方 协调配合 问题

2. 总线传输周期



申请分配阶段	主模块申请，总线仲裁决定
寻址阶段	主模块向从模块 给出地址 和 命令
传数阶段	主模块和从模块 交换数据
结束阶段	主模块 撤消有关信息

3. 总线通信的四种方式

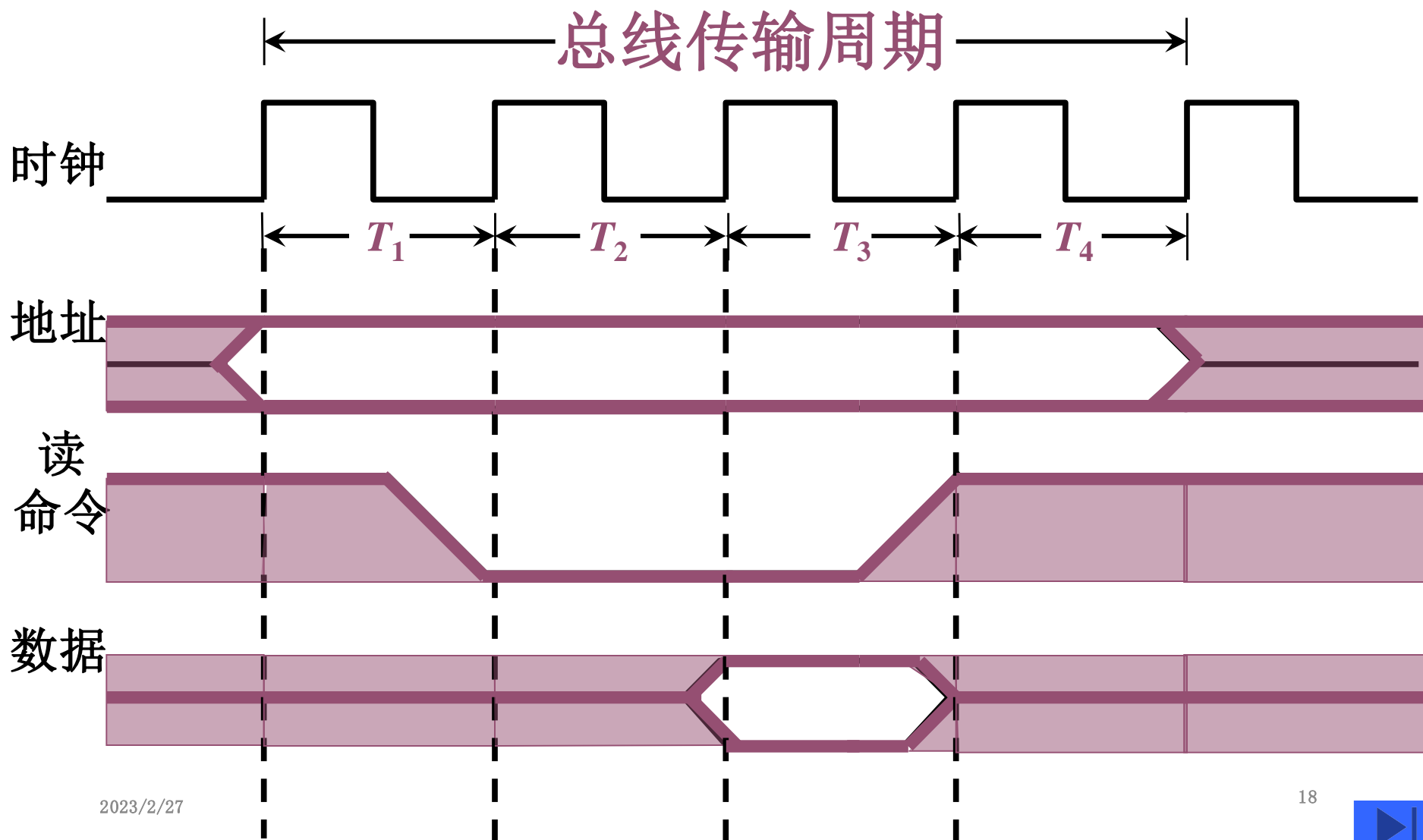
同步通信 由 统一时标 控制数据传送

异步通信 采用 应答方式，没有公共时钟标准

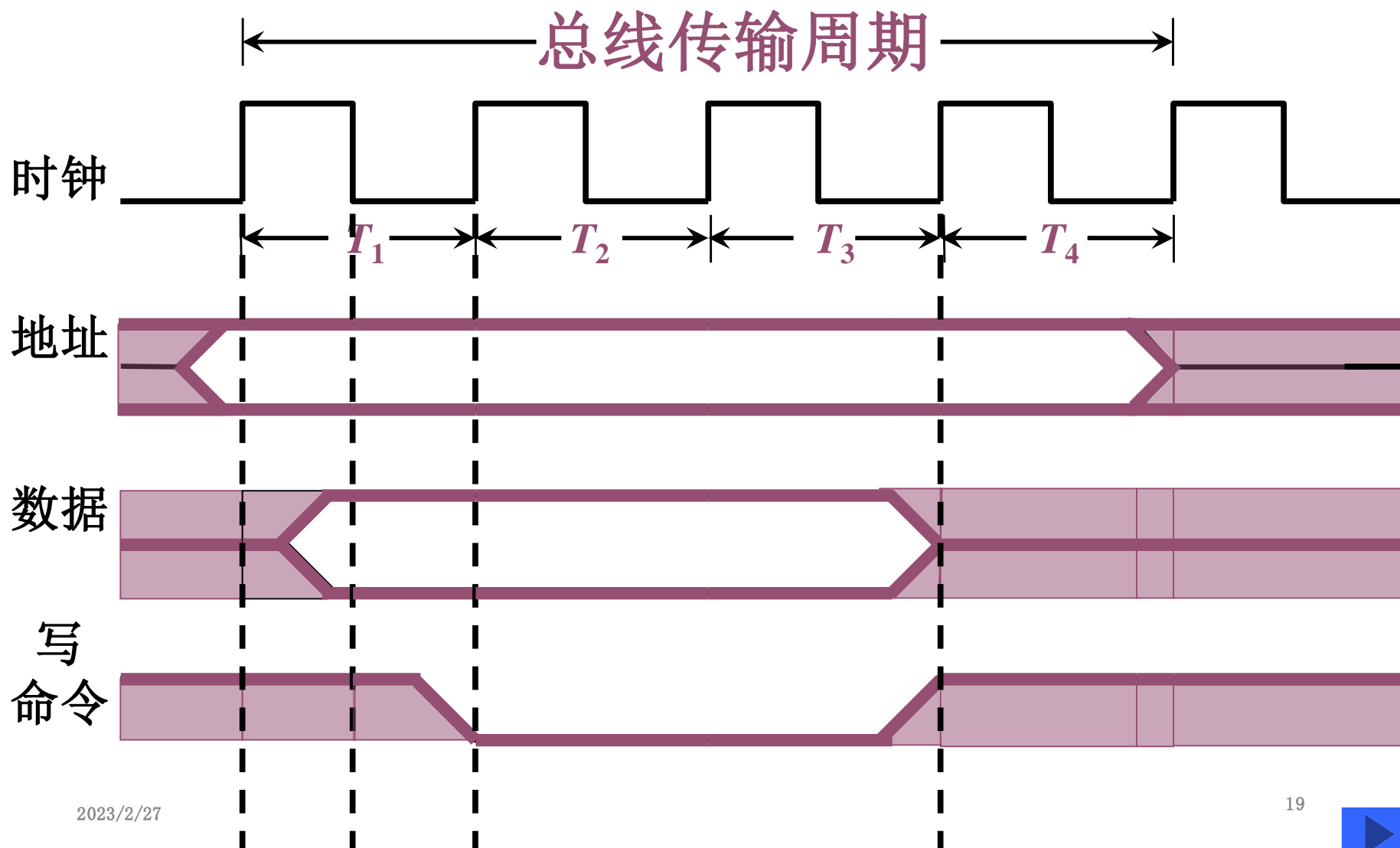
半同步通信 同步、异步结合

分离式通信 充分 挖掘 系统 总线每个瞬间 的 潜力

(1) 同步式数据输入



(2) 同步式数据输出



例3.1 假设总线的时钟频率为 100 MHz，总线的传输周期为4个时钟周期，总线的宽度为32位，试求总线的数据传输率。

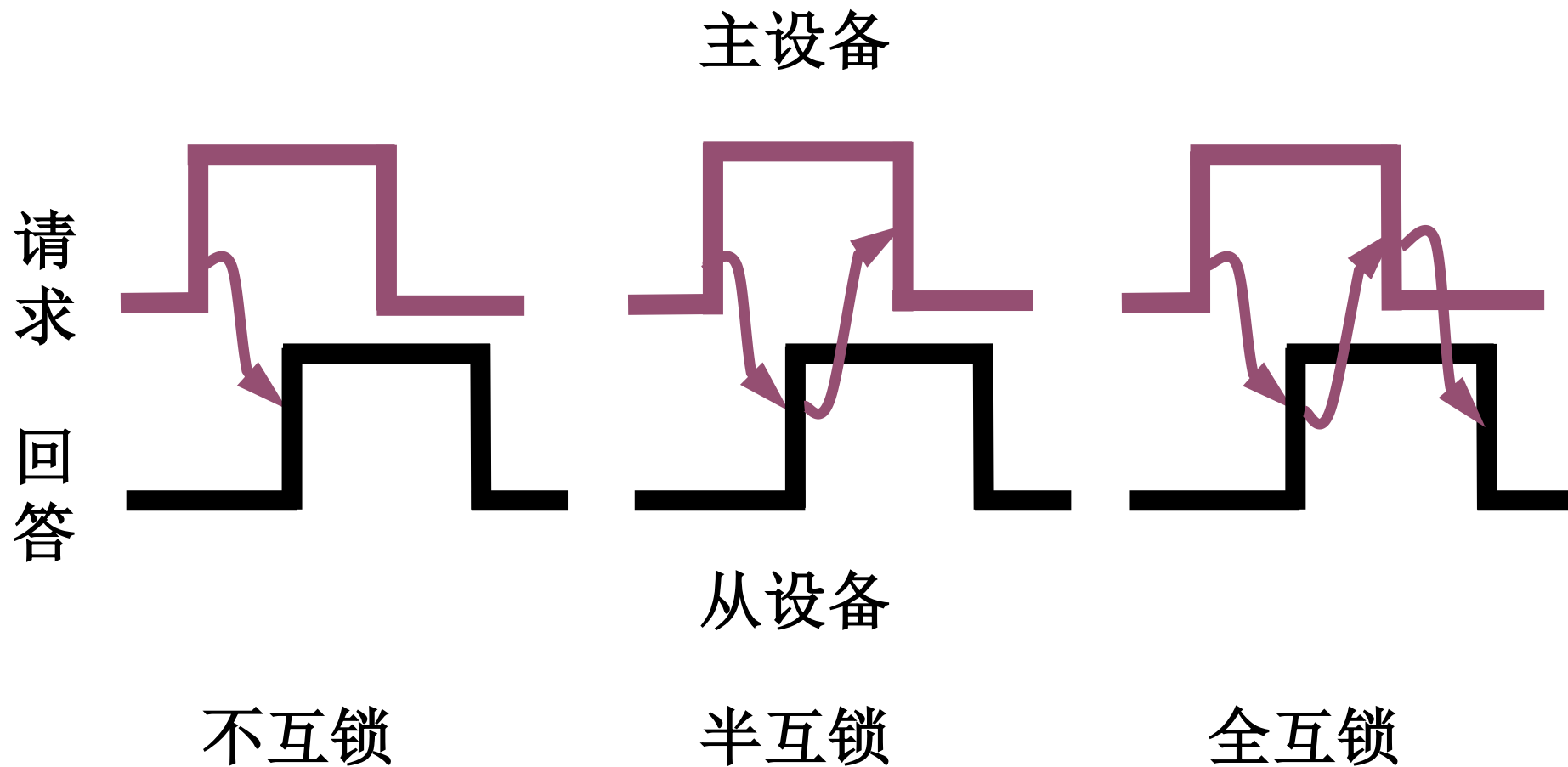
若想提高一倍数据传输率，可采取什么措施？

解：总线时钟频率为100 MHz，
则1个时钟周期为： $1/100\text{ MHz} = 0.01\text{ }\mu\text{s}$
总线传输周期为 $0.01\text{ }\mu\text{s} \times 4 = 0.04\text{ }\mu\text{s}$
又由于总线的宽度为 32 位 = 4B（字节）
总线的数据传输率为： $4\text{B}/(0.04\text{ }\mu\text{s}) = 100\text{MBps}$

若想提高一倍数据传输率，可以：

- ①将数据线的位宽提高到64位；
- ②将时钟频率提高到200MHz；
- ③使用双倍数据速率（DDR）传输技术。

(3) 异步通信



(4) 半同步通信 (同步、异步 结合) 3.5

同步 发送方 用系统 时钟前沿 发信号

接收方 用系统 时钟后沿 判断、识别

异步 允许不同速度的模块和谐工作

增加一条 “等待” 响应信号 $\overline{\text{WAIT}}$

以输入数据为例的半同步通信时序

T_1 主模块发地址

T_2 主模块发命令

T_w 当 $\overline{\text{WAIT}}$ 为低电平时，等待一个 T

T_w 当 $\overline{\text{WAIT}}$ 为低电平时，等待一个 T

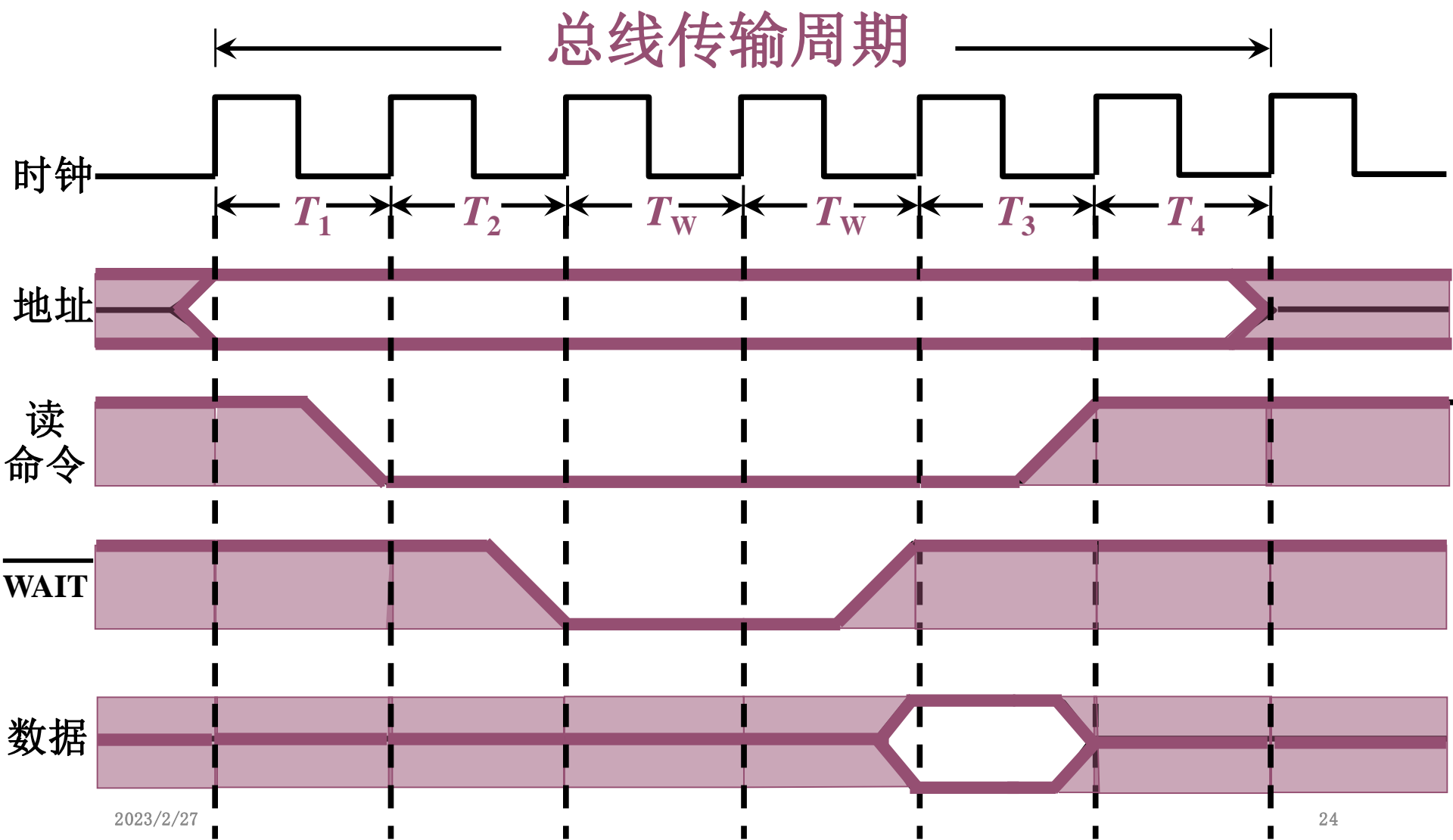
⋮

T_3 从模块提供数据

T_4 从模块撤销数据，主模块撤销命令

(4) 半同步通信 (同步、异步 结合)

3.5



上述三种通信的共同点

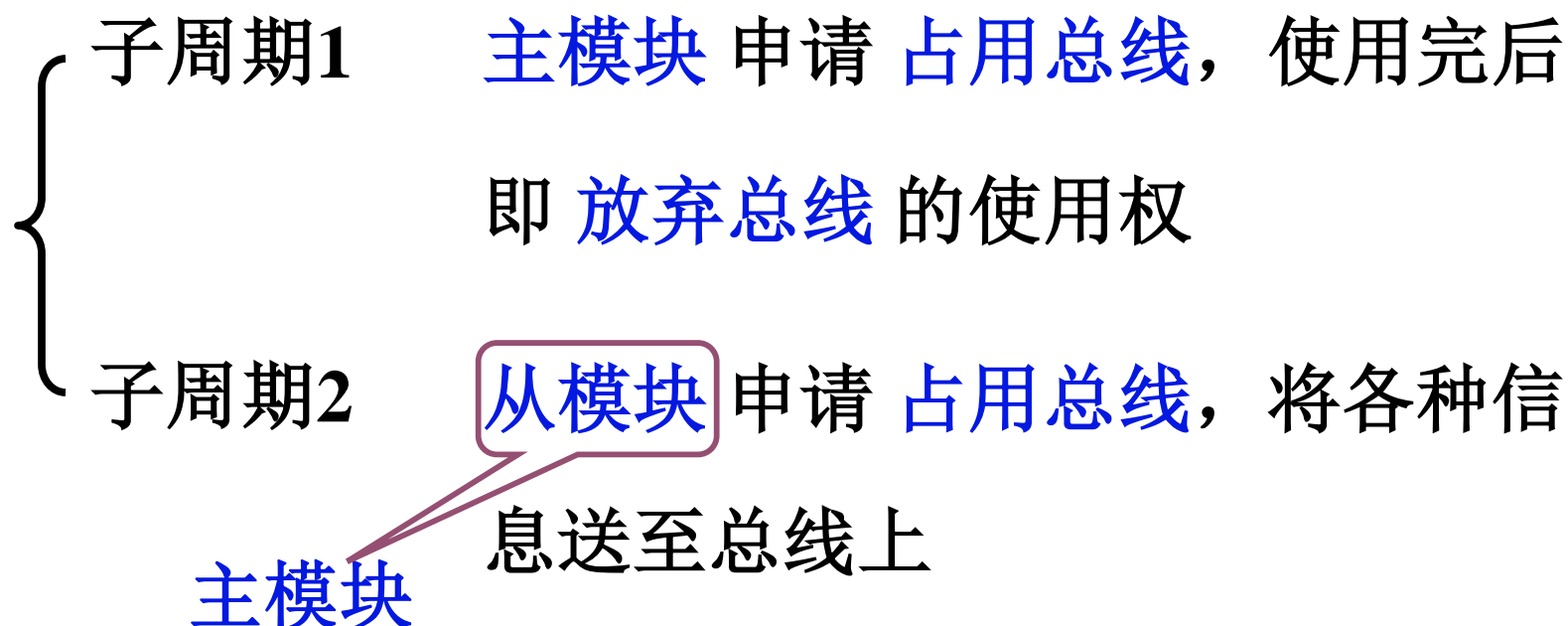
一个总线传输周期（以输入数据为例）

- 主模块发地址、命令 占用总线
- 从模块准备数据 不占用总线 总线空闲
- 从模块向主模块发数据 占用总线

(5) 分离式通信

充分挖掘系统总线每个瞬间的潜力

一个总线传输周期



分离式通信特点

1. 各模块有权申请占用总线
2. 采用同步方式通信，不等对方回答
3. 各模块准备数据时，不占用总线
4. 总线被占用时，无空闲

充分提高了总线的有效占用

Part 2 课后作业

P66-P67, T3.6, T3.14, T3.15

用A4纸书写答案，上交时间另行通知。

✓ **3.6** 试比较同步通信和异步通信。

✓ **3.14** 设总线的时钟频率为 8 MHz, 一个总线周期等于一个时钟周期。如果一个总线周期中并行传送 16 位数据, 试问总线的带宽是多少?

✓ **3.15** 在一个 32 位的总线系统中, 总线的时钟频率为 66 MHz, 假设总线最短传输周期为 4 个时钟周期, 试计算总线的最大数据传输率。若想提高数据传输率, 可采取什么措施?

