

计算机组成原理

翁睿

哈尔滨工业大学

第8章 CPU 的结构和功能

8.1 CPU 的结构

8.2 指令周期

8.3 指令流水

8.4 中断系统

8.1 CPU 的结构

一、CPU 的功能

1. 控制器的功能

取指令

分析指令

执行指令，发出各种操作命令

控制程序输入及结果的输出

总线管理

处理异常情况和特殊请求

2. 运算器的功能

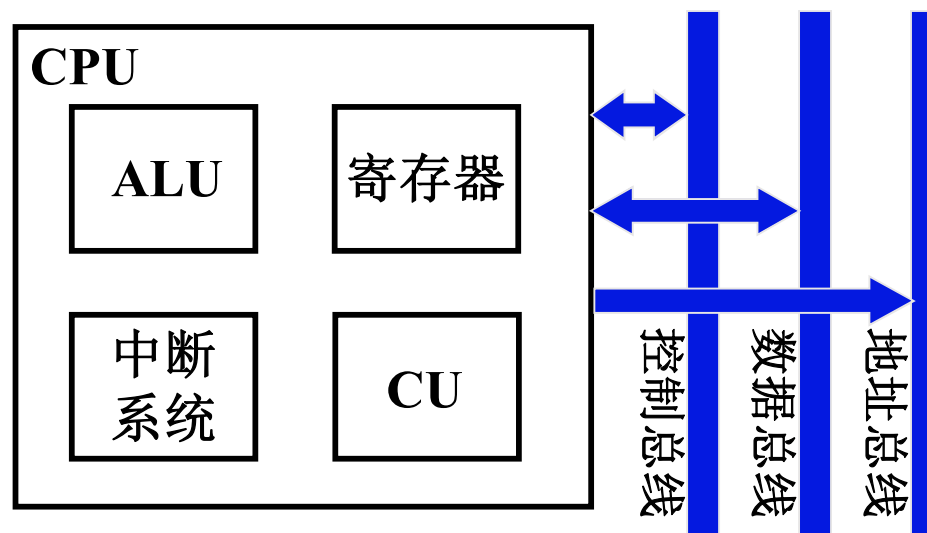
实现算术运算和逻辑运算

二、CPU 结构框图

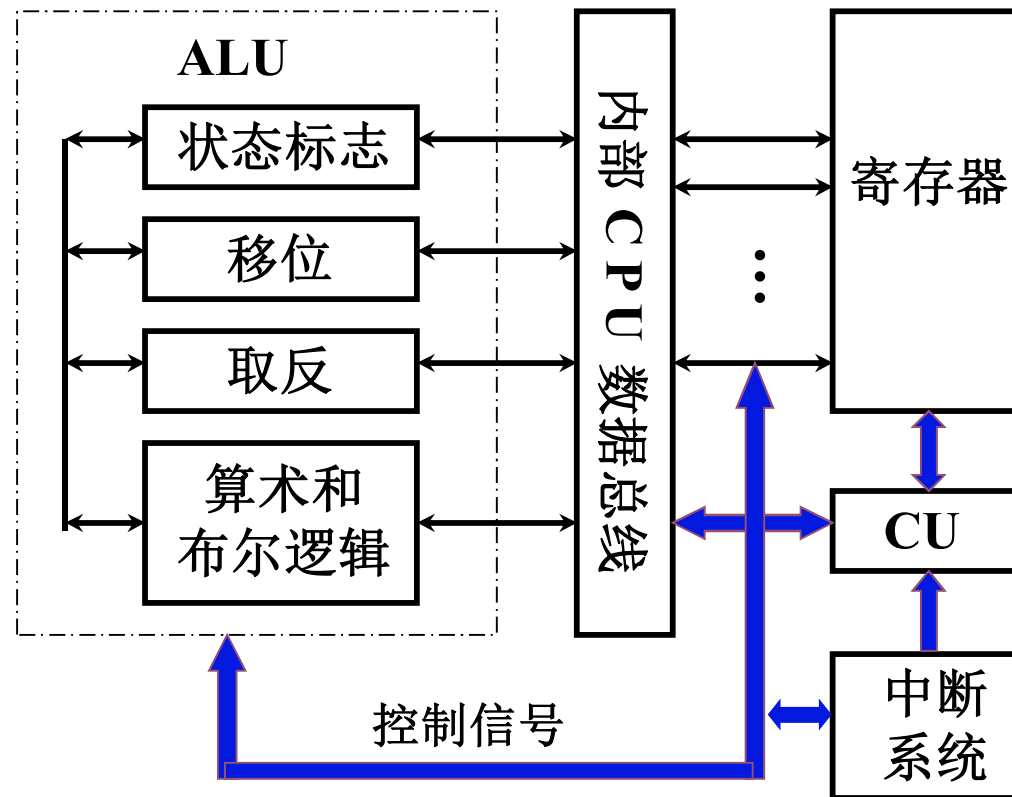
8.1

1. CPU 与系统总线

指令控制	PC	IR
操作控制	CU	时序电路
时间控制		
数据加工	ALU	寄存器
处理中断	中断系统	

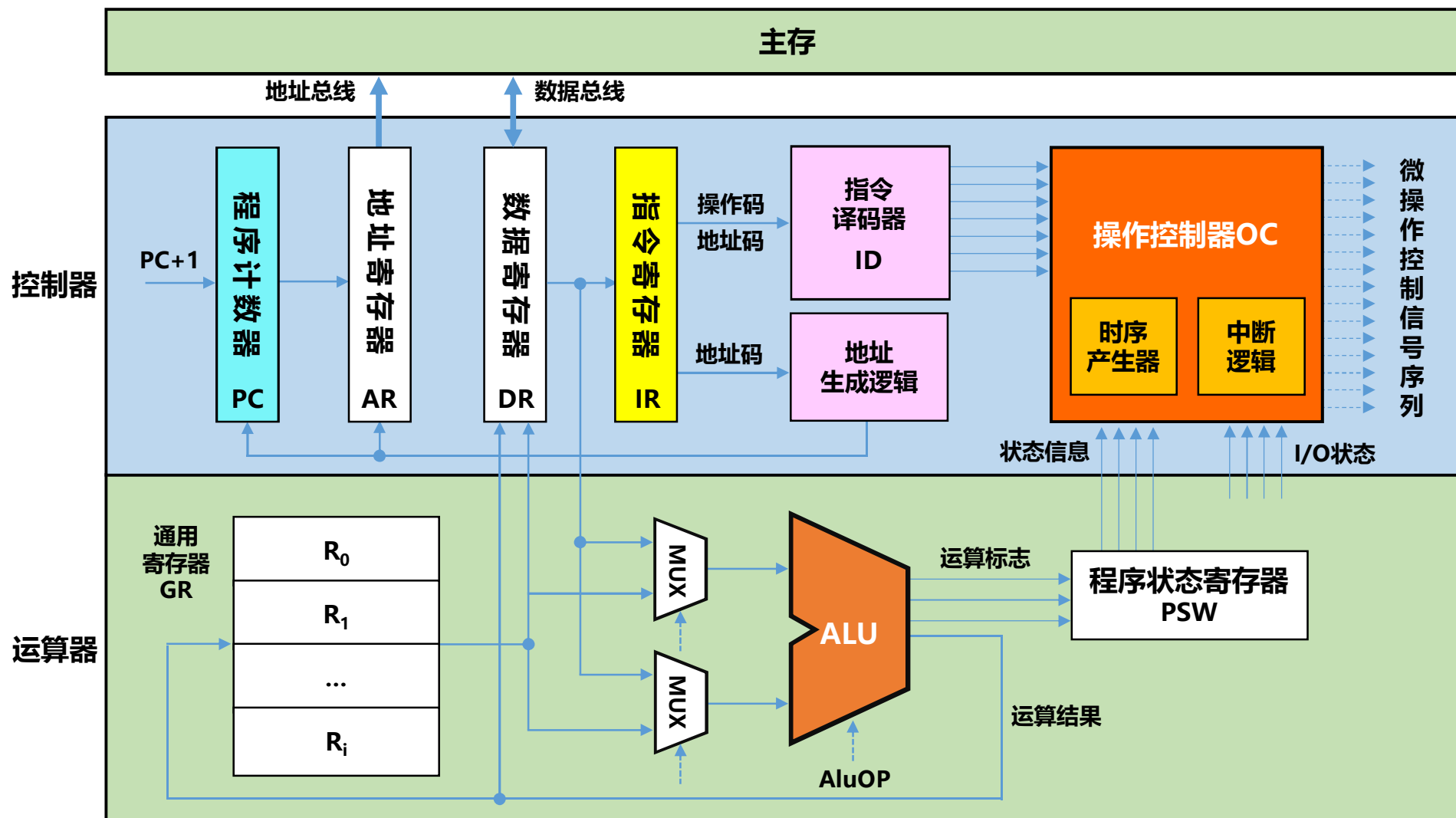


2. CPU 的内部结构



简单CPU模型

8.1



三、CPU 的寄存器

8.1

1. 用户可见寄存器

(1) 通用寄存器

存放操作数

可作 某种寻址方式所需的 专用寄存器

(2) 数据寄存器

存放操作数（满足各种数据类型）

两个寄存器拼接存放双倍字长数据

(3) 地址寄存器

存放地址，其位数应满足最大的地址范围

用于特殊的寻址方式 段基址 栈指针

(4) 条件码寄存器

存放条件码，可作程序分支的依据

如 正、负、零、溢出、进位等

2. 控制和状态寄存器

(1) 控制寄存器

PC → **MAR** → **M** → **MDR** → **IR**

控制 CPU 操作

其中 **MAR**、**MDR**、**IR**

用户不可见

PC

用户可见

(2) 状态寄存器

状态寄存器

存放条件码

PSW 寄存器

存放程序状态字

3. 举例

Z8000

8086

MC 68000

X86指令系统举例-- IA-32的寄存器组织

%eax	累加器 (32bits)	%ax (16bits)	%ah (8bits)	%al (8bits)
%ecx	计数寄存器	%cx	%ch	%cl
%edx	数据寄存器	%dx	%dh	%dl
%ebx	基址寄存器	%bx	%bh	%bl
%esi	源变址寄存器	%si		
%edi	目标变址寄存器	%di		
%esp	堆栈指针	%sp		
%ebp	基址指针	%bp		
%eip	指令指针	ip		
%eeflags	标志寄存器	flags		

- 8个通用寄存器
- 两个专用寄存器
- 6个段寄存器

CS (代码段) 16bits
SS (堆栈段)
DS (数据段)
ES (附加段)
FS (附加段)
GS (附加段)

四、控制单元 CU 和中断系统

1. CU 产生全部指令的微操作命令序列

组合逻辑设计

硬连线逻辑

微程序设计

存储逻辑

参见 第 10 章

2. 中断系统

参见 本章 8.4 节

五、ALU

参见 第 6 章

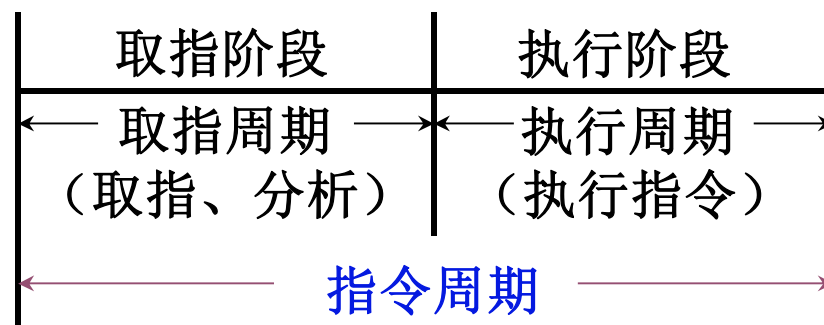
8.2 指令周期

一、指令周期的基本概念

1. 指令周期

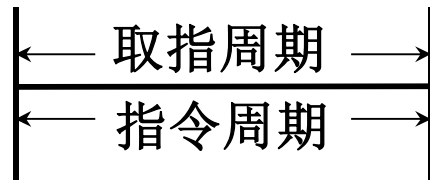
取出并执行一条指令所需的全部时间

完成一条指令 { 取指、分析 取指周期
 执行 执行周期

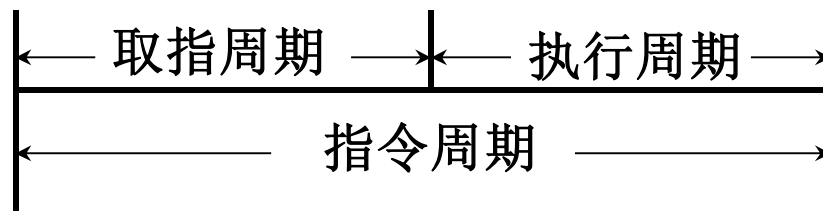


8.2

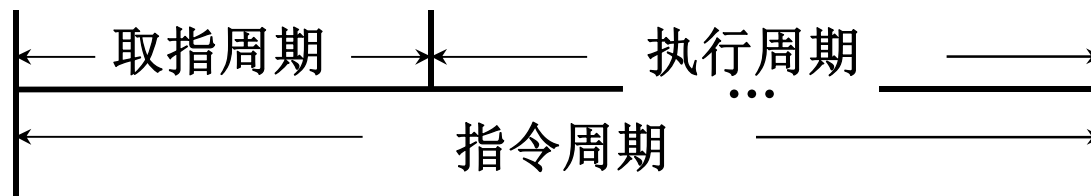
2. 每条指令的指令周期不同



NOP

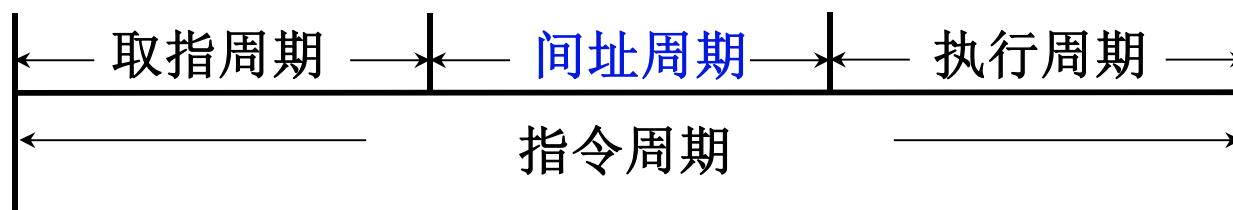


ADD mem

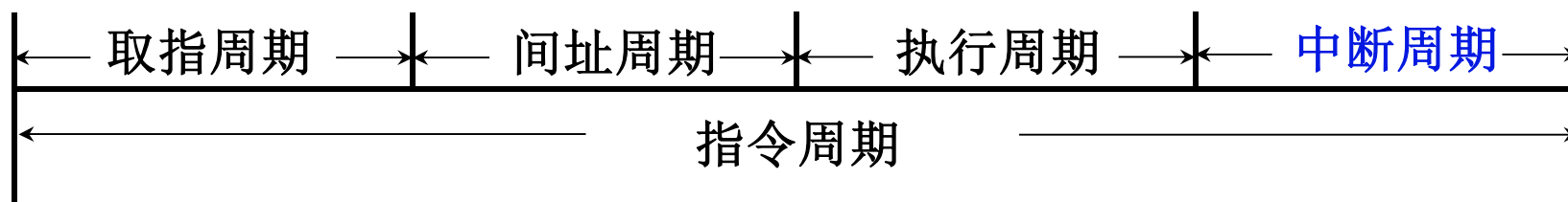


MUL mem

3. 具有间接寻址的指令周期

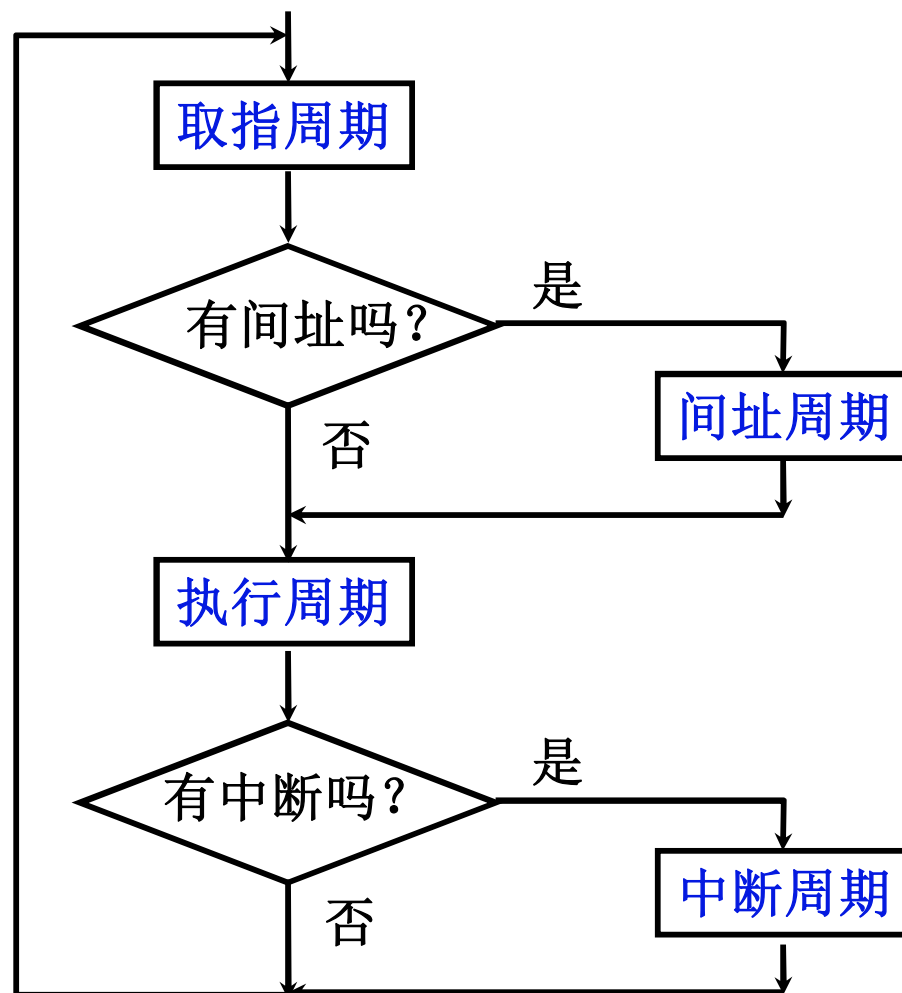


4. 带有中断周期的指令周期



5. 指令周期流程

8.2



6. CPU 工作周期的标志

CPU 访存有四种性质

取 指令

取指周期

取 地址

间址周期

取 操作数

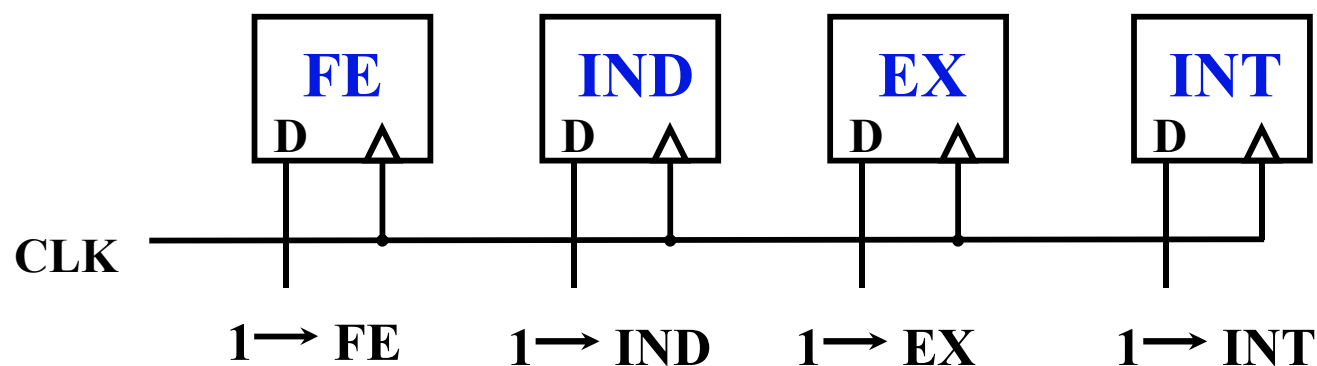
执行周期

存 程序断点

中断周期

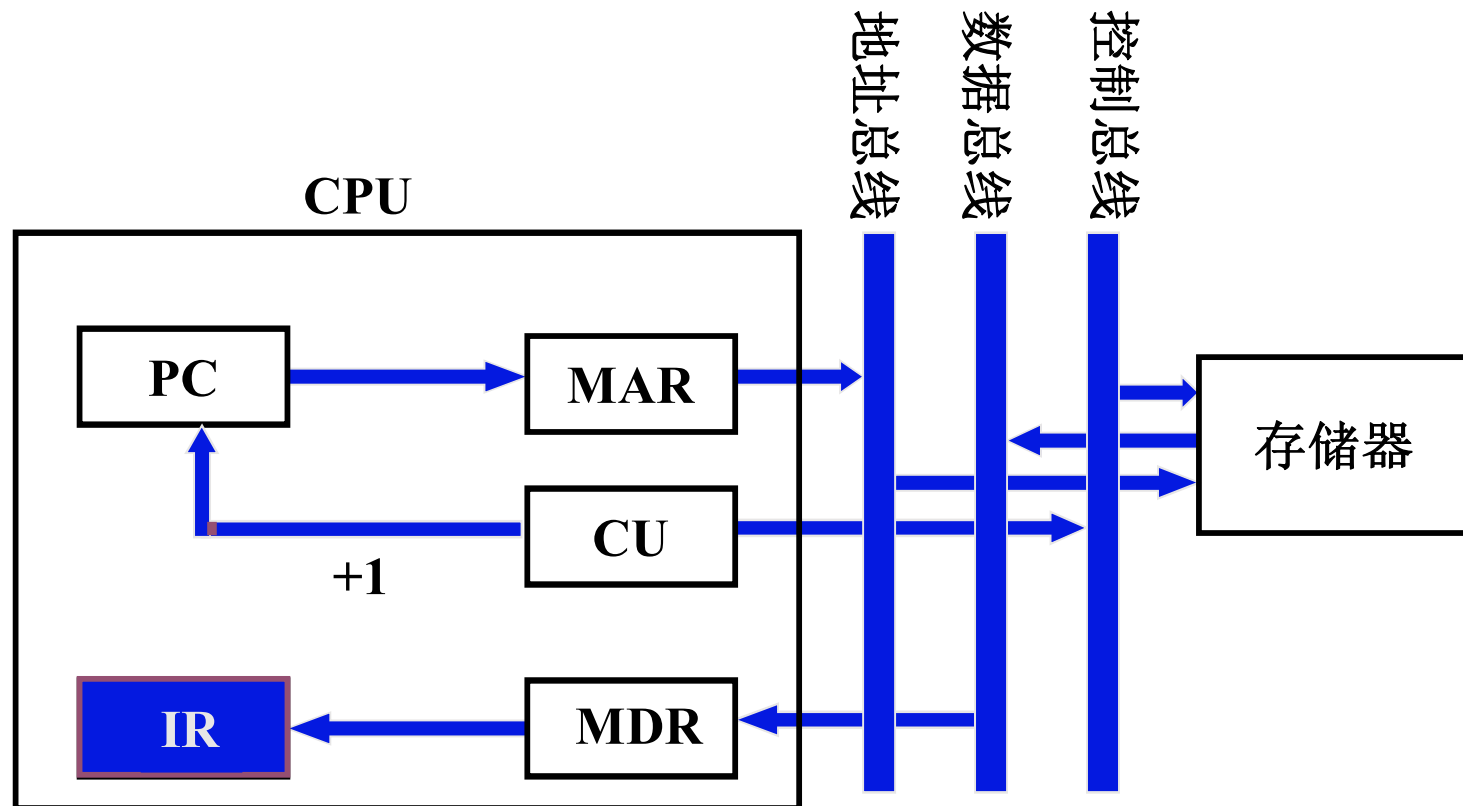
CPU 的

4个工作周期



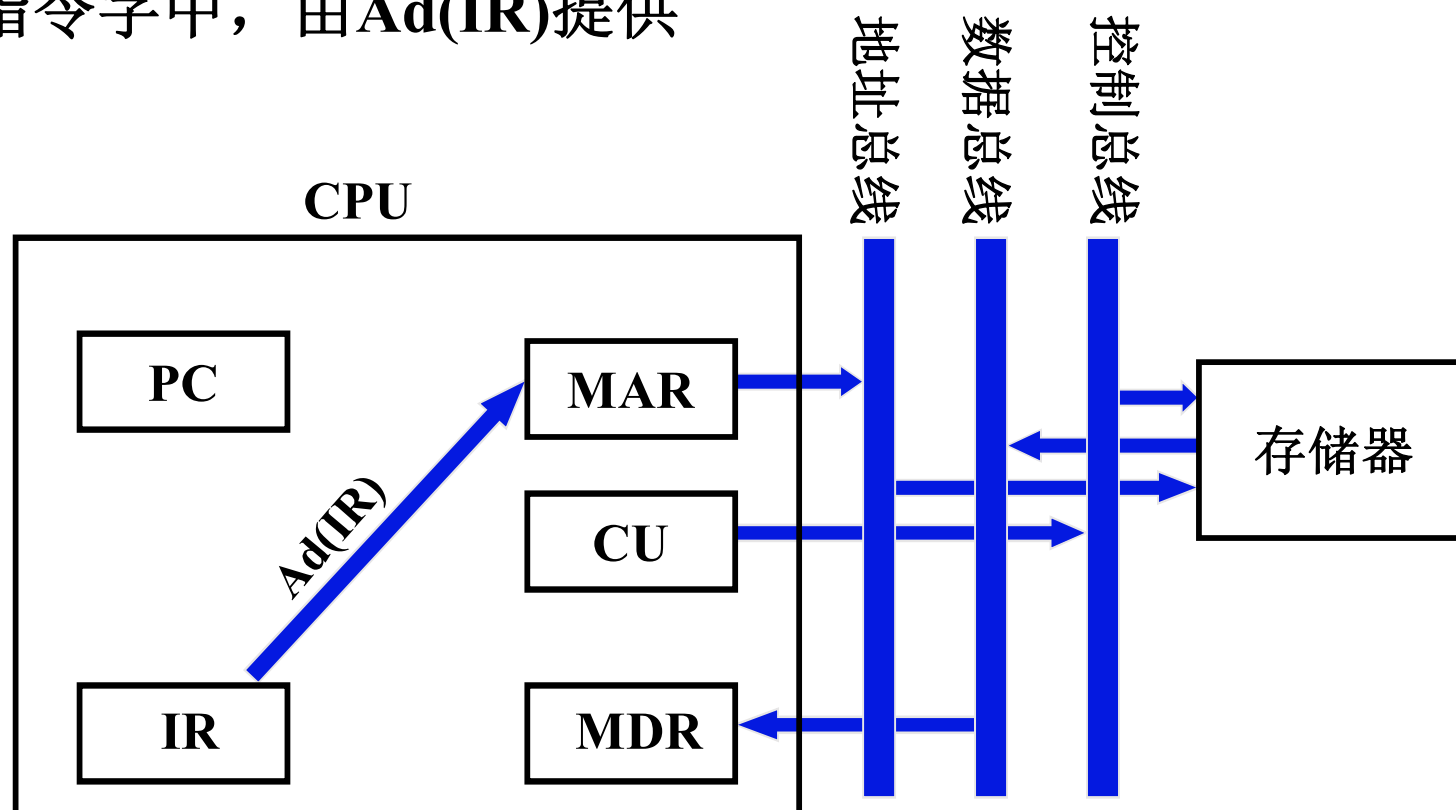
二、指令周期的数据流

1. 取指周期数据流



2. 间址周期数据流

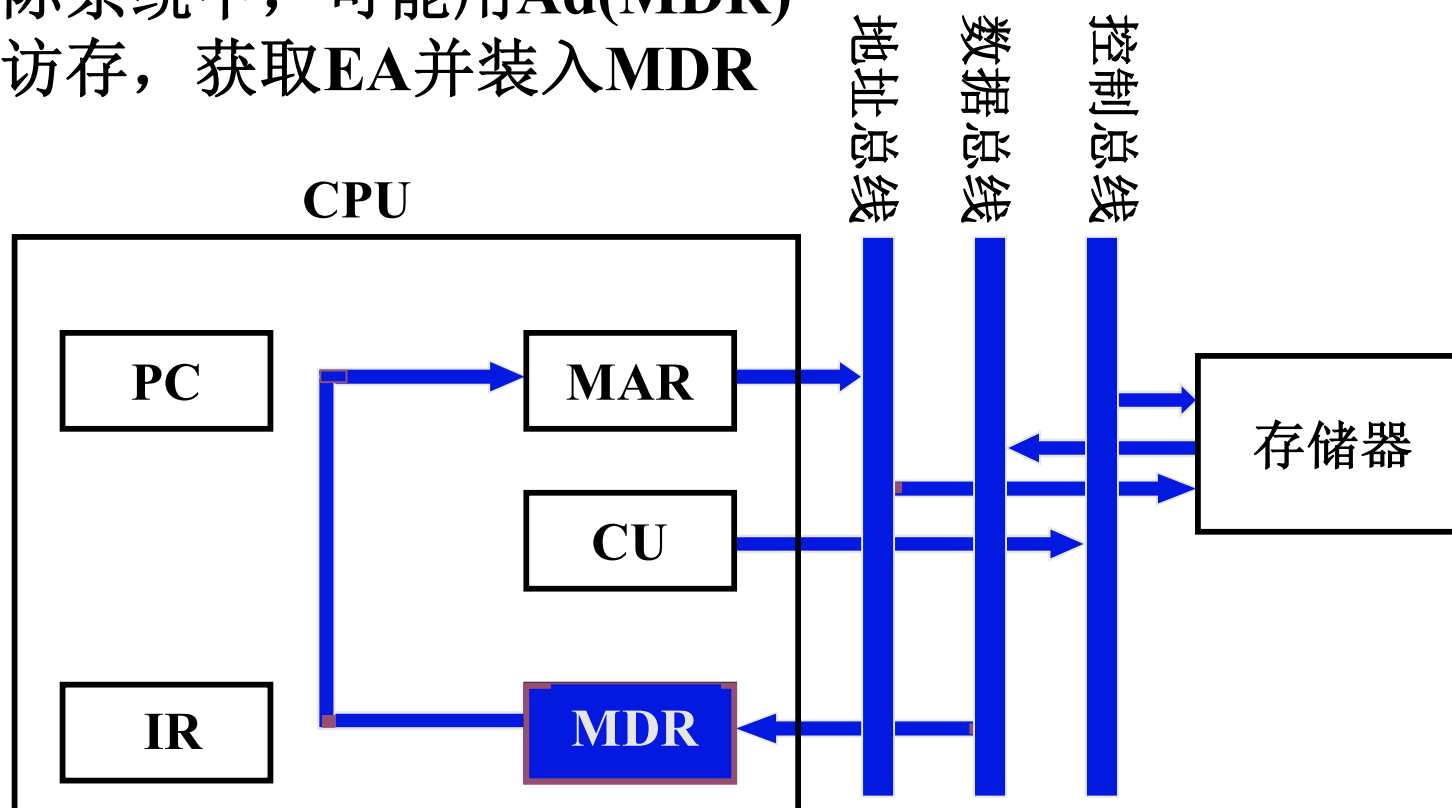
以一次间址为例，此时访存地址在指令字中，由Ad(IR)提供



2. 间址周期数据流

因为取指周期结束时，MDR 的值刚刚送入 IR，此时Ad(MDR)就是Ad(IR)

在实际系统中，可能用Ad(MDR)进行访存，获取EA并装入MDR



3. 执行周期数据流

不同指令 的执行周期数据流 不同

4. 中断周期数据流

