

实验成绩:
教 师:

计 算 机 组 成 原 理

实 验 报 告

姓 名:

班 号:

学 号:

哈尔滨工业大学计算机硬件实验中心

2023 年 02 月

实验要求

1. 实验不得缺席，否则不能参加最终成绩的评定；任何一个实验项目不能完成也不能参加最终成绩的评定。
2. 实验必须提前预习，不预习不允许参加实验。预习成绩实验前给出。
3. 实验内容当堂完成，教师根据完成情况当堂给出操作成绩。
4. 按时完成实验报告，实验报告在全部实验完成后一周内统一上交存档。
5. 实验报告丢失，实验成绩只计算预习成绩和操作成绩，无实验报告成绩。
6. 遵守学生实验守则，爱护实验设备，实验完成后需整理实验器材并关闭实验设备。

实验项目安排

计算机组成原理实验教学共 8 学时，设置有 4 个实验项目，具体安排如表 1 所示。

表 1 实验项目安排

序号	实验项目	实验学时	实验类别
1	运算器实验	2	设计
2	存储系统实验	2	设计
3	系统总线接口实验	2	设计
4	控制器实验	2	综合设计

实验一 运算器实验

一、实验目的

二、实验预习

1. 学习使用 TDX-CMX 实验台，然后回答下列问题。

实验台上“时序与操作台单元”中 KK1 功能是_____，KK2 功能是_____，ST 功能是_____；

方波信号 300Hz、30Hz 和 3Hz 位于实验台的_____单元，ALU 位于实验台的_____单元，数据输入位于实验台的_____单元，数据总线和地址总线位于实验台的_____单元。

4. 画出 4×4 阵列乘法器原理图，分析延迟与哪些因素有关？

5. 简述 Quartus 环境下载 sof 文件到 FPGA 的操作流程。

三、实验步骤及原始数据记录

本次实验包括基本运算器实验和阵列乘法器实验两部分。

1. 本机运行

(1) 把时序与操作台单元的“MODE”用短路块短接，使系统工作在四节拍模式，JP1（在 ALU® 单元）用短路块将 1、2 短接，按图 1 所示连接实验电路，并检查无误。图中将用户需要连接的信号用圆圈标明（其它实验相同）。

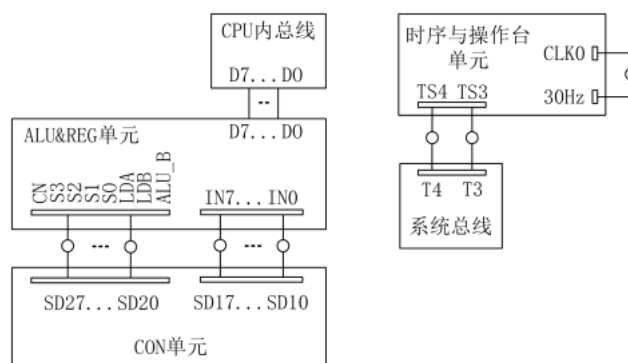


图 1 实验一接线图

(2) 将时序与操作台单元的开关 KK2 置为‘单拍’档，开关 KK1、KK3 置为‘运行’档。确认连线正确。

(3) 打开电源，如果听到有‘嘀’报警声，说明有总线竞争，应立即关闭电源，重新检查接线，直到错误排除。然后按动 CON 单元的 CLR 按钮，将运算器的 A、B 和 FC、FZ 清零。

记录：

SD17~SD10 开关拨到上面，对应 LED 指示灯状态（亮/灭）_____，表示二进制数据（1/0）_____，SD17~SD10 作用是_____，

S3、S2、S1、S0 的作用是_____，

LDA 的作用是_____。

观察 ALU 单元中：

CLR 前

FZ=_____；FC=_____

A7~A0=_____；B7~B0=_____

CLR 后

FZ=_____；FC=_____

A7~A0=_____；B7~B0=_____

(4) 用输入开关向暂存器 A 置数

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，拨动 CON 单元的 SD17~SD10 数据开关，形成二进制数 01100101（或其它数值），数据显示亮为‘1’，灭为‘0’。置 LDA=1，LDB=0，按动 2 次 ST 按钮产生 T3、T4

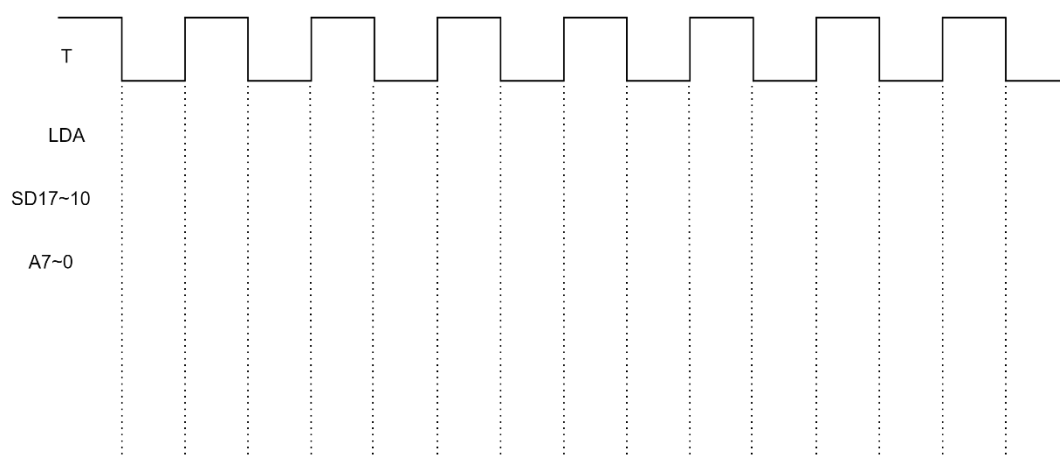
节拍，则将二进制数 01100101 置入暂存器 A 中，暂存器 A 的值通过 ALU 单元的 A7…A0 八位 LED 灯显示。

记录：

暂存器 A 的数据（二进制）：_____

按动 2 次 ST 按钮后 ALU 中 A7~A0 中数据（二进制）：_____

请绘制数据输入 ALU 中 A 寄存器的时序图：



(5) 用输入开关向暂存器 B 置数

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，拨动 CON 单元的 SD17…SD10 数据开关，形成二进制数 10100111（或其它数值）置 LDA=0，LDB=1，按动 2 次 ST 按钮产生 T3、T4 节拍，则将二进制数 10100111 置入暂存器 B 中，暂存器 B 的值通过 ALU 单元的 B7…B0 八位 LED 灯显示。

记录：

暂存器 B 输入数据（二进制）：_____

按动 2 次 ST 按钮后 ALU 中 B7~B0 中数据（二进制）：_____

(6) 改变运算器的功能设置，观察运算器的输出

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，置 ALU_B=0、LDA=0、LDB=0，然后按表 3 设置 S3、S2、S1、S0 和 Cn 的数值，并观察数据总线 LED 显示灯显示的结果。如置 S3、S2、S1、S0 为 1001，运算器作加法运算，置 S3、S2、S1、S0 为 0010，运算器作逻辑与运算。按动 2 次 ST 按钮产生 T3、T4 节拍，观察 FC、FZ 标志位变化。

当 S3S2S1S0 = _____，运算器做_____，
寄存器 A 内容_____，寄存器 B 内容_____
FC = _____，FZ = _____。

当 S3S2S1S0 = _____，运算器做_____，
寄存器 A 内容_____，寄存器 B 内容_____
FC = _____，FZ = _____。

2. 联机运行

如果实验箱和 PC 联机操作，则可通过软件中的数据通路图来观测实验结果，也可通过软件中的信号时序图来观测实验结果。

(1) 观测数据通路图

打开 TDX-CMX 软件，选择联机软件的“【实验】—【运算器实验】”，打开运算器实验的数据通路图，如图 2 所示。

操作方法同本机运行，每按动一次 ST 按钮，数据通路图会有数据的流动，反映当前运算器所做的操作，或在软件中选择“【调试】—【单节拍】”，其作用相当于将时序单元的状态开关 KK2 置为‘单拍’档后按动了一次 ST 按钮，数据通路图也会反映当前运算器所做的操作。

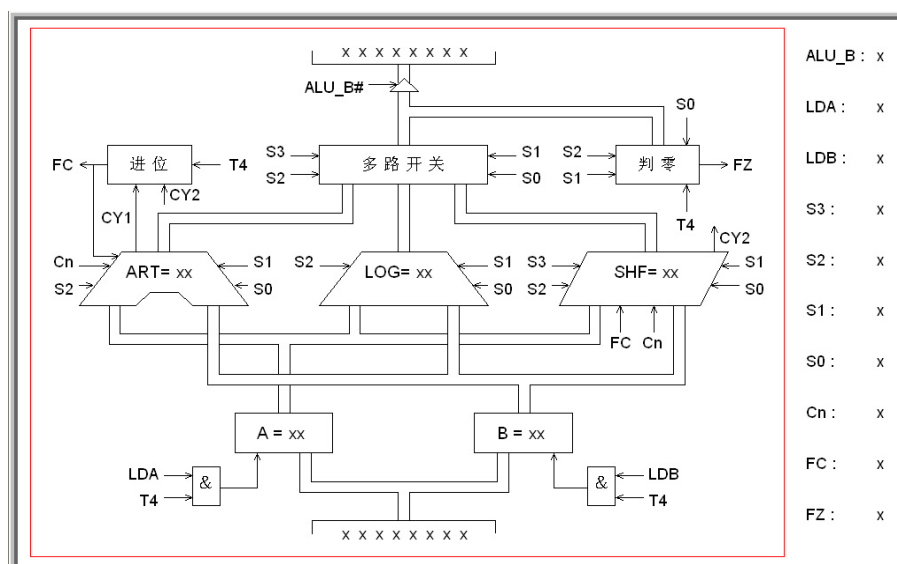


图 2 数据通路图

重复上述操作，并完成表 3。然后改变 A、B 的值，验证 FC、FZ 的锁存功能。点击联机软件的“【回放】—【保存...】”按钮，可保存数据通路图的实验过程。

表 2 记录运算结果

运算类型	A	B	S3 S2 S1 S0	CN	结果
逻辑运算	65	A7	0 0 0 0	X	F=() FC=() FZ=()
	65	A7	0 0 0 1	X	F=() FC=() FZ=()
			0 0 1 0	X	F=() FC=() FZ=()
			0 0 1 1	X	F=() FC=() FZ=()
			0 1 0 0	X	F=() FC=() FZ=()
移位运算			0 1 0 1	X	F=() FC=() FZ=()
			0 1 1 0	0	F=() FC=() FZ=()
				1	F=() FC=() FZ=()
			0 1 1 1	0	F=() FC=() FZ=()
				1	F=() FC=() FZ=()
算术运算			1 0 0 0	X	F=() FC=() FZ=()
			1 0 0 1	X	F=() FC=() FZ=()
			1 0 1 0 (FC=0)	X	F=() FC=() FZ=()
			1 0 1 0 (FC=1)	X	F=() FC=() FZ=()
			1 0 1 1	X	F=() FC=() FZ=()
			1 1 0 0	X	F=() FC=() FZ=()
			1 1 0 1	X	F=() FC=() FZ=()

(2) 观测数据时序图


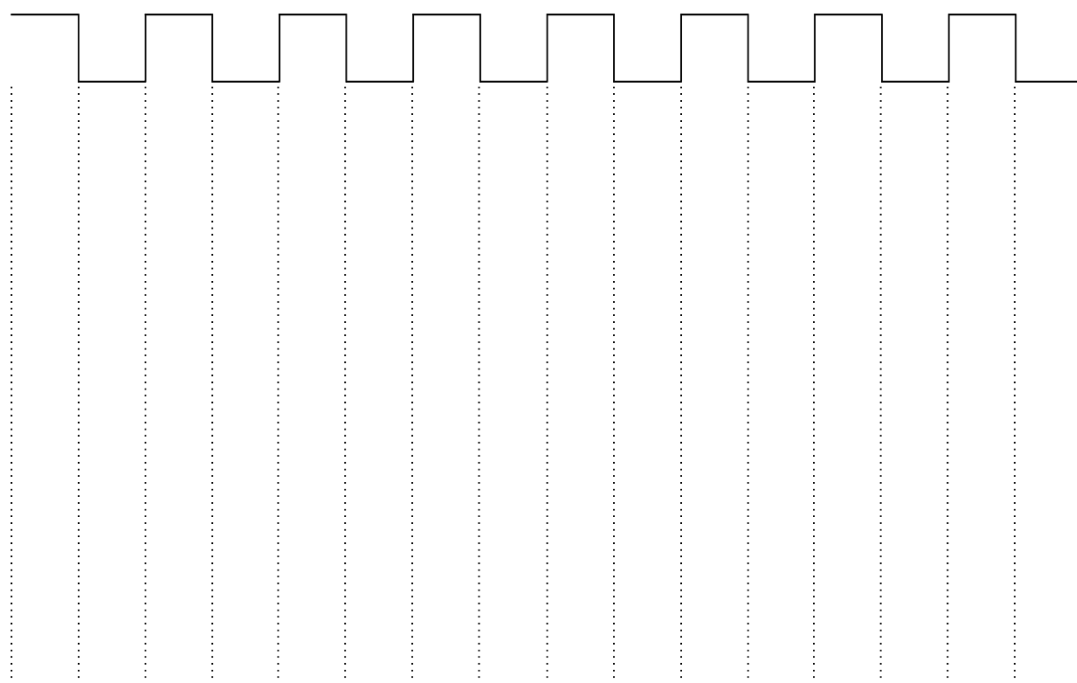
打开 TDX-CMX 软件，选择联机软件的“【实验】—【运算器实验】”，打开运算器实验的数据通路图。再点击  打开选择观察信号窗口，或者选择联机软件的“【调试】—【时序观测窗】”，选择想要观察的信号，如图 3，点击确定。



图 3 选择观察信号

弹出时序观测窗，操作方法同本机运行，记录操作过程的时序图，时序图左侧标明信号名称。



3. 阵列乘法器设计实验

(1) 根据上述阵列乘法器的原理，使用 Quartus 软件编辑相应的电路原理图并进行编译，其在 FPGA 芯片中对应的引脚如图 4 所示，框外文字表示连线标号，框内文字表示该引脚的含义（本实验例程见‘安装路径\FPGA\Multiply\Multiply.qpf’工程）。

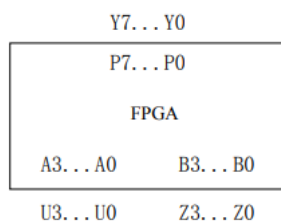


图 4 FPGA 引脚分配

(2) 关闭实验系统电源，按图 5 连接实验电路，图中将用户需要连接的信号用圆圈标明。

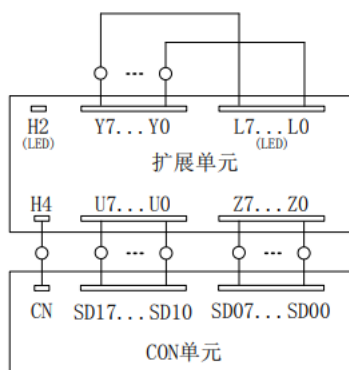


图 5 阵列乘法器连接图

(3) 打开实验系统电源，将下载电缆插入扩展单元的 E_JTAG 口，把生成的 SOF 文件下载到扩展单元中。

(4) 以 CON 单元中的 SD10…SD13 四个二进制开关为乘数 A，SD03…SD00 四个二进制开关为被乘数 B，而相乘的结果在扩展单元的 L7…L0 八个 LED 灯显示。给 A 和 B 置不同的数，观察相乘的结果。

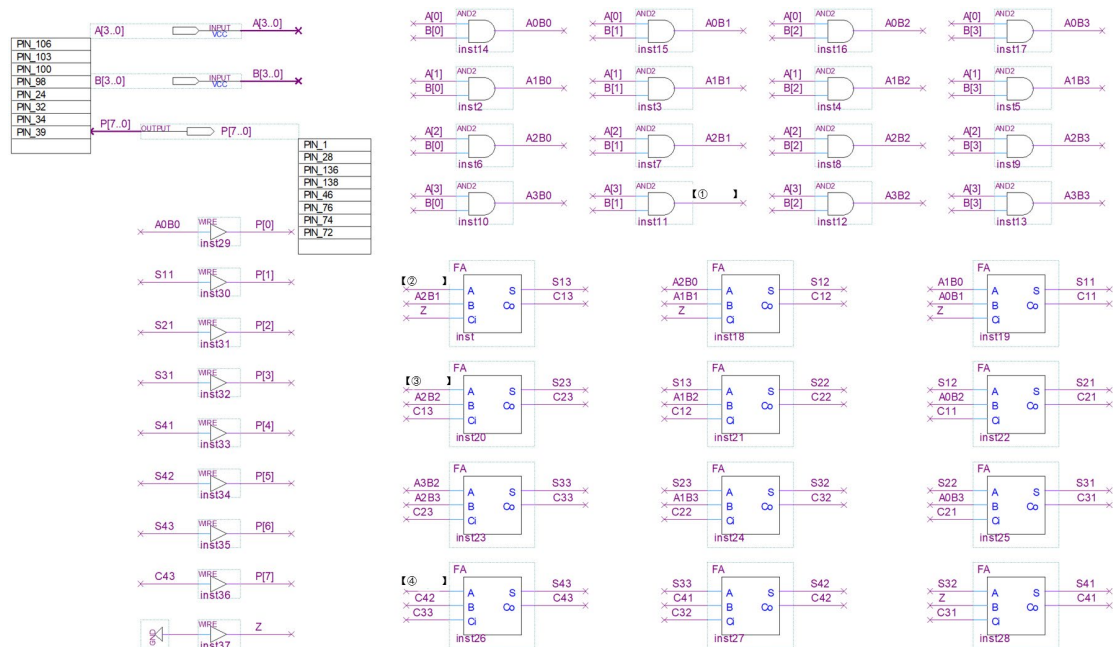
记录被乘数、乘数和乘积：

SD17~SD10 输入数据：_____

SD07~SD00 输入数据：_____

L7~L0: _____

下面是该阵列乘法器实现逻辑图，补充括号内缺失的信号名称。



四、思考题

1、本实验完成了 8 位加法器的设计，如何在实验台上实现 16 位加法运算？

2、试比较教材中无符号原码一位乘（4 位）与实验中阵列乘法器的时间延迟。

五、实验成绩

预习（2 分）	操作（6 分）	报告（2 分）	实验成绩	备注
签字：	签字：	签字：		