

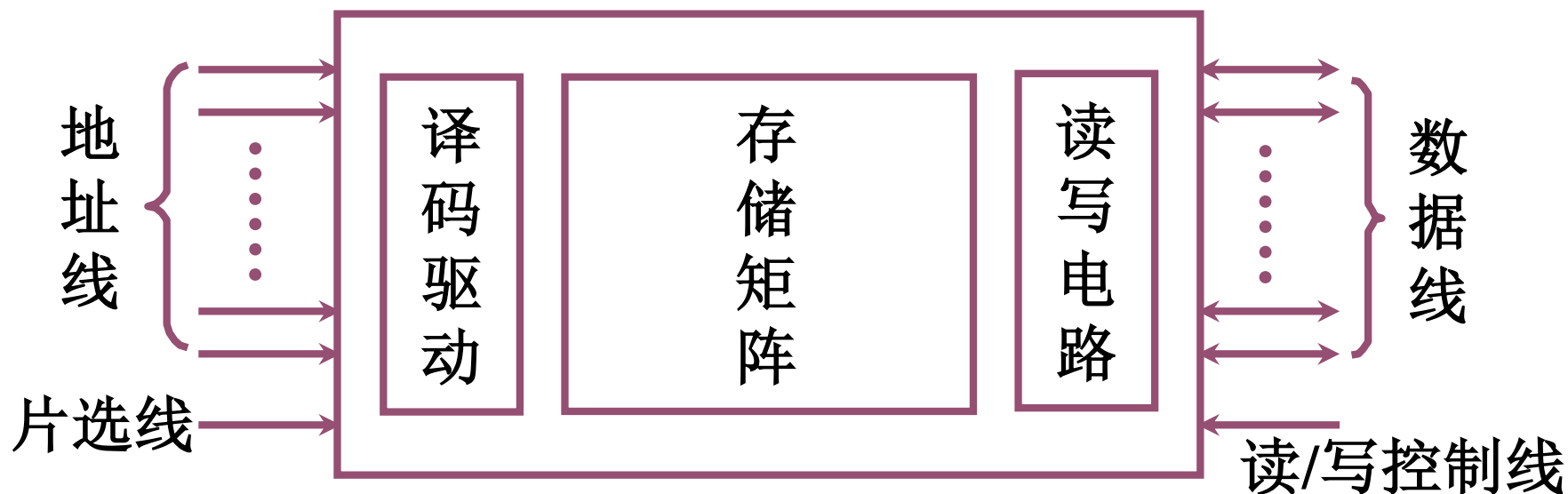
计算机组成原理

翁睿

哈尔滨工业大学

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



地址线（单向）

数据线（双向）

芯片容量

10

4

1K × 4位

14

1

16K × 1位

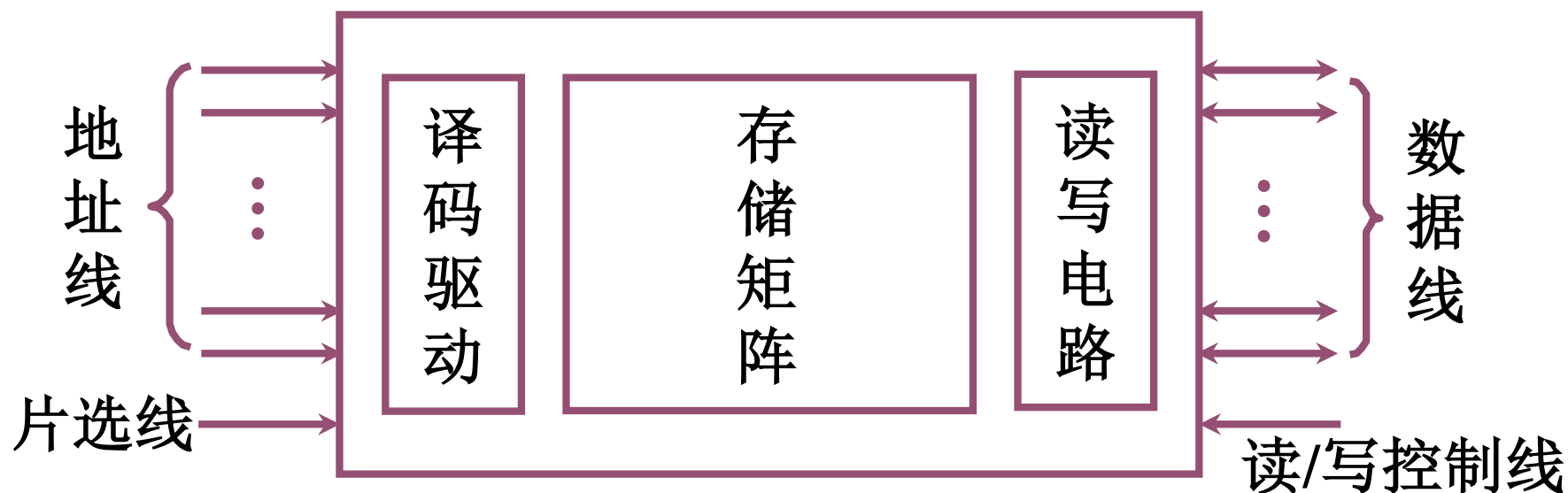
13

8

8K × 8位

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



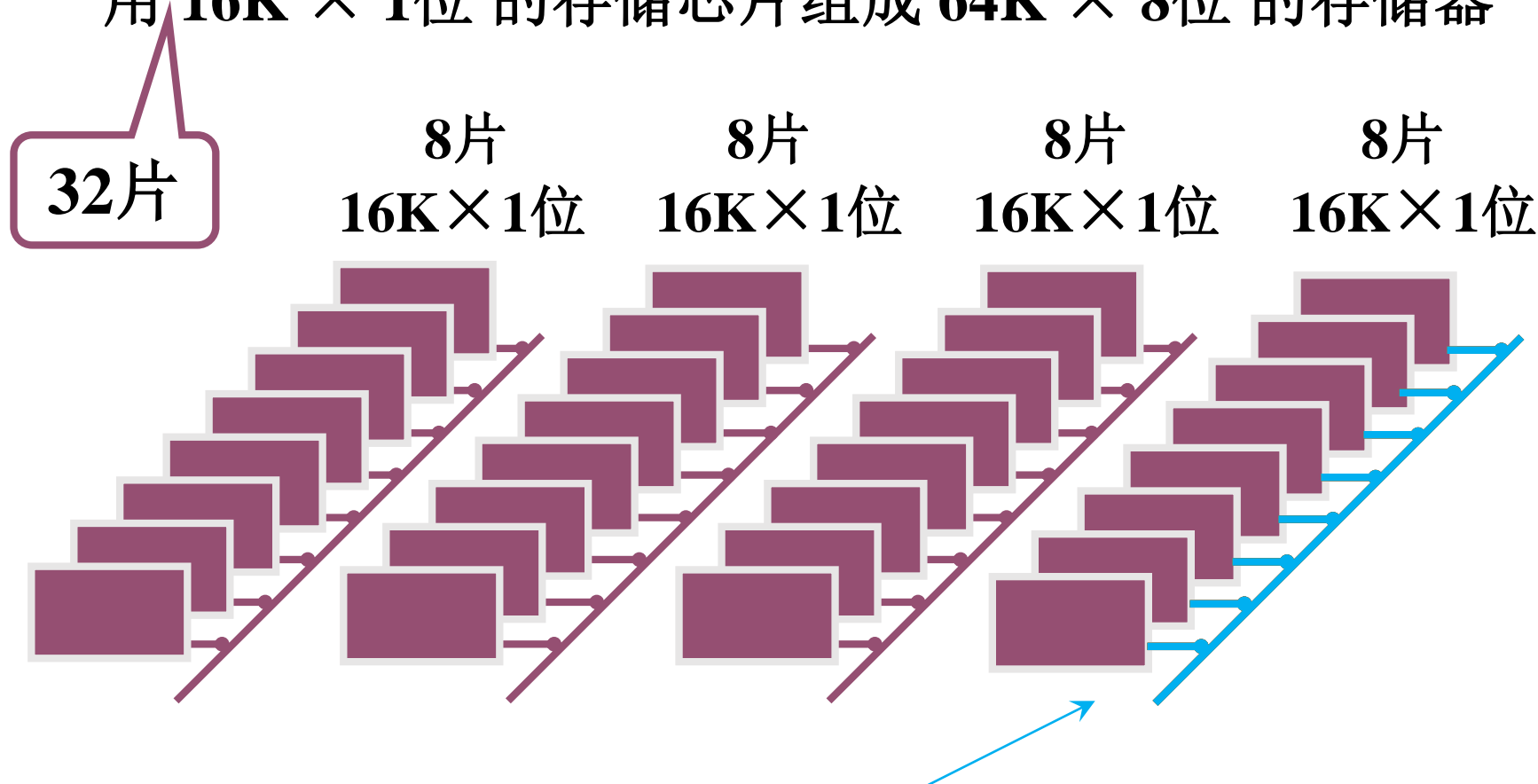
片选线 $\overline{\text{CS}}$ $\overline{\text{CE}}$

读/写控制线 $\overline{\text{WE}}$ $\overline{\text{R/W}}$ (低电平写 高电平读)

$\overline{\text{OE}}$ $\overline{\text{RD}}$ (允许读) $\overline{\text{WE}}$ $\overline{\text{WR}}$ (允许写)

存储芯片片选线的作用

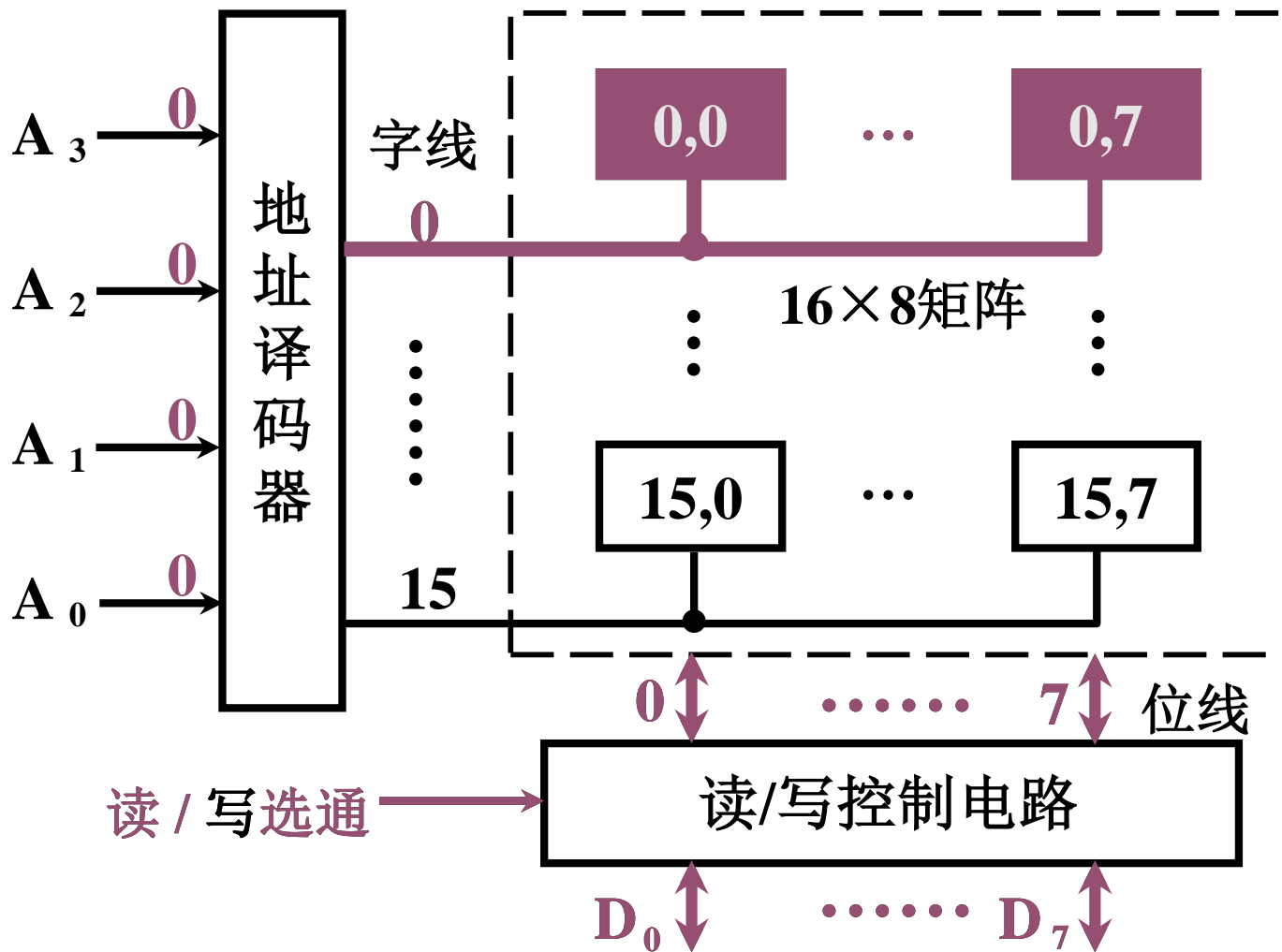
用 $16\text{K} \times 1$ 位的存储芯片组成 $64\text{K} \times 8$ 位的存储器



当地址为 65 535 时，此 8 片的片选有效

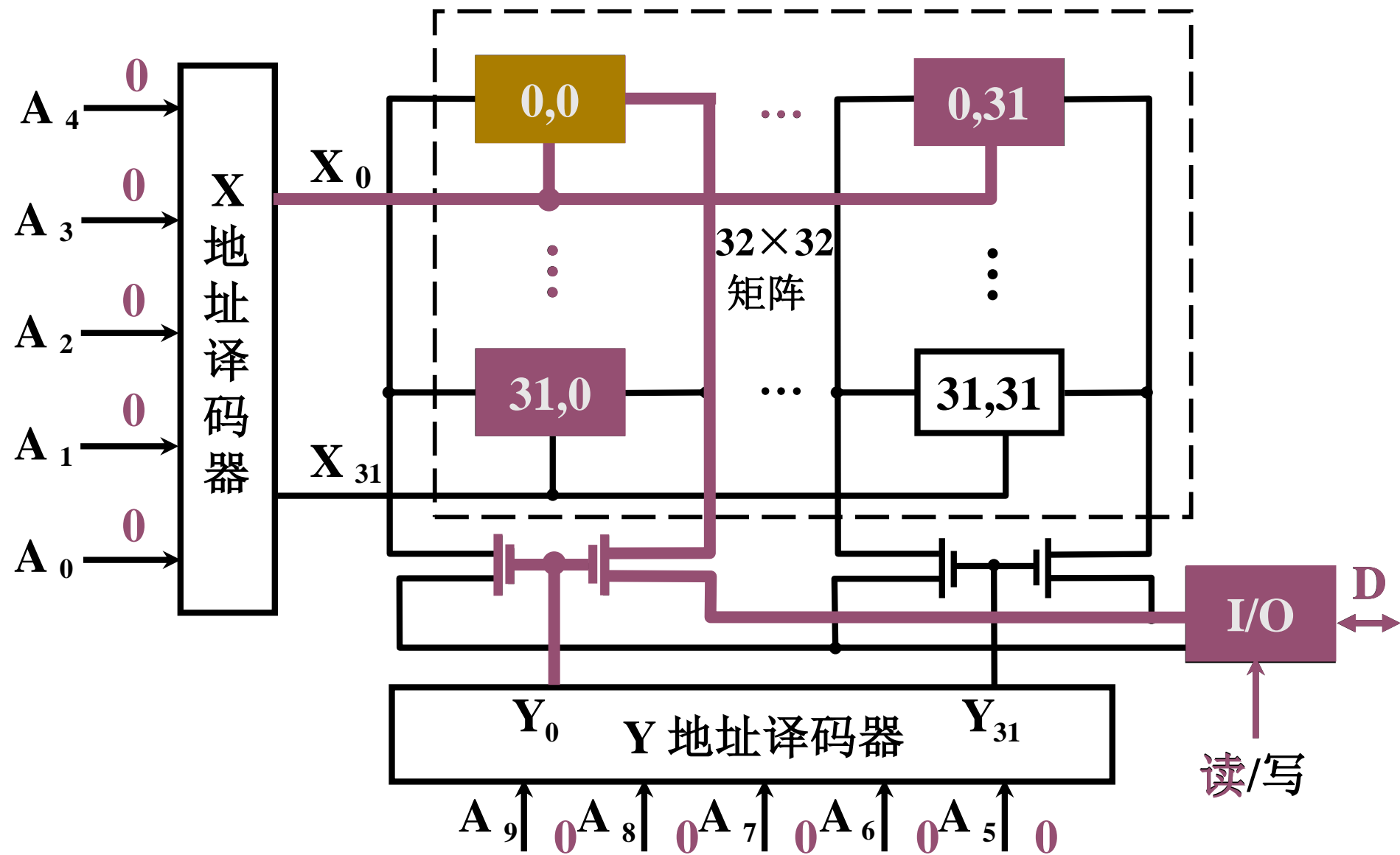
2. 半导体存储芯片的译码驱动方式 4.2

(1) 线选法



(2) 重合法

4.2

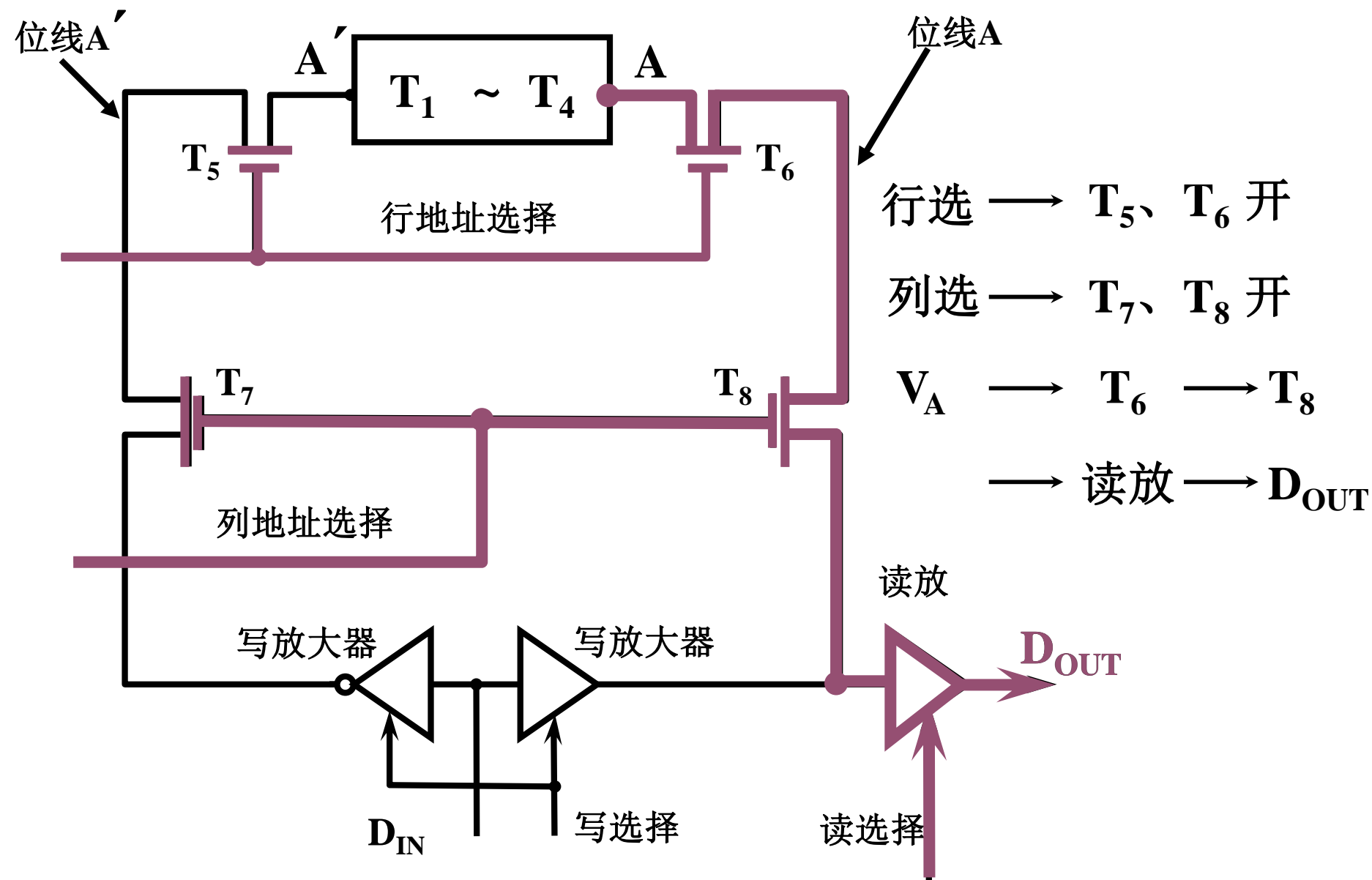


4.2

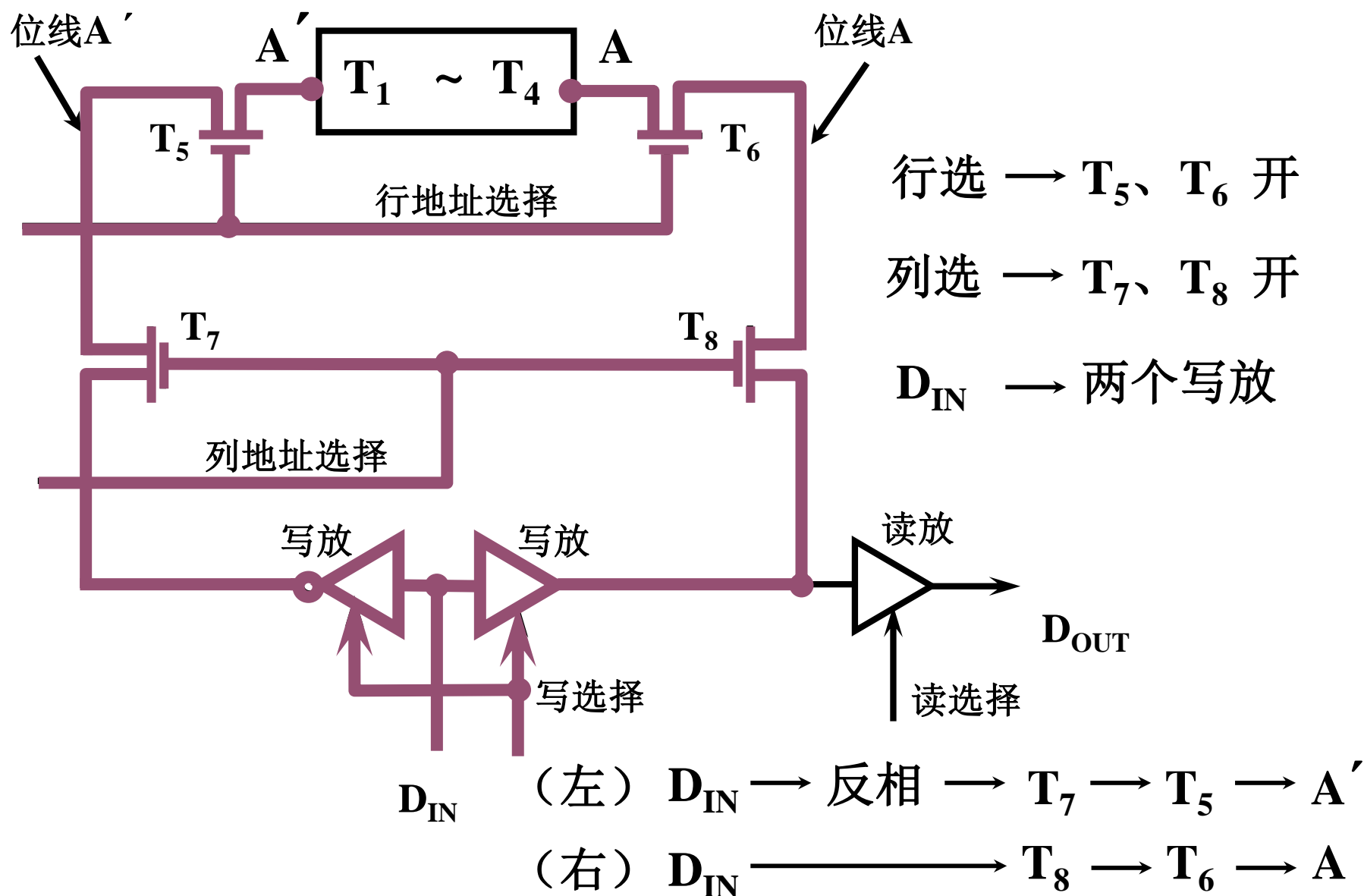
(1) 静态 RAM 基本电路



① 静态 RAM 基本电路的 读 操作

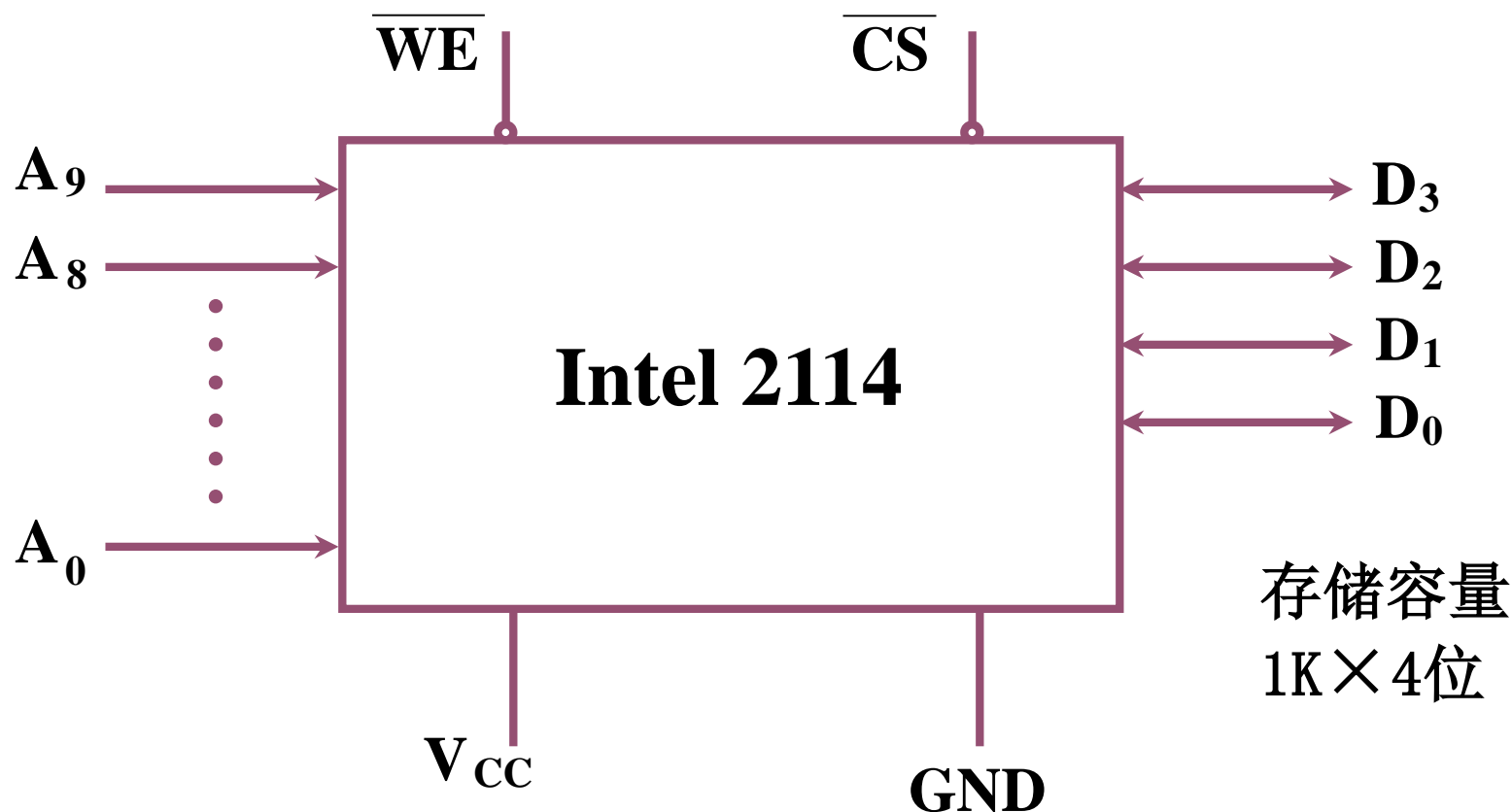


② 静态 RAM 基本电路的 写 操作



(2) 静态 RAM 芯片举例

① Intel 2114 外特性



(3) 动态 RAM 时序

行、列地址分开传送

读时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(高)

列地址 $\overline{\text{CAS}}$ 有效

数据 D_{OUT} 有效

写时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(低)

数据 D_{IN} 有效

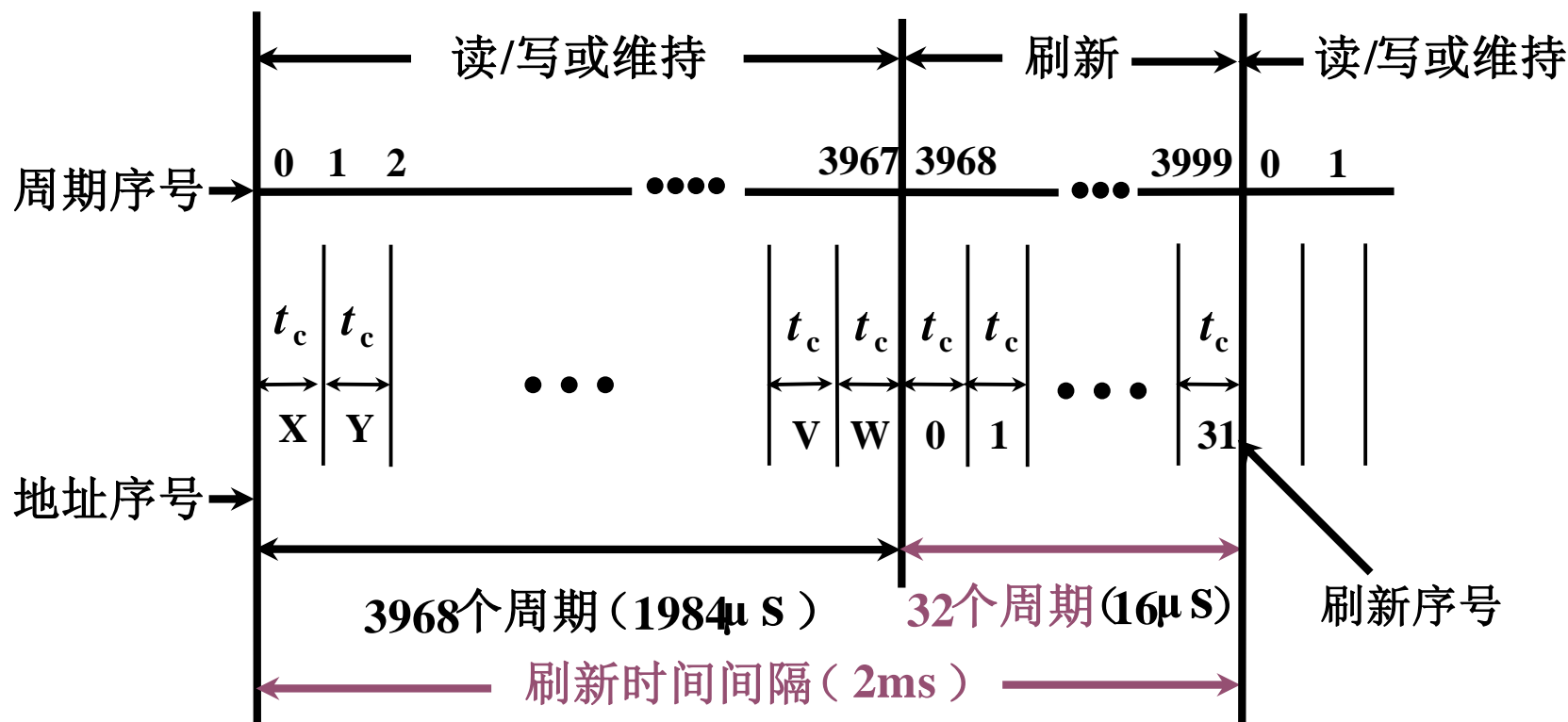
列地址 $\overline{\text{CAS}}$ 有效

(4) 动态 RAM 刷新

4.2

刷新与行地址有关

① 集中刷新(存取周期为 $0.5\mu\text{s}$) 以 32×32 矩阵为例



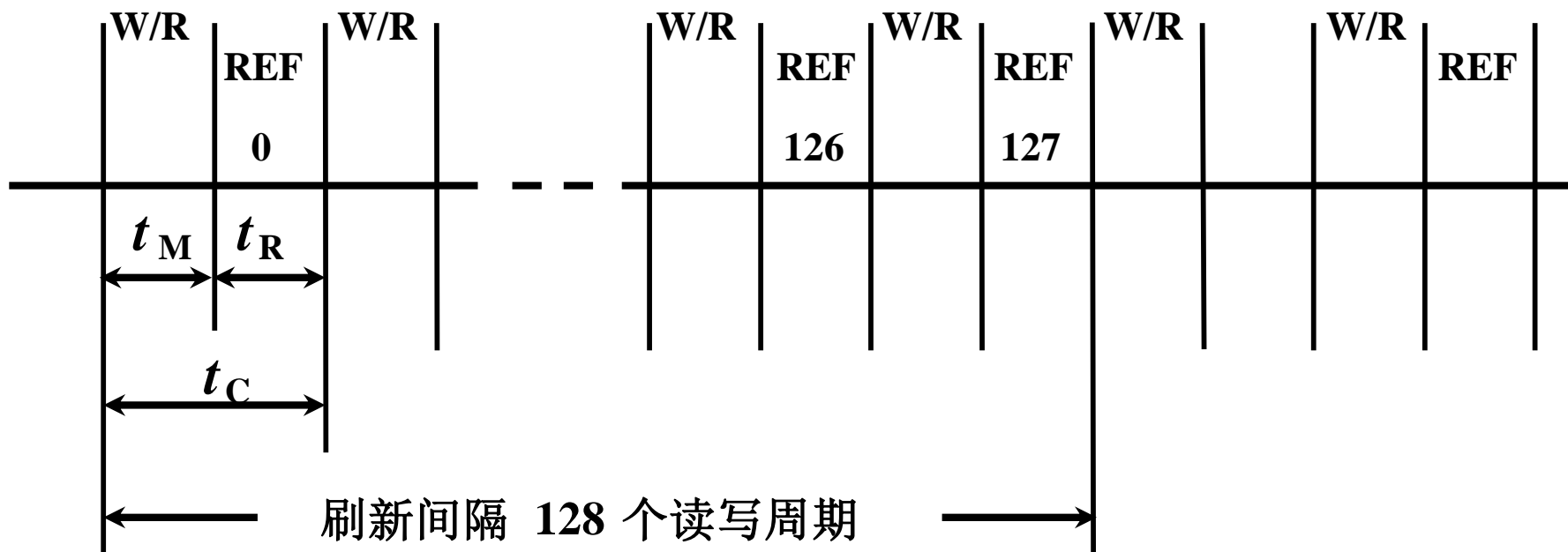
“死区” 为 $0.5 \mu\text{s} \times 32 = 16 \mu\text{s}$

“死时间率” 为 $32/4000 \times 100\% = 0.8\%$

② 分散刷新（存取周期为 $1\mu\text{s}$ ）

4.2

以 128×128 矩阵为例



$$t_C = t_M + t_R$$



读写



刷新

无“死区”

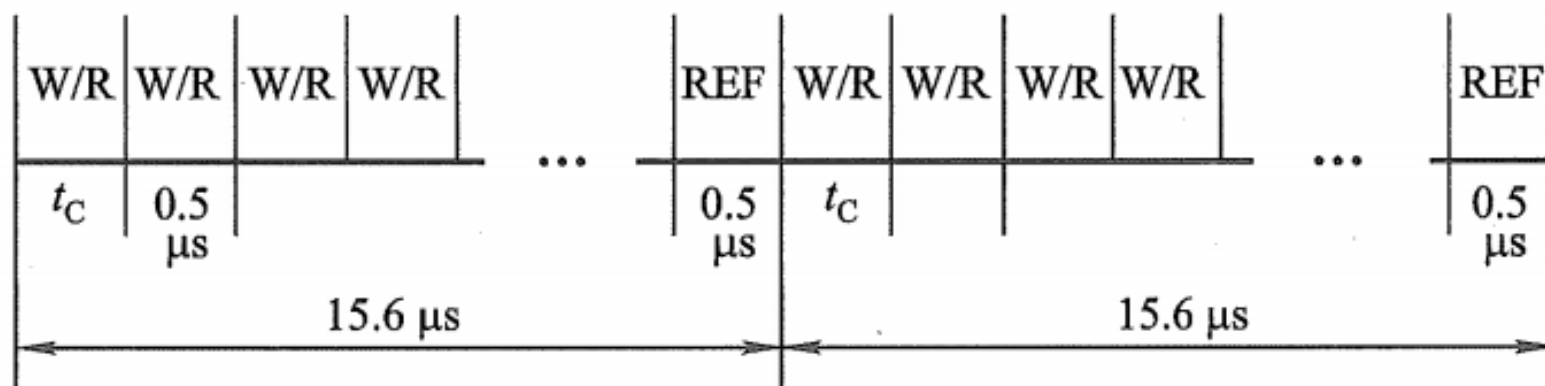
但刷新过于频繁，影响性能

(存取周期为 $0.5\mu\text{s} + 0.5\mu\text{s}$)

③ 分散刷新与集中刷新相结合

对于 128×128 的存储芯片（存取周期为 $0.5\mu\text{s}$ ）

若每隔 2 ms 集中刷新一次 “死区” 为 $64\mu\text{s}$



若每隔 $15.625\mu\text{s}$ 刷新一行（ $15.625\mu\text{s} = 2\text{ ms} / 128$ ）

此时每行每隔 2 ms 刷新一次 “死区” 为 $0.5\mu\text{s}$

将刷新安排在指令译码阶段，不会出现“死区”

4. 动态 RAM 和静态 RAM 的比较

	主存 DRAM	SRAM 缓存
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	需要	不需要

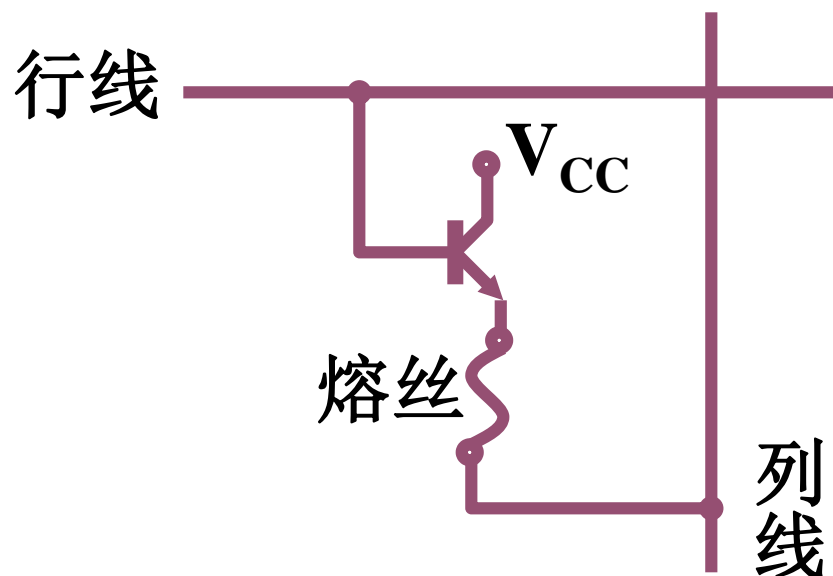
四、只读存储器（ROM）

1. 掩膜 ROM (MROM)

行列选择线交叉处有 MOS 管为 “1”

行列选择线交叉处无 MOS 管为 “0”

2. PROM (一次性编程)

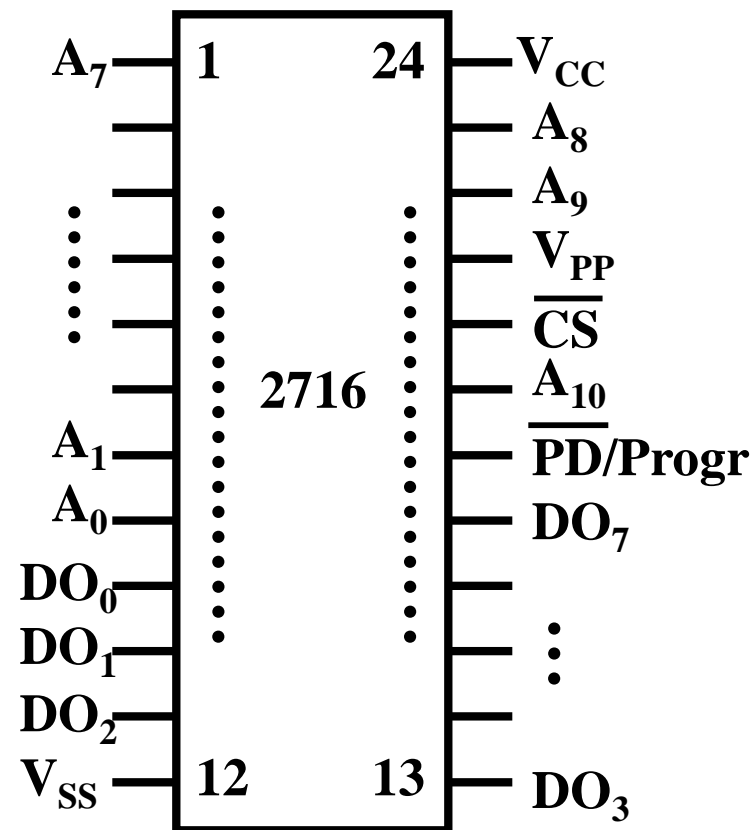
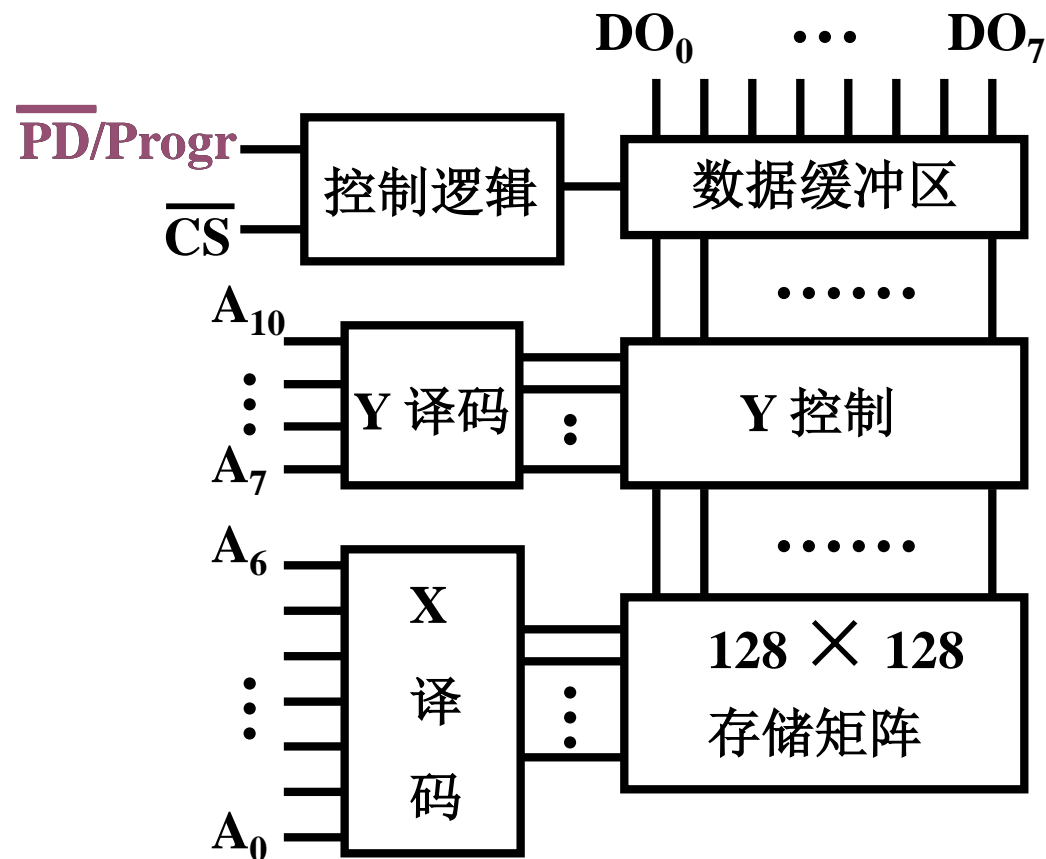


熔丝断 为 “0”

熔丝未断 为 “1”

(2) 2716 EPROM 的逻辑图和引脚

4.2



$\overline{\text{PD/Progr}}$ 编程控制信号输入端 读出时为低电平
(Pull Down)

(2) 2716 EPROM 的逻辑图和引脚

4.2

intel®

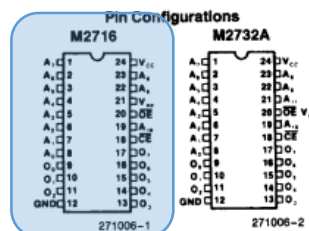
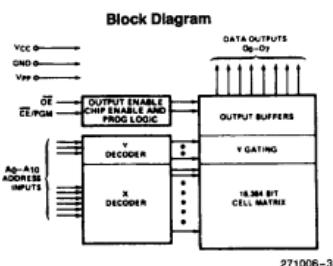
M2716/M2716M 16K (2K x 8) UV ERASABLE PROM Military

- Military Temperature Range
M2716M: -55°C to +125°C (T_C)
M2716: -55°C to +100°C (T_C)
- 5V ± 10% V_{CC}
- Pin Compatible to Intel's M2732A 32K EPROM
- Fast Access Time: 450 ns Maximum
- Static Standby Mode
- Low Power Dissipation of 165 mW Maximum Standby Power
- Inputs and Outputs TTL Compatible During Read and Program
- Not Recommended for New Designs

The Intel M2716M and M2716 are 16,384-bit ultraviolet erasable and electrically programmable read only memories (EPROMs) specified over the military extended temperature range respectively. They operate from a single +5V power supply, have a static power-down mode, and feature fast, single-address location programming. It makes designing with EPROMs faster, easier and more economical. Both products are manufactured from the same dice. Except for the operating temperature range, both products have the same electrical and programming specifications.

The M2716/M2716M has a static standby mode which reduces the power dissipation without increasing access time. The active power dissipation is reduced by over 60% in the standby power mode. Both are pin compatible to Intel's 32K military EPROM, the M2732A.

The M2716/M2716M has the simplest and fastest method devised yet for programming EPROMs—single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Program any location at any time—either individually, sequentially or at random, with the M2716's single-address location programming. Total programming time for all 16,384 bits is only 100 seconds.

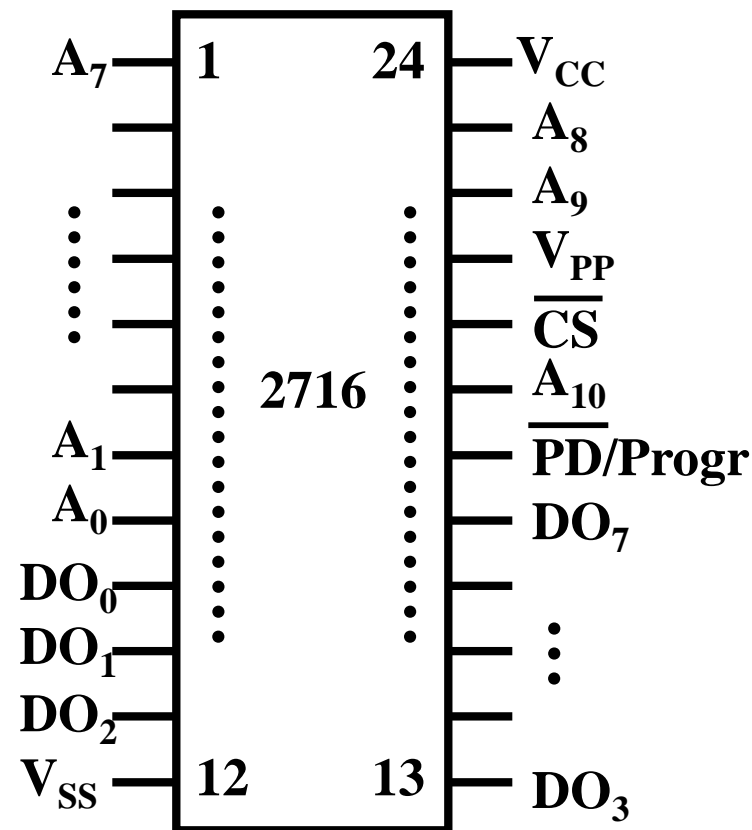


Mode Selection

Mode	Pins	CE/PGM (18)	OE (20)	V _{PP} (21)	V _{CC} (24) (9-11, 13-17)	Outputs (9-11, 13-17)
Read		V _{IL}	V _{IL}	+5	+5	D _{OUT}
Standby		V _{HI}	Don't Care	+5	+5	High Z
Program		Pulsed V _{IL} to V _{HI}	V _{HI}	+25	+5	D _{IN}
Program Verify		V _{IL}	V _{IL}	+25	+5	D _{OUT}
Program Inhibit		V _{IL}	V _{HI}	+25	+5	High Z

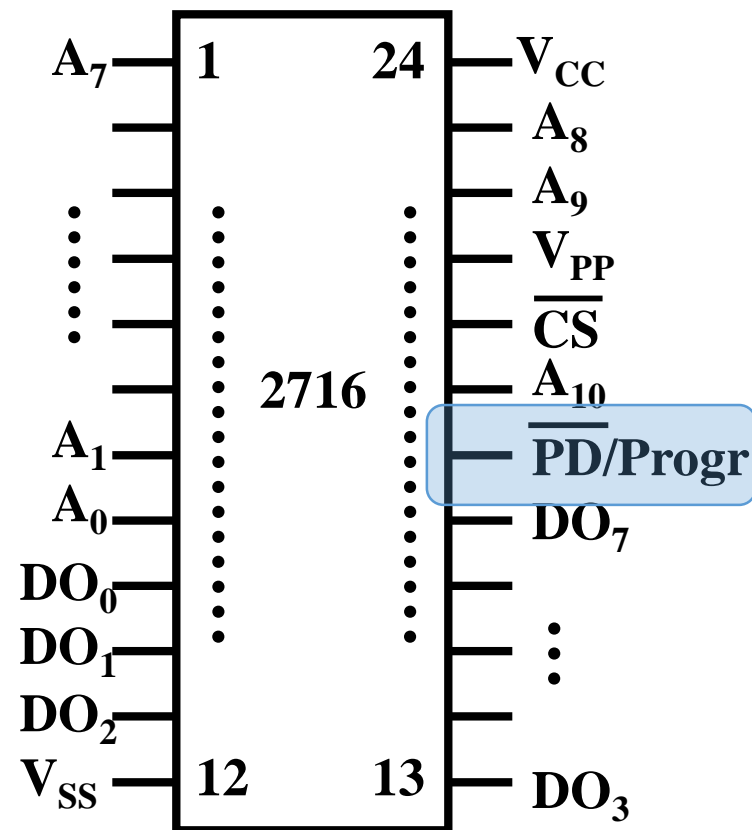
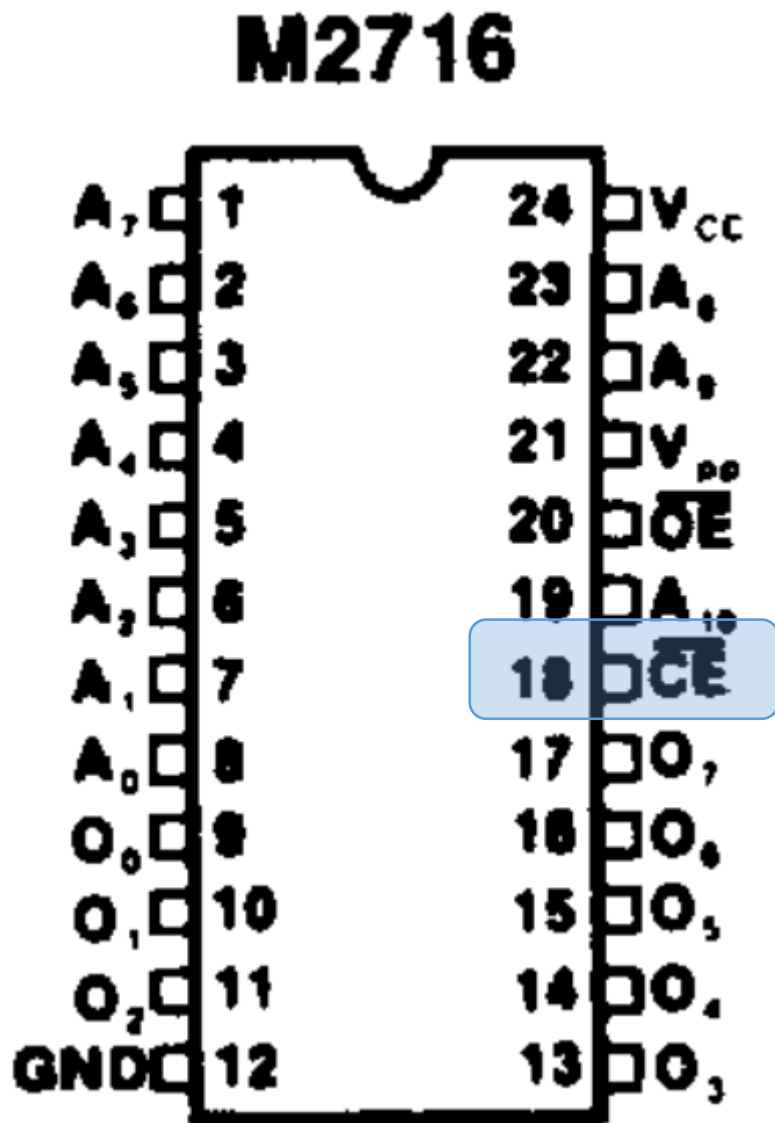
Pin Names

A ₀ -A ₁₀	Addresses
CE/PGM	Chip Enable/Program
OE	Output Enable
O ₀ -O ₇	Outputs



(2) 2716 EPROM 的逻辑图和引脚

4.2



4. EEPROM (多次性编程)

电可擦写 局部擦写 全部擦写

5. Flash Memory (快擦型存储器)

类似EPROM 价格便宜、集成度高

类似EEPROM 电可擦除、可重写

比 E²PROM快 具备 SRAM 接口 (NOR Flash)

Flash Memory的擦写寿命

NOR Flash: ≥ 10000 次擦写 (P/E)

NAND Flash: 与存储单元电荷等级数相关

~ 500次(QLC)/1000次(TLC)/3000次(MLC)/20000次(SLC)

4 bit / cell

3 bit / cell

2 bit / cell

1 bit / cell



五、存储器与 CPU 的连接

4.2

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

e.g. 用 2片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位 的存储器

(2) 字扩展（增加存储字的数量）

e.g. 用 2片 $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位 的存储器

(3) 字、位扩展

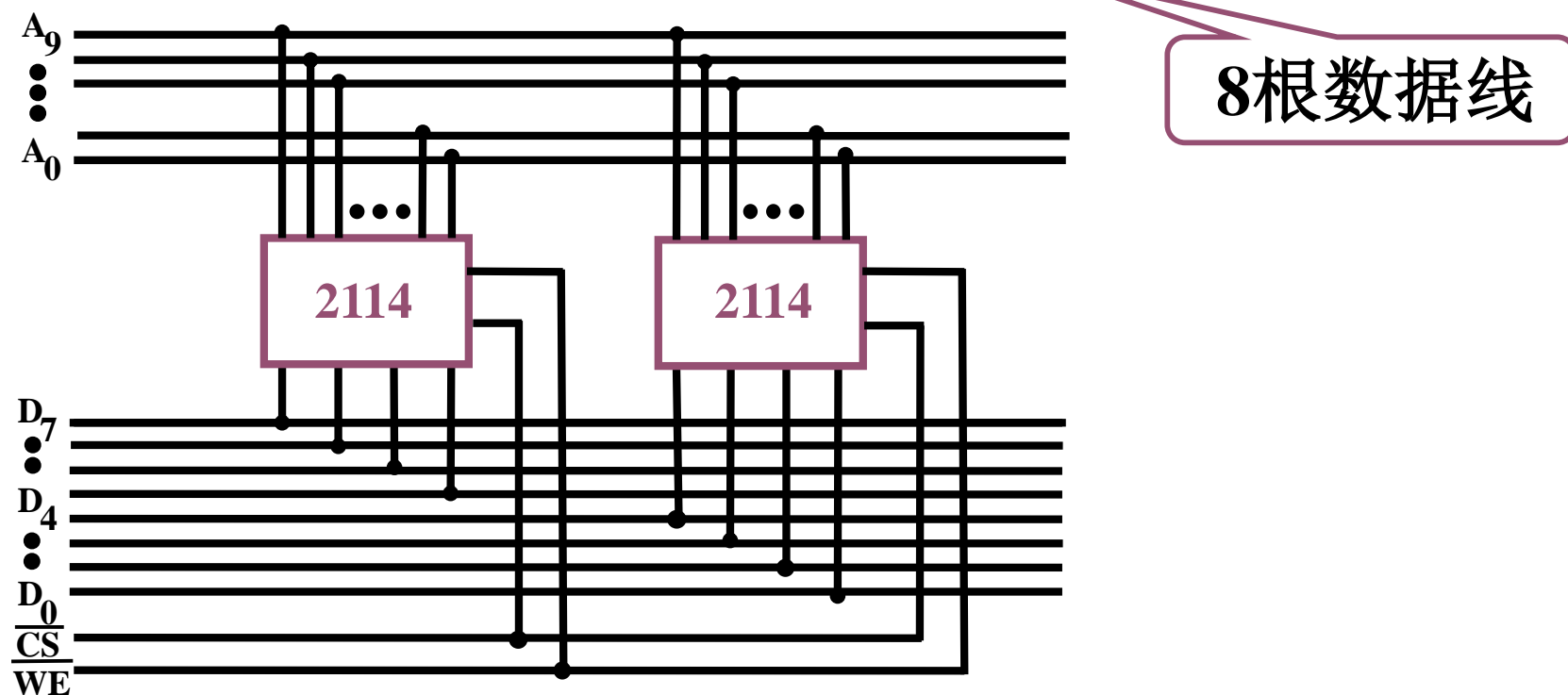
e.g. 用 8片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位 的存储器

五、存储器与 CPU 的连接

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

用 2 片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位的存储器

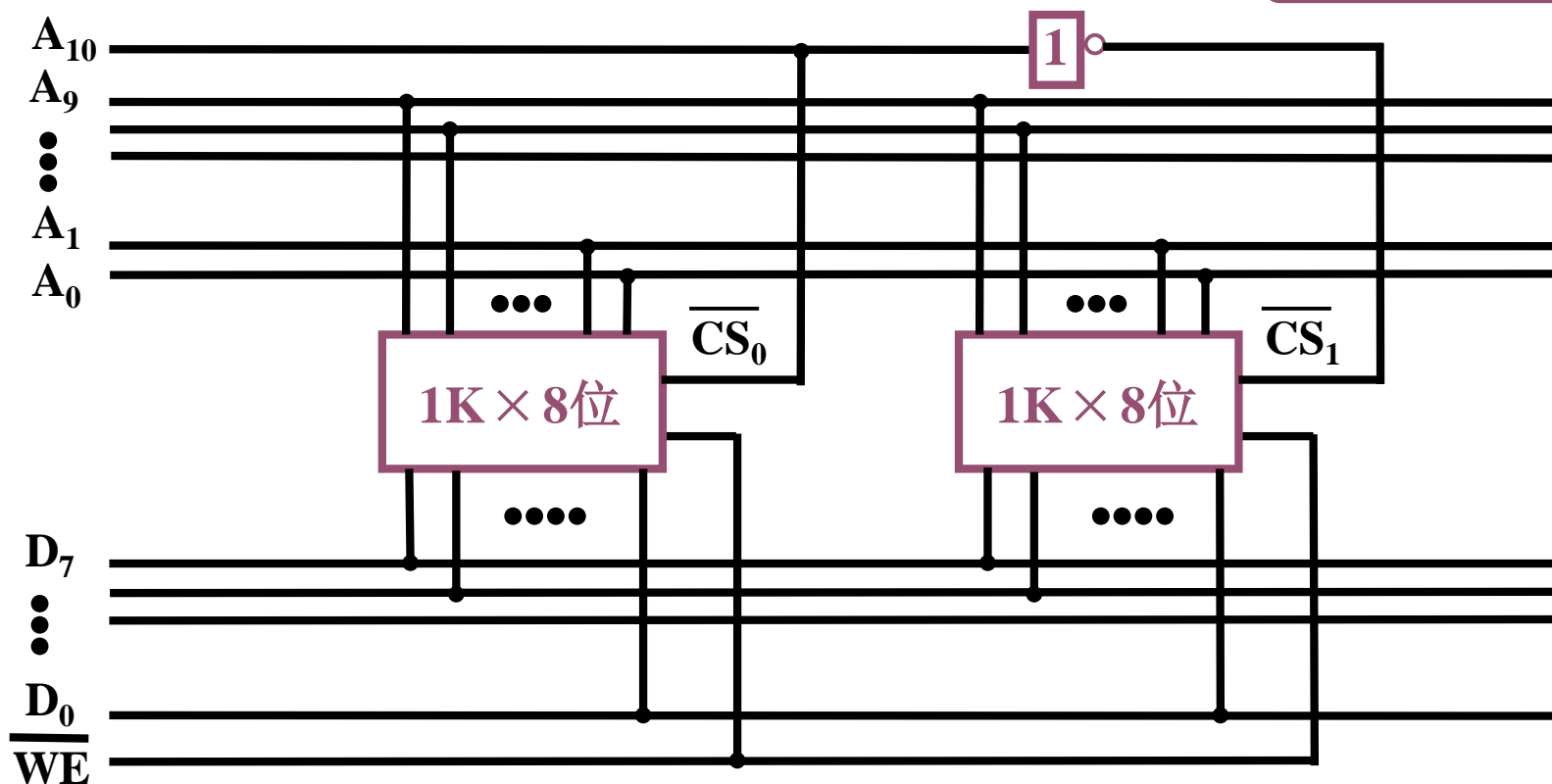


(2) 字扩展（增加存储字的数量）

11根地址线

用 2片 $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位 的存储器

8根数据线



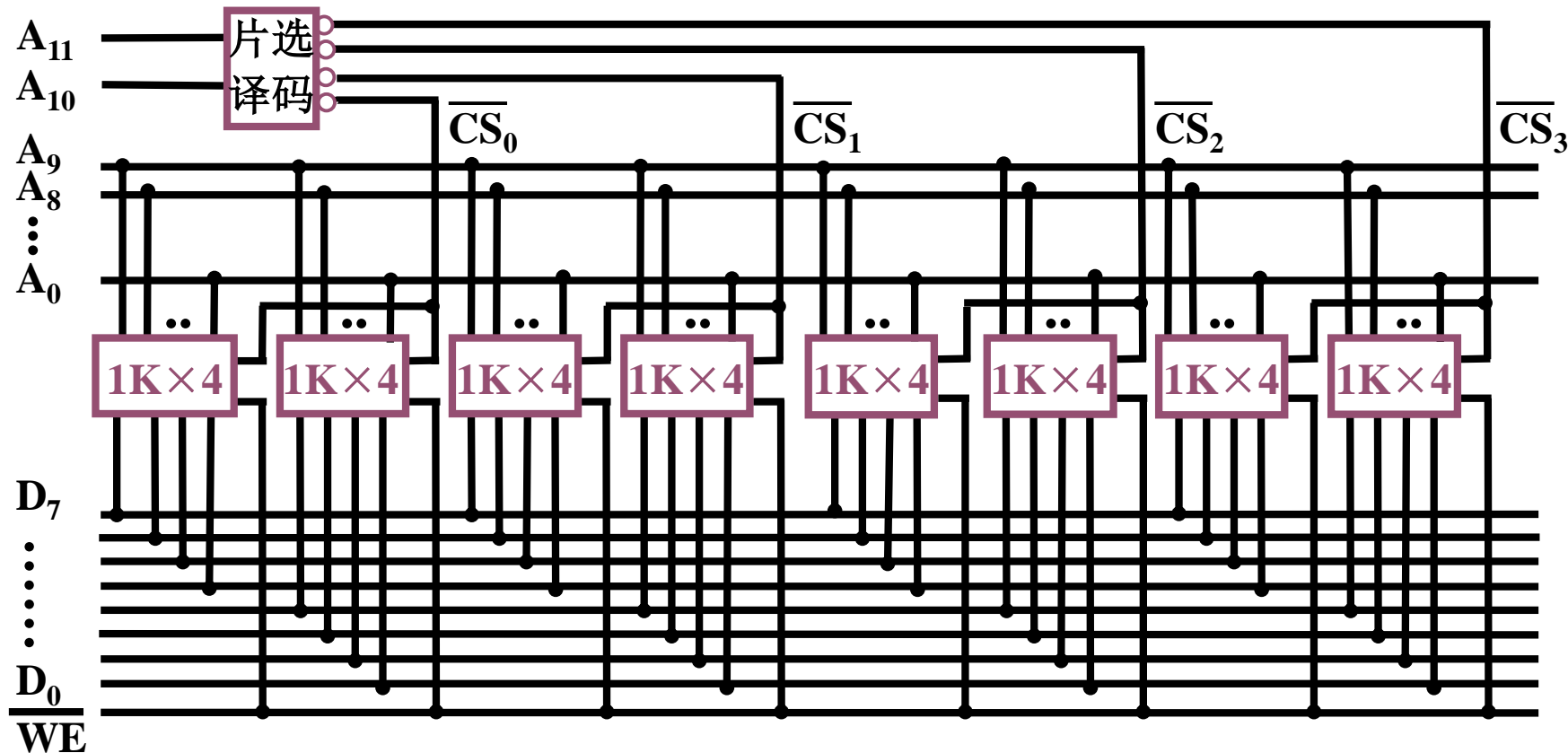
(3) 字、位扩展

4.2

用 8片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位 的存储器

12根地址线

8根数据线



2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写线的连接
- (4) 片选线的连接
- (5) 合理选用芯片
- (6) 其他 时序、负载



例4.1

4.2

已知某CPU的地址总线宽度为16位，数据总线宽度为8位，CPU采用MREQ信号控制访问存储器。

要求从0x6000起的2K地址空间为系统程序区，相邻的1K地址空间为用户程序区。

请画出存储器与CPU的连接图。要求使用74138译码器实现地址译码，可附加适当的逻辑门电路。

备选的存储芯片如下：

ROM: 1K×8位； 2K×8位； 4K×8位

RAM: 1K×1位； 1K×4位； 4K×8位



74138芯片的外特性

真值表：

Table 1. Function Table

[illegible]

例4.1 解：

备选存储芯片如下：

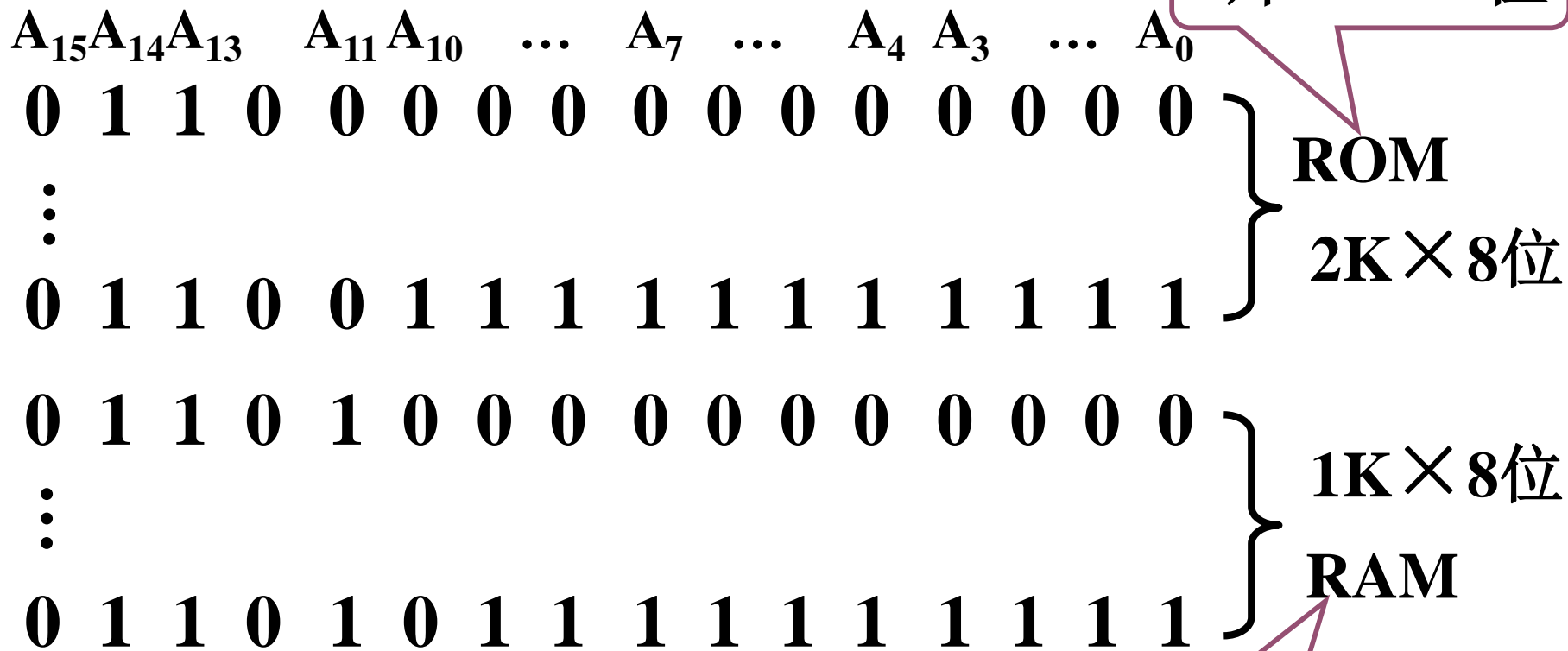
ROM: 1K×8位; 2K×8位; 4K×8位

RAM: 1K×1位; 1K×4位; 4K×8位

要求从0x6000起的2K地址空间为系统程序区，
相邻的1K地址空间为用户程序区。

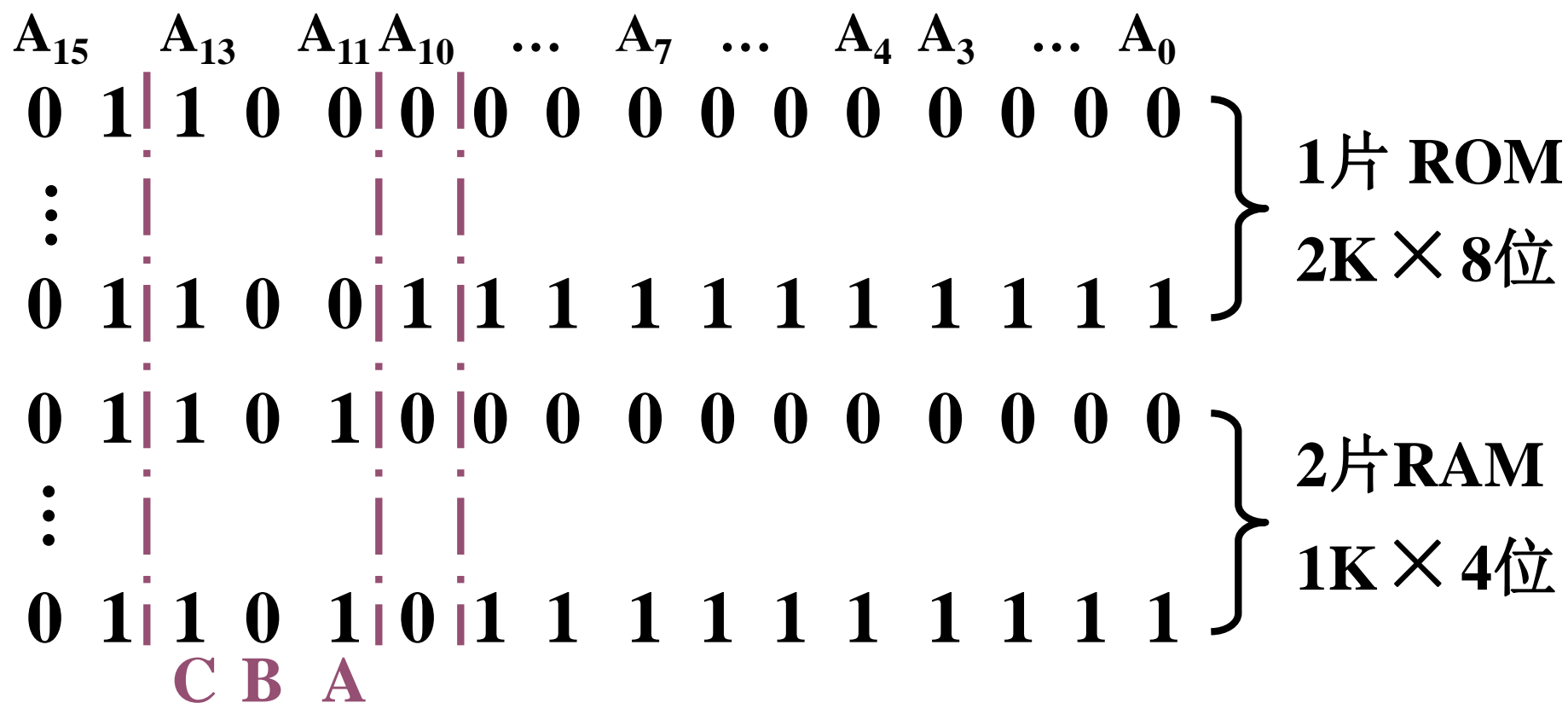
4.2

(1) 写出对应的二进制地址码



(2) 确定芯片的数量及类型

(3) 分配地址线



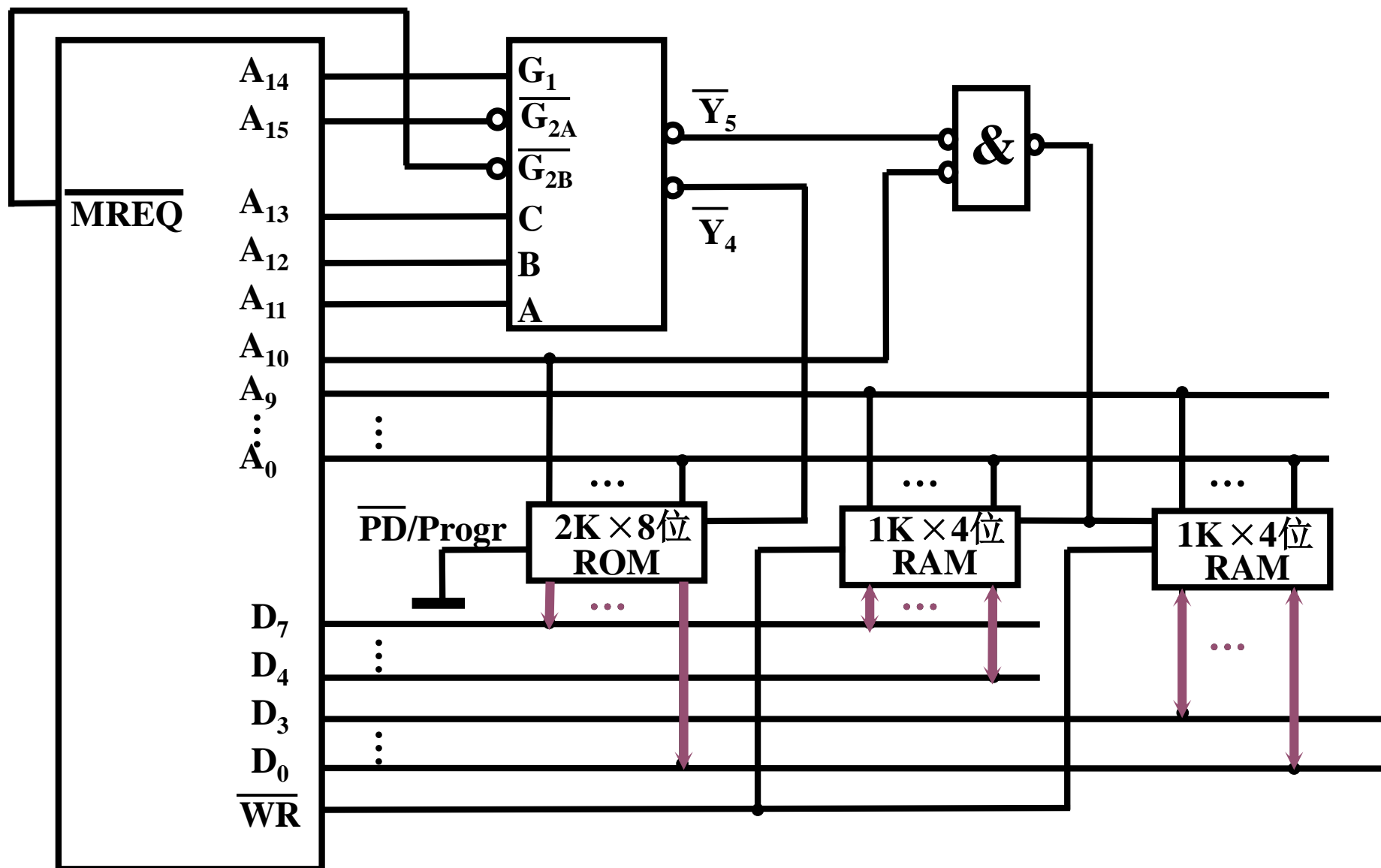
A₁₀ ~ A₀ 接 2K × 8位 ROM 的地址线

A₉ ~ A₀ 接 1K × 4位 RAM 的地址线

(4) 确定片选信号

例 4.1 CPU 与存储器的连接图

4.2



2. 存储器与 CPU 的连接: 解题流程 ^{4.2}

- (1) 写出各地址范围对应的二进制地址码
- (2) 确定芯片的数量及类型
- (3) 分配（芯片的）地址线
- (4) 确定片选信号
- (5) 画出连接图（注意 特殊信号线 的处理）

特指固定接地的 $\overline{\text{PD/Progr}}$
还有138译码器不用的输入端等

此类题目中的常见话术:

- 系统存储区: **ROM**
- 系统程序区: **ROM**
- 固件存储区: **ROM**
-
- 用户程序区: **RAM**
- 程序工作区: **RAM**
- 参数存储区: **RAM**
-

例4.2 假设同前，要求最小 4K为系统程序区，相邻 8K为用户程序区。

(1) 写出对应的二进制地址码

(2) 确定芯片的数量及类型

1片 4K × 8位 ROM 2片 4K × 8位 RAM

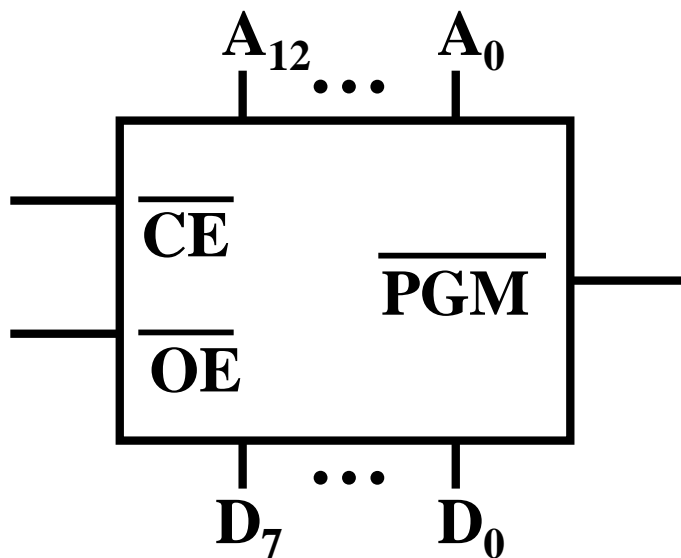
(3) 分配地址线

$A_{11} \sim A_0$ 接 ROM 和 RAM 的地址线

(4) 确定片选信号

例 4.3 设 CPU 有 20 根地址线，8 根数据线。 **4.2**

并用 $\overline{\text{IO/M}}$ 作访存控制信号。 $\overline{\text{RD}}$ 为读命令， $\overline{\text{WR}}$ 为写命令。现有 2764 EPROM ($8\text{K} \times 8\text{位}$)，外特性如下：



2. 存储器与 CPU 的连接: **解题流程** **4.2**

- (1) 写出各区域对应的二进制地址码
- (2) 确定芯片的数量及类型
- (3) 分配 (芯片的) 地址线
- (4) 确定片选信号
- (5) 画出连接图 (注意 特殊信号线 的处理)

用 138 译码器及其他门电路 (门电路自定) 画出 CPU 和 2764 的连接图。要求地址为 $\text{F0000H} \sim \text{FFFFFFH}$ ，并写出每片 2764 的地址范围。