

计算机组成原理

翁睿

哈尔滨工业大学

2. 半导体存储芯片的译码驱动方式 **4.2**

(1) 线选法

(2) 重合法

三、随机存取存储器 (RAM)

(1) **SRAM**的工作原理

(2) **DRAM**的读写时序

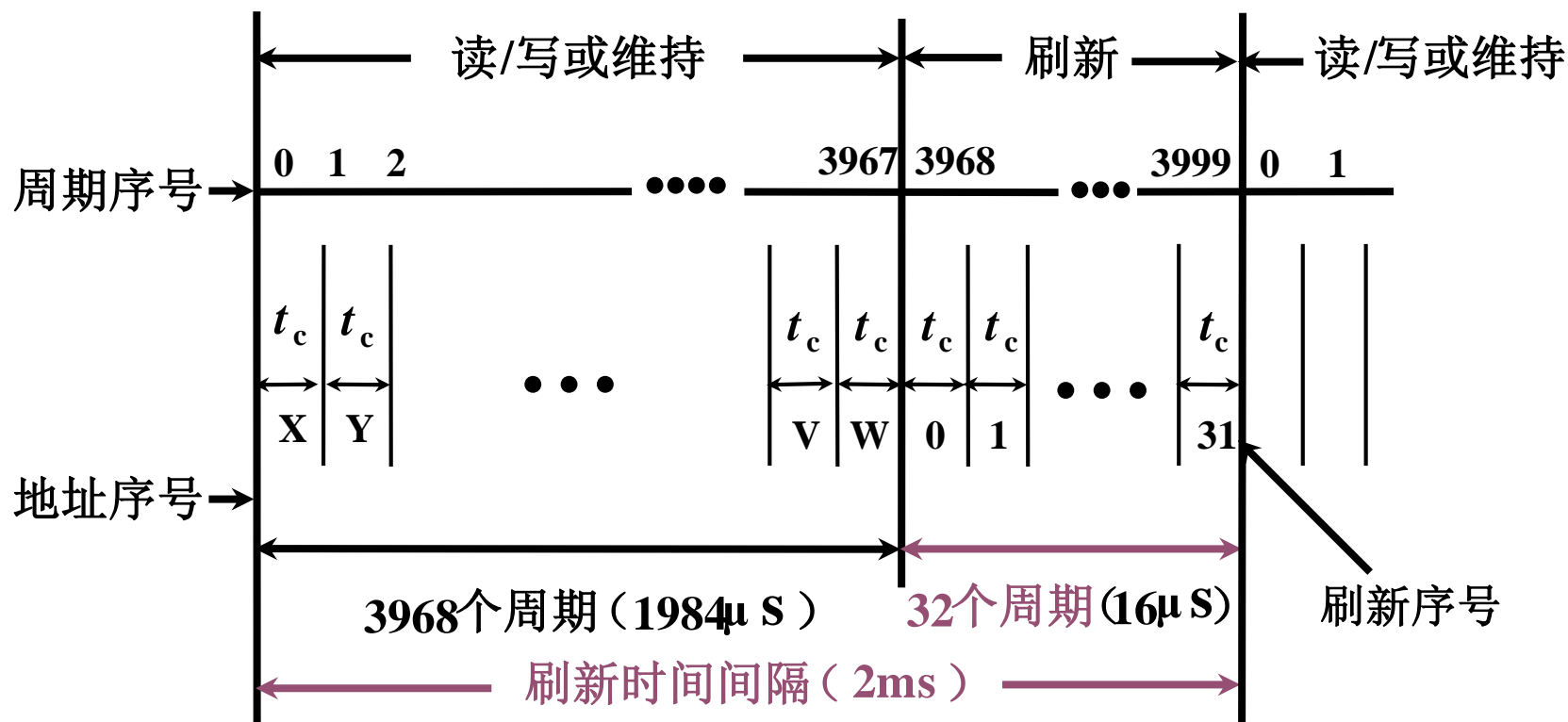
地址线复用：行、列地址分开传送

(4) 动态 RAM 刷新

4.2

刷新与行地址有关

① 集中刷新 (存取周期为 $0.5\mu\text{s}$) 以 32×32 矩阵为例



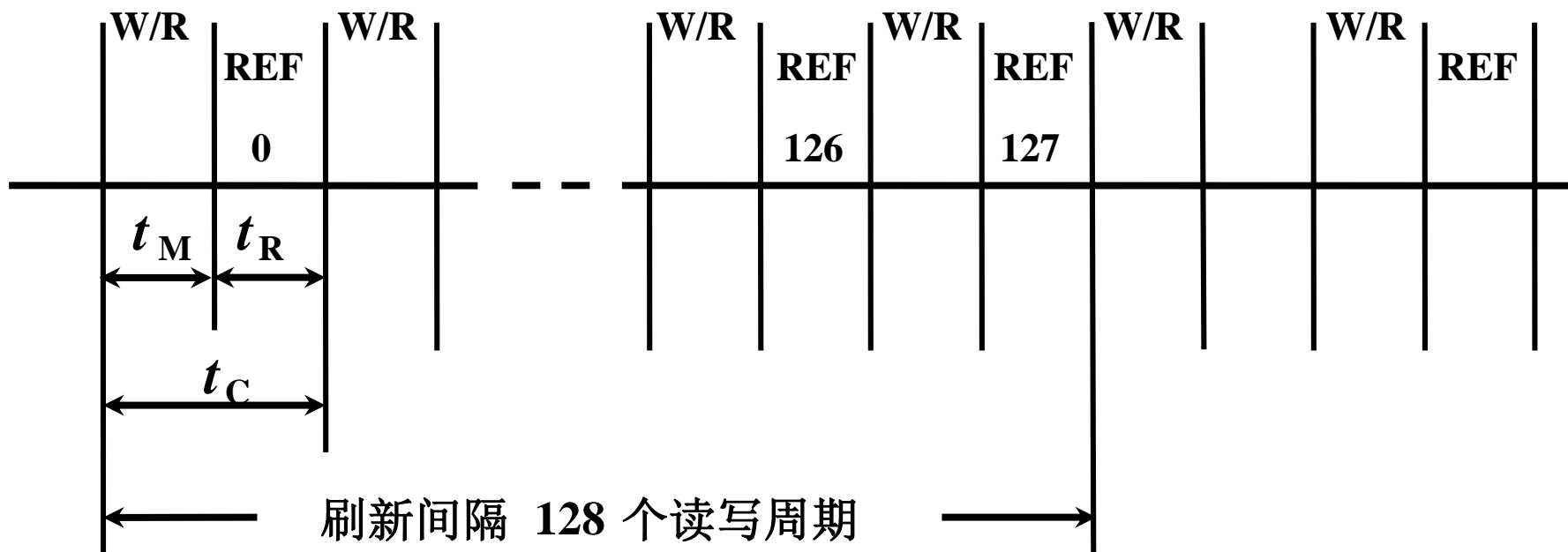
“死区” 为 $0.5\mu\text{s} \times 32 = 16\mu\text{s}$

“死时间率” 为 $32/4000 \times 100\% = 0.8\%$

② 分散刷新（存取周期为 $1\mu\text{s}$ ）

4.2

以 128×128 矩阵为例



$$t_C = t_M + t_R$$

↓ ↓
读写 刷新

无“死区”

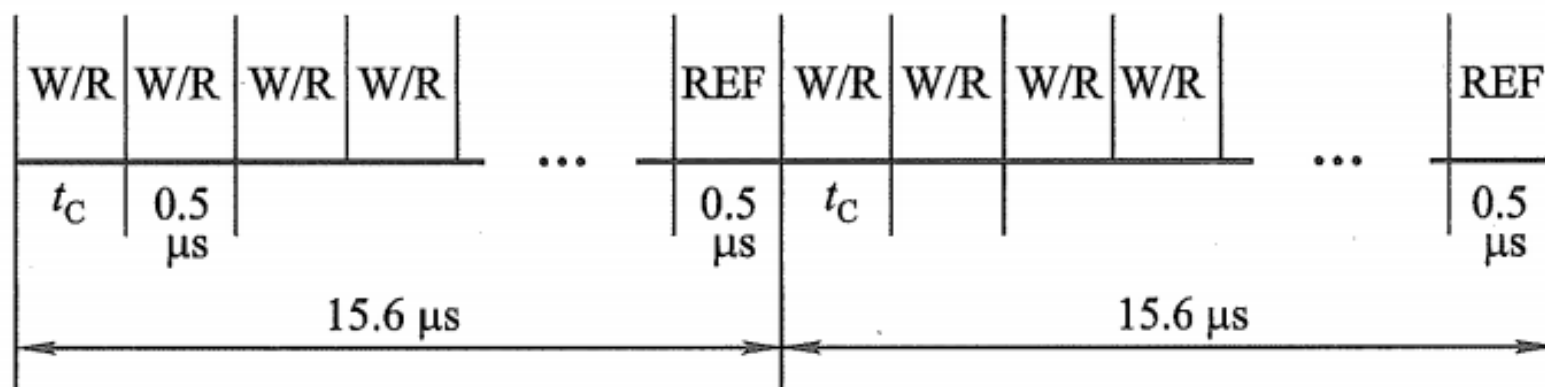
但刷新过于频繁，影响性能

(存取周期为 $0.5\mu\text{s} + 0.5\mu\text{s}$)

③ 分散刷新与集中刷新相结合

对于 128×128 的存储芯片（存取周期为 $0.5\mu\text{s}$ ）

若每隔 2 ms 集中刷新一次 “死区” 为 $64\mu\text{s}$



若每隔 $15.625\mu\text{s}$ 刷新一行（ $15.625\mu\text{s} = 2\text{ ms} / 128$ ）

此时每行每隔 2 ms 刷新一次 “死区” 为 $0.5\mu\text{s}$

将刷新安排在指令译码阶段，不会出现 “死区”

4. 动态 RAM 和静态 RAM 的比较

	<div>主存</div> DRAM	SRAM <div>缓存</div>
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	需要	不需要

五、存储器与 CPU 的连接

4.2

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

e.g. 用 2片 $1K \times 4$ 位 存储芯片组成 $1K \times 8$ 位 的存储器

(2) 字扩展（增加存储字的数量）

e.g. 用 2片 $1K \times 8$ 位 存储芯片组成 $2K \times 8$ 位 的存储器

(3) 字、位扩展

e.g. 用 8片 $1K \times 4$ 位 存储芯片组成 $4K \times 8$ 位 的存储器

2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写线的连接
- (4) 片选线的连接
- (5) 合理选用芯片
- (6) 其他 时序、负载



例4.1

4.2

已知某CPU的地址总线宽度为16位，数据总线宽度为8位，CPU采用MREQ信号控制访问存储器。

要求从0x6000起的2K地址空间为系统程序区，相邻的1K地址空间为用户程序区。

请画出存储器与CPU的连接图。要求使用74138译码器实现地址译码，可附加适当的逻辑门电路。

备选的存储芯片如下：

ROM: 1K×8位； 2K×8位； 4K×8位

RAM: 1K×1位； 1K×4位； 4K×8位



74138芯片的外特性

真值表：

Table 1. Function Table

[illegible]

例4.1 解：

备选存储芯片如下：

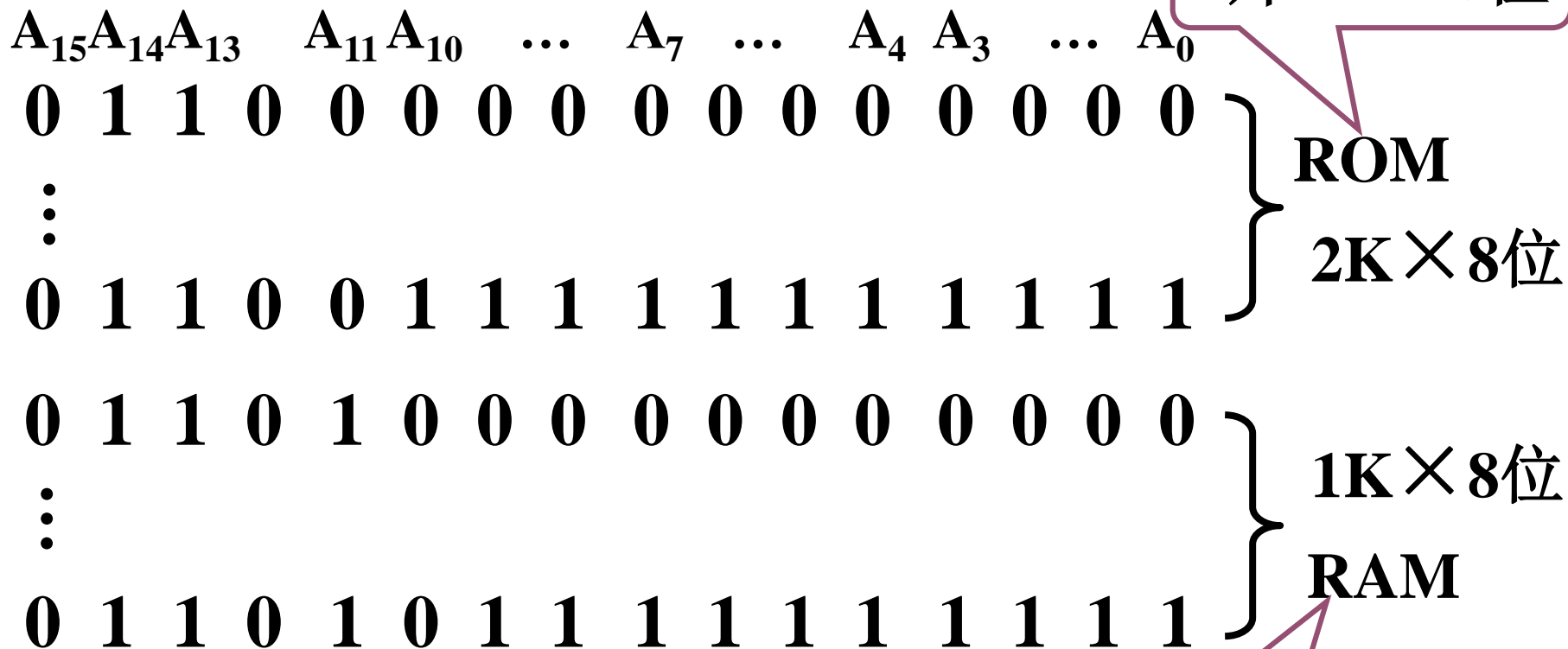
ROM: 1K×8位; 2K×8位; 4K×8位

RAM: 1K×1位; 1K×4位; 4K×8位

要求从0x6000起的2K地址空间为系统程序区，
相邻的1K地址空间为用户程序区。

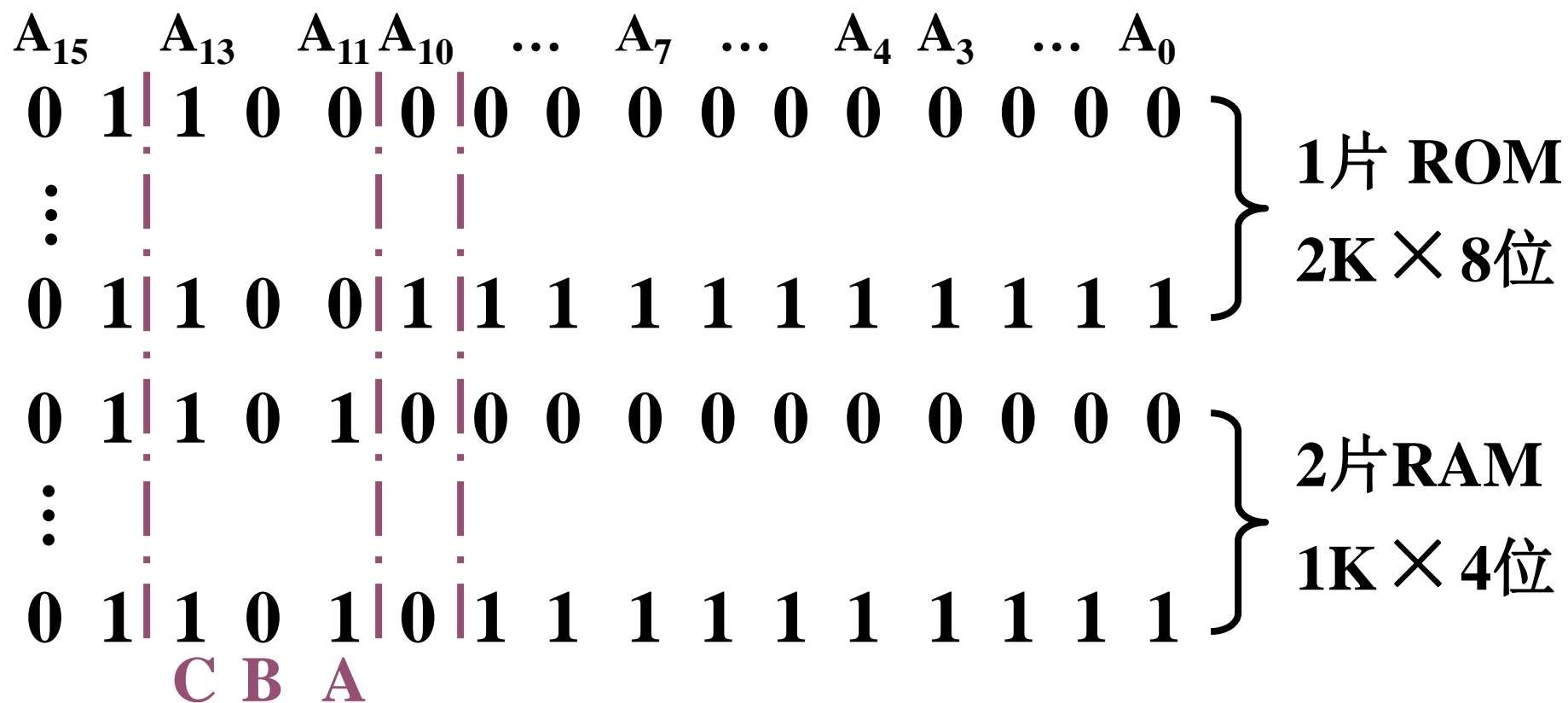
4.2

(1) 写出对应的二进制地址码



(2) 确定芯片的数量及类型

(3) 分配地址线



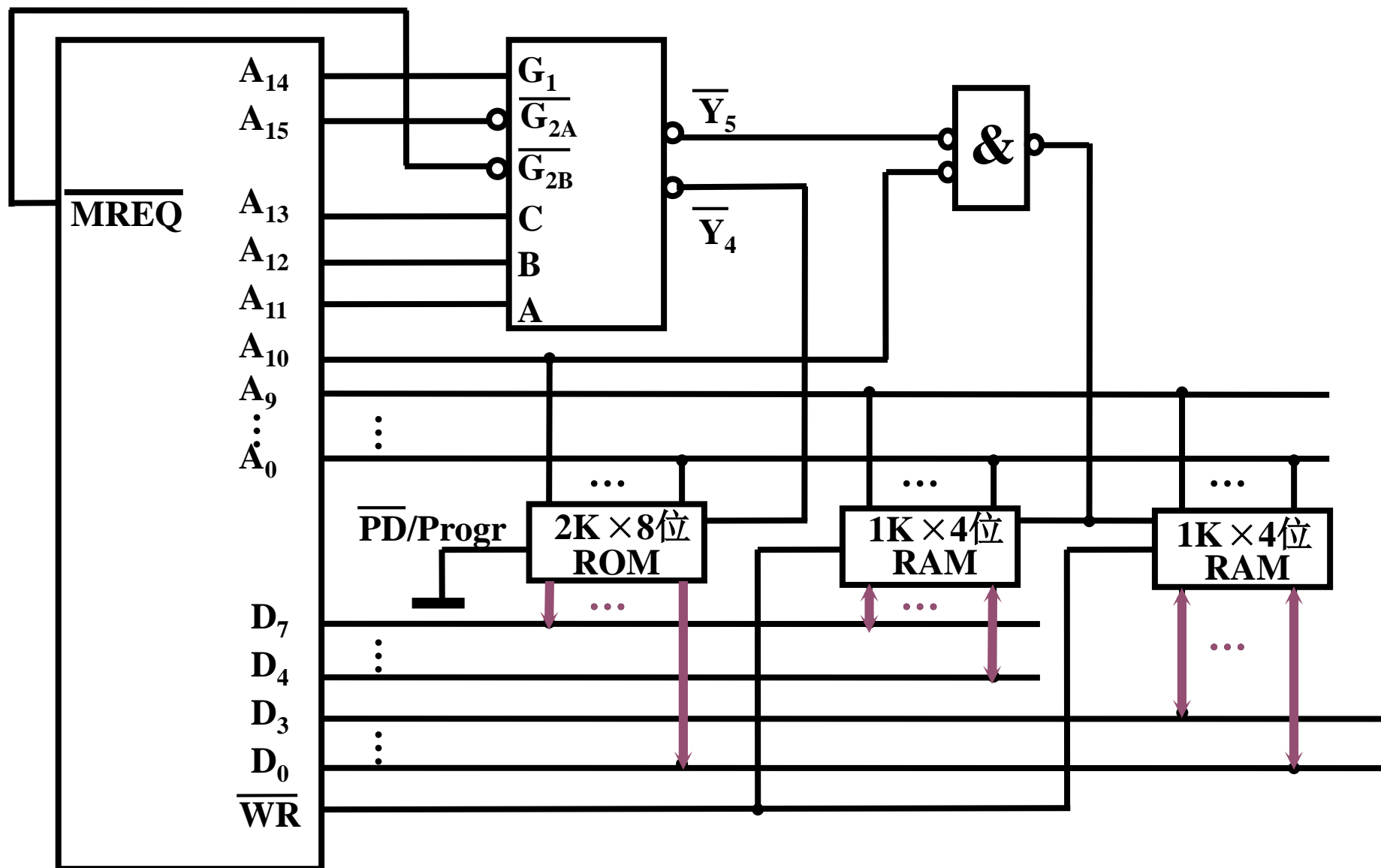
$A_{10} \sim A_0$ 接 2K × 8位 ROM 的地址线

$A_9 \sim A_0$ 接 1K × 4位 RAM 的地址线

(4) 确定片选信号

例 4.1 CPU 与存储器的连接图

4.2



2. 存储器与 CPU 的连接: 解题流程 ^{4.2}

- (1) 写出各地址范围对应的二进制地址码
- (2) 确定芯片的数量及类型
- (3) 分配（芯片的）地址线
- (4) 确定片选信号
- (5) 画出连接图（注意 特殊信号线 的处理）

特指固定接地的 $\overline{\text{PD/Progr}}$
还有138译码器不用的输入端等

此类题目中的常见话术:

- 系统存储区: **ROM**
- 系统程序区: **ROM**
- 固件存储区: **ROM**
-
- 用户程序区: **RAM**
- 程序工作区: **RAM**
- 参数存储区: **RAM**
-

例4.2 假设同前，要求最小 4K为系统程序区，相邻 8K为用户程序区。

(1) 写出对应的二进制地址码

备选存储芯片如下：

ROM: 1K×8位; 2K×8位; 4K×8位

RAM: 1K×1位; 1K×4位; 4K×8位

(2) 确定芯片的数量及类型

1片 4K×8位 ROM 2片 4K×8位 RAM

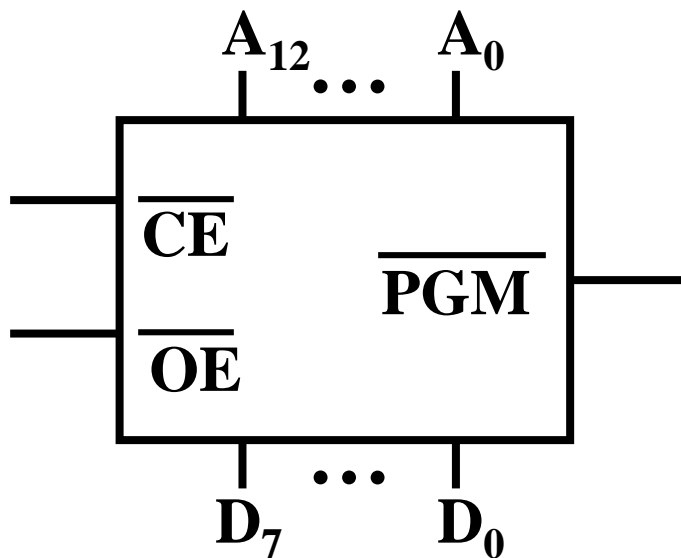
(3) 分配地址线

$A_{11} \sim A_0$ 接 ROM 和 RAM 的地址线

(4) 确定片选信号，并完成连线

例 4.3 设 CPU 有 20 根地址线，8 根数据线。 **4.2**

并用 $\overline{\text{IO/M}}$ 作访存控制信号。 $\overline{\text{RD}}$ 为读命令， $\overline{\text{WR}}$ 为写命令。现有 2764 EPROM ($8\text{K} \times 8\text{位}$)，外特性如下：



2. 存储器与 CPU 的连接: **解题流程** **4.2**

- (1) 写出各区域对应的二进制地址码
- (2) 确定芯片的数量及类型
- (3) 分配 (芯片的) 地址线
- (4) 确定片选信号
- (5) 画出连接图 (注意 特殊信号线 的处理)

用 138 译码器及其他门电路 (门电路自定) 画出 CPU 和 2764 的连接图。要求地址为 $\text{F0000H} \sim \text{FFFFFFH}$ ，并写出每片 2764 的地址范围。

六、存储器的校验

4.2

1. 奇偶校验码

通过增加冗余位使得码字中“1”的个数恒为奇数或偶数的编码方法，它是一种检错码。

实现原理：

(1) 源端产生校验位 P ：

偶校验： $P_e = b_{n-1} \oplus b_{n-2} \oplus b_{n-3} \oplus \dots \oplus b_1 \oplus b_0$

奇校验： $P_o = b_{n-1} \oplus b_{n-2} \oplus b_{n-3} \oplus \dots \oplus b_1 \oplus b_0 \oplus 1$

(2) 终端求出校验位 P'

(3) 计算最终校验位 $P^* = P \oplus P'$ ，并判断是否有错

2. 汉明校验码（汉明码 / 海明码）

4.2

1. 编码的最小距离（汉明距离）

任意两组合法代码之间 二进制位数 的 最少差异
编码的纠错、检错能力与编码的最小距离有关

$$L - 1 = D + C \quad (D \geq C)$$

L — 编码的最小距离 $L = 3$

D — 检测错误的位数 具有 一位 纠错能力

C — 纠正错误的位数

汉明码是具有一位纠错能力的编码

2. 汉明码的组成

组成汉明码的三要素

汉明码的组成需增添 ? 位检测位

$$2^k \geq n + k + 1$$

检测位的位置 ?

$$2^i \quad (i = 0, 1, 2, 3, \dots)$$

检测位的取值 ?

检测位的取值与该位所在的检测“小组”中承担的奇偶校验任务有关

各检测位 C_i 所承担的检测小组为

C_1 检测的 g_1 小组包含第 1, 3, 5, 7, 9, 11 ...

C_2 检测的 g_2 小组包含第 2, 3, 6, 7, 10, 11 ...

C_4 检测的 g_3 小组包含第 4, 5, 6, 7, 12, 13 ...

C_8 检测的 g_4 小组包含第 8, 9, 10, 11, 12, 13, 14, 15, 24 ...

例如：有4位数据1010需要做汉明码编码：

二进制序号	00 1	010	01 1	100	10 1	110	11 1
数据位内容	C_1	C_2	1	C_4	0	1	0

二进制序号	001	0 1 0	0 1 1	100	101	1 1 0	1 1 1
数据位内容	C_1	C_2	1	C_4	0	1	0

二进制序号	001	010	011	1 00	1 01	1 10	1 11
数据位内容	C_1	C_2	1	C_4	0	1	0

例4.4 求 0101 按 “偶校验” 配置的汉明码

解：∵ $n = 4$

根据 $2^k \geq n + k + 1$

得 $k = 3$

汉明码排序如下：

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	1	0	1
	0	1		0			

∴ 0101 的汉明码为 0100101

练习1 按配偶原则配置 0011 的汉明码 4.2

解： $\because n = 4$ 根据 $2^k \geq n + k + 1$

取 $k = 3$

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	0	1	1
	1	0		0			

$$C_1 = b_3 \oplus b_5 \oplus b_7 = 1$$

$$C_2 = b_3 \oplus b_6 \oplus b_7 = 0$$

$$C_4 = b_5 \oplus b_6 \oplus b_7 = 0$$

\therefore 0011 的汉明码为 1000011

4. 汉明码的纠错过程

4.2

形成新的检测位 P_i 其位数与增添的检测位有关
如增添 3 位 ($k = 3$) 新的检测位为 $P_4 P_2 P_1$

以 $k = 3$ 为例, P_i 的取值为

$$P_1 = \overset{C_1}{b1} \oplus b3 \oplus b5 \oplus b7$$

$$P_2 = \overset{C_2}{b2} \oplus b3 \oplus b6 \oplus b7$$

$$P_4 = \overset{C_4}{b4} \oplus b5 \oplus b6 \oplus b7$$

对于按“偶校验”配置的汉明码
不出错时 $P_1 = 0, P_2 = 0, P_4 = 0$

例4.5 已知接收到的汉明码为 0100111

（按配偶原则配置）试问要求传送的信息是什么？

解：纠错过程如下

$$P_1 = b_1 \oplus b_3 \oplus b_5 \oplus b_7 = 0 \text{ 无错}$$

$$P_2 = b_2 \oplus \underset{\checkmark}{b_3} \oplus \boxed{b_6} \oplus \underset{\checkmark}{b_7} = 1 \text{ 有错}$$

$$P_4 = b_4 \oplus \underset{\checkmark}{b_5} \oplus \boxed{b_6} \oplus \underset{\checkmark}{b_7} = 1 \text{ 有错}$$

$$\therefore P_4 P_2 P_1 = 110$$

第 6 位出错，可纠正为 0100101，
故要求传送的信息为 0101。

练习2 写出按偶校验配置的汉明码

0101101 的纠错过程

$$P_4 = b_4 \oplus b_5 \oplus b_6 \oplus b_7 = 1$$

$$P_2 = b_2 \oplus b_3 \oplus b_6 \oplus b_7 = 0$$

$$P_1 = b_1 \oplus b_3 \oplus b_5 \oplus b_7 = 0$$

$\therefore P_4 P_2 P_1 = 100$ 第4位错，可不纠

练习3 按配奇原则配置 0011 的汉明码

配奇的汉明码为 0101011

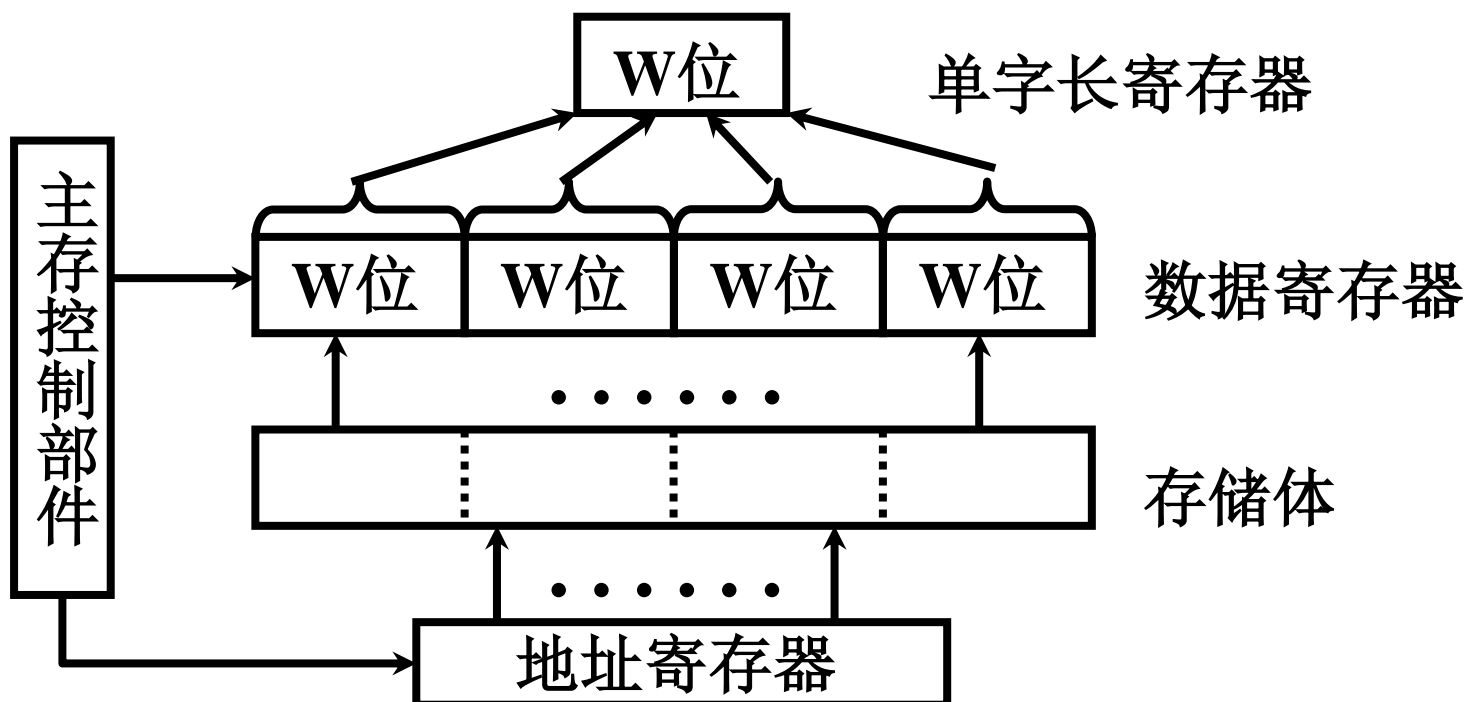
七、提高访存速度的措施

4.2

- 采用高速器件
- 采用层次结构 Cache — 主存
- 调整主存结构

1. 单体多字系统

增加存储器的带宽

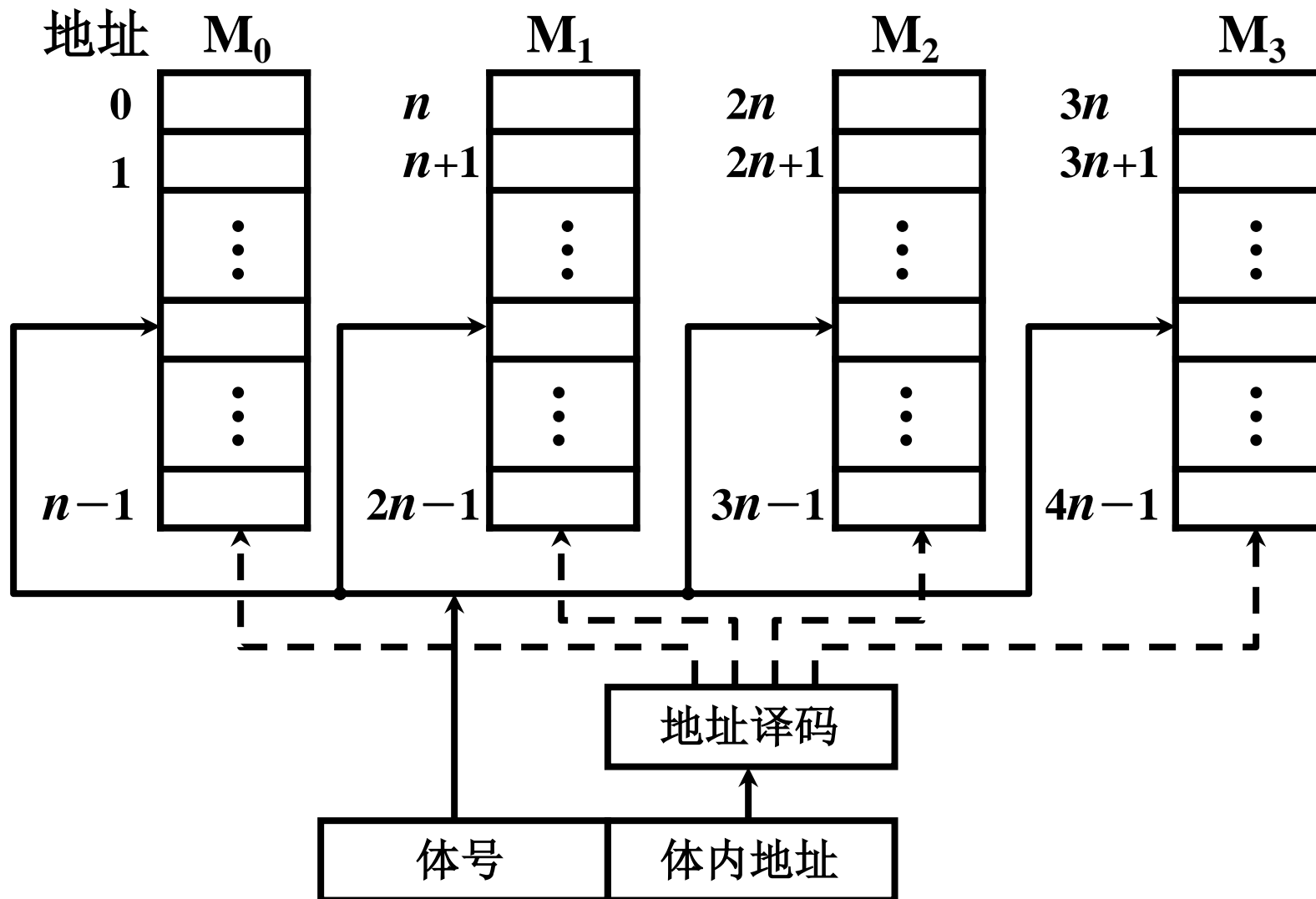


2. 多体并行系统

4.2

(1) 高位交叉

各存储体连续编址

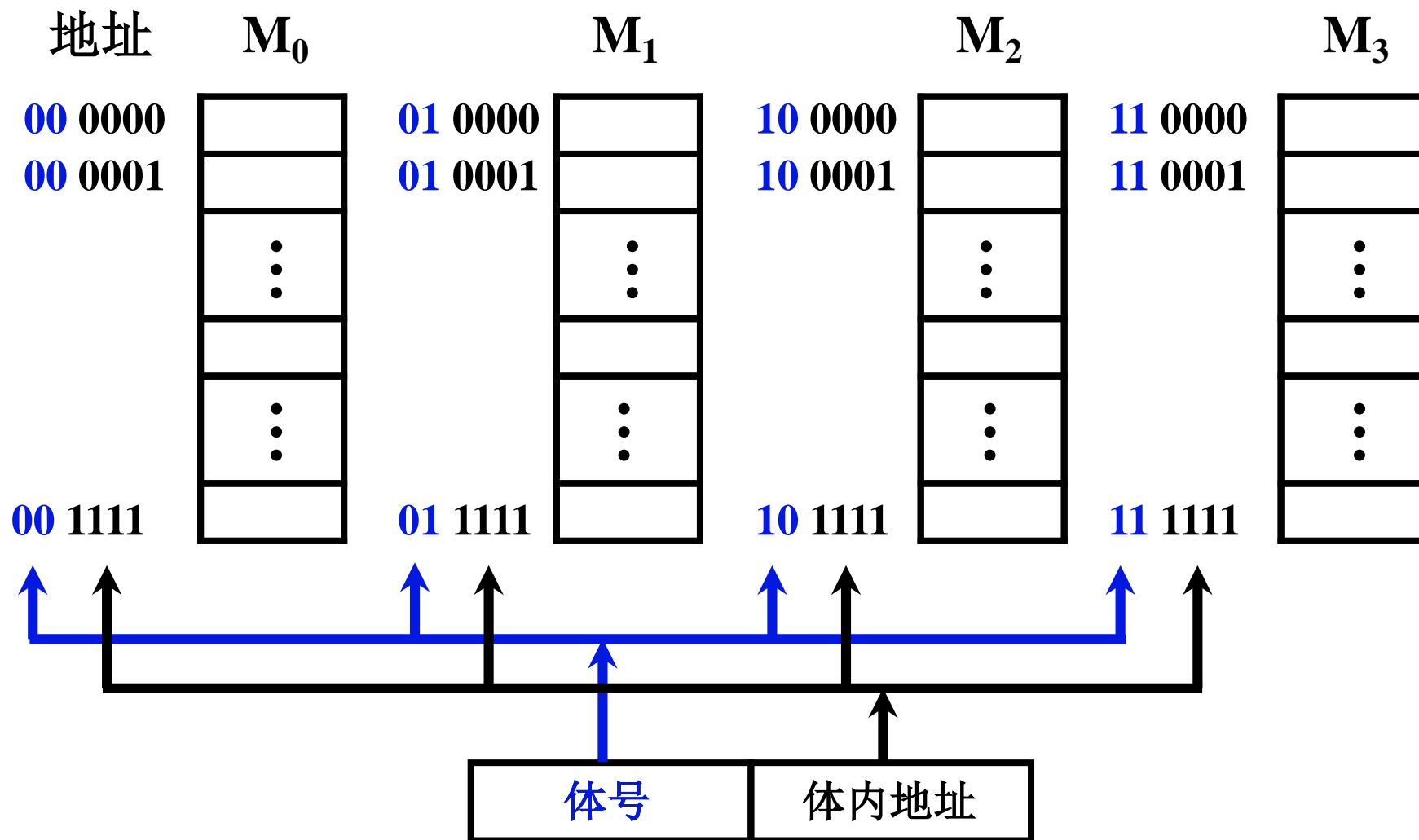


2. 多体并行系统

4.2

(1) 高位交叉

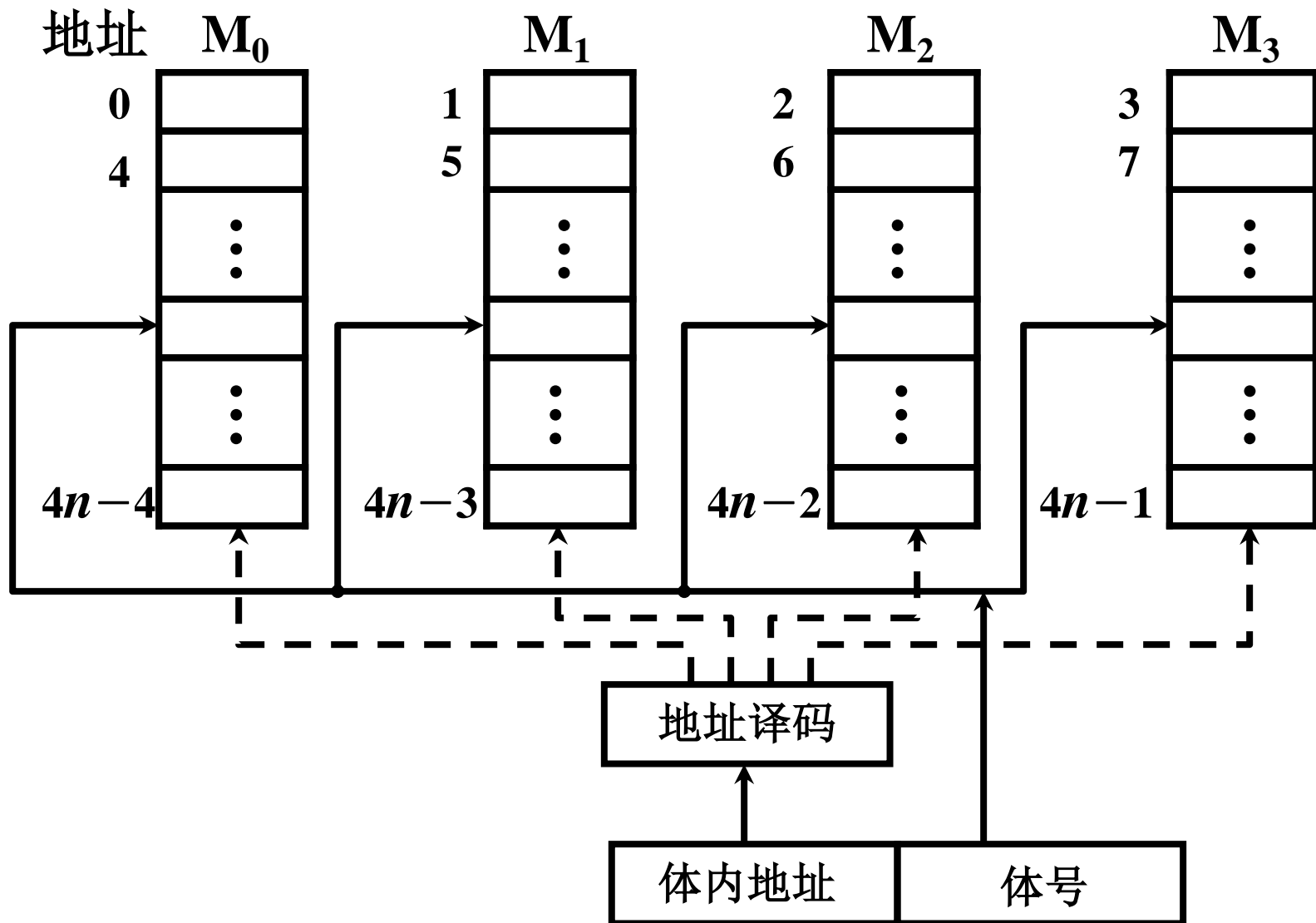
各存储体连续编址



(2) 低位交叉

各存储体轮流编址

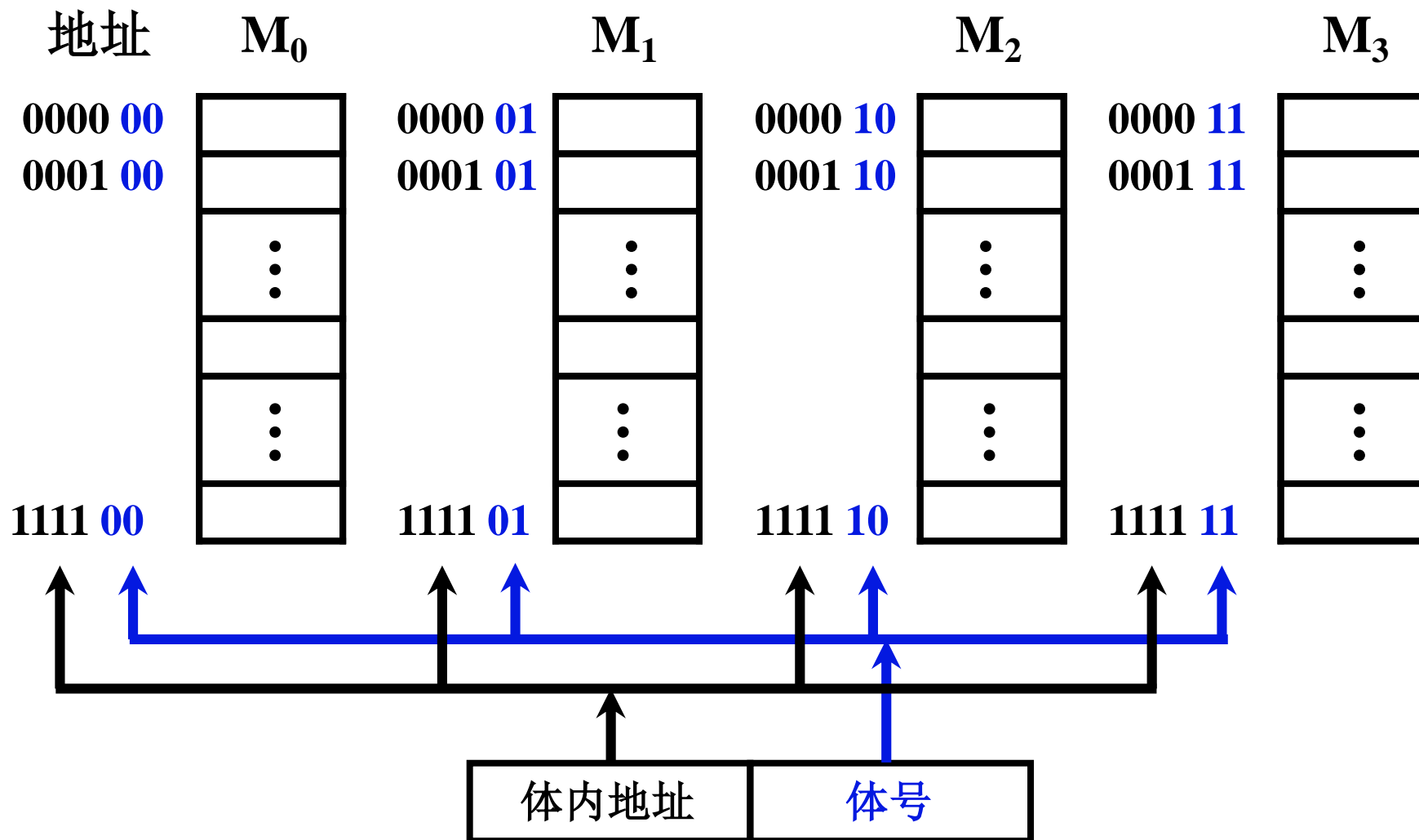
4.2



(2) 低位交叉

各存储体轮流编址

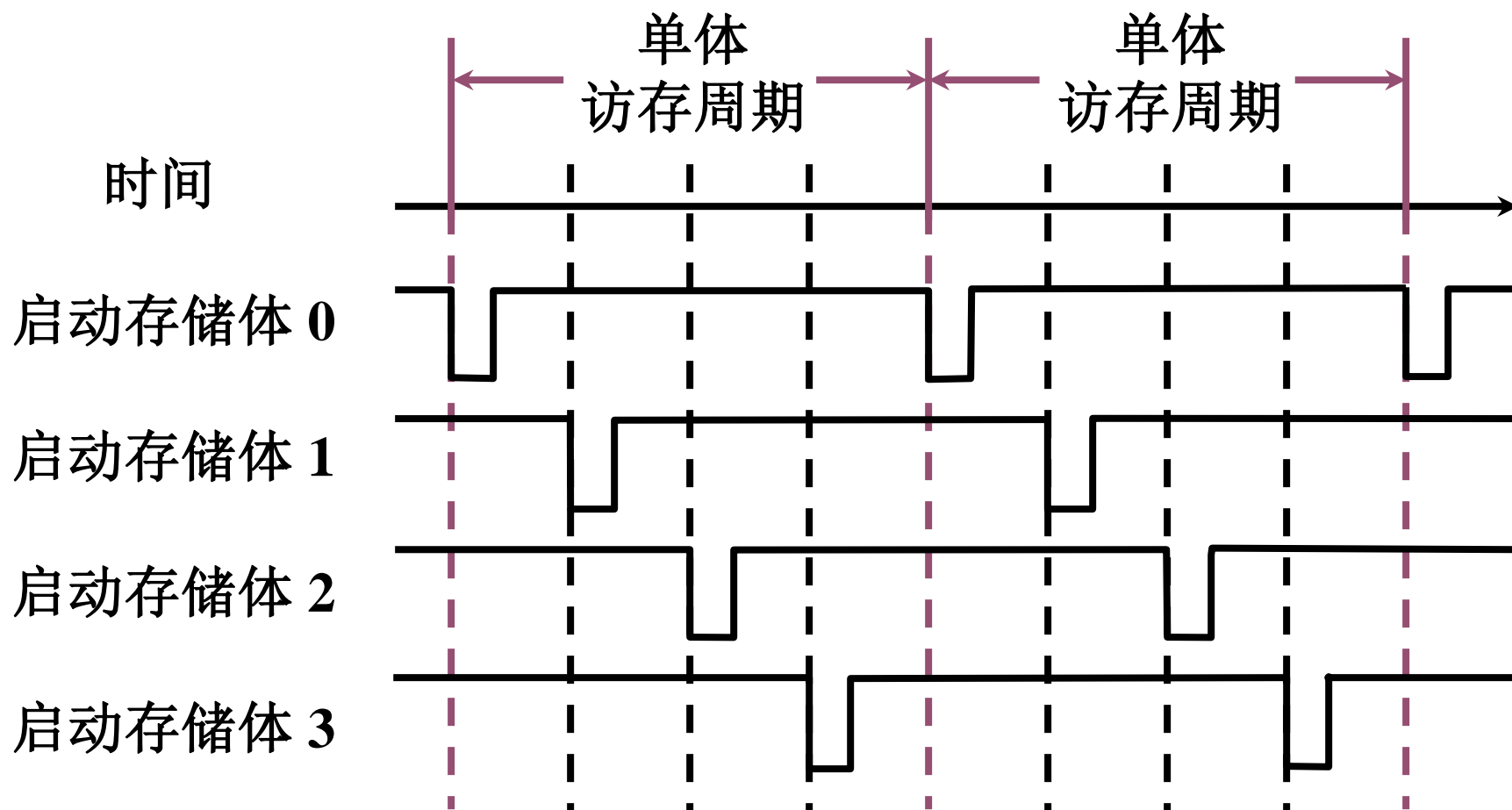
4.2



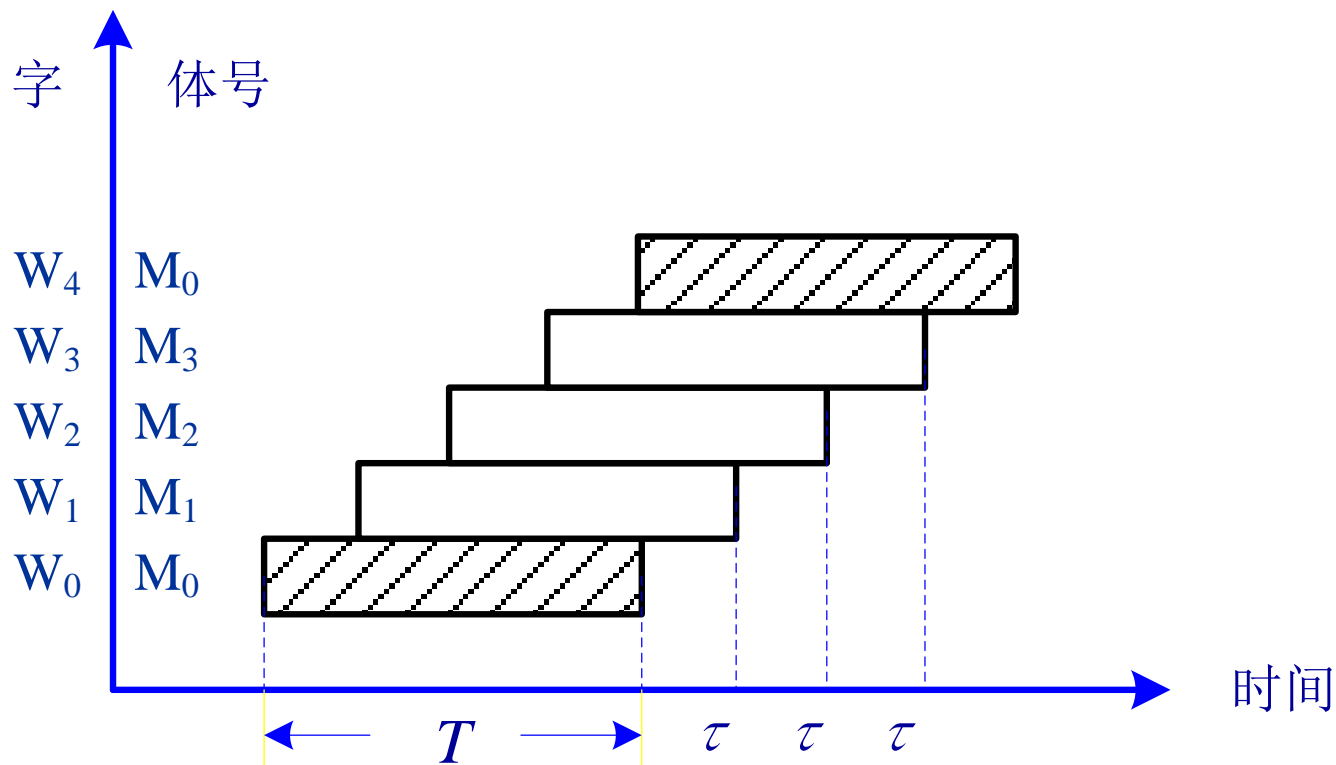
低位交叉的特点

4.2

在不改变存取周期的前提下，增加存储器的带宽

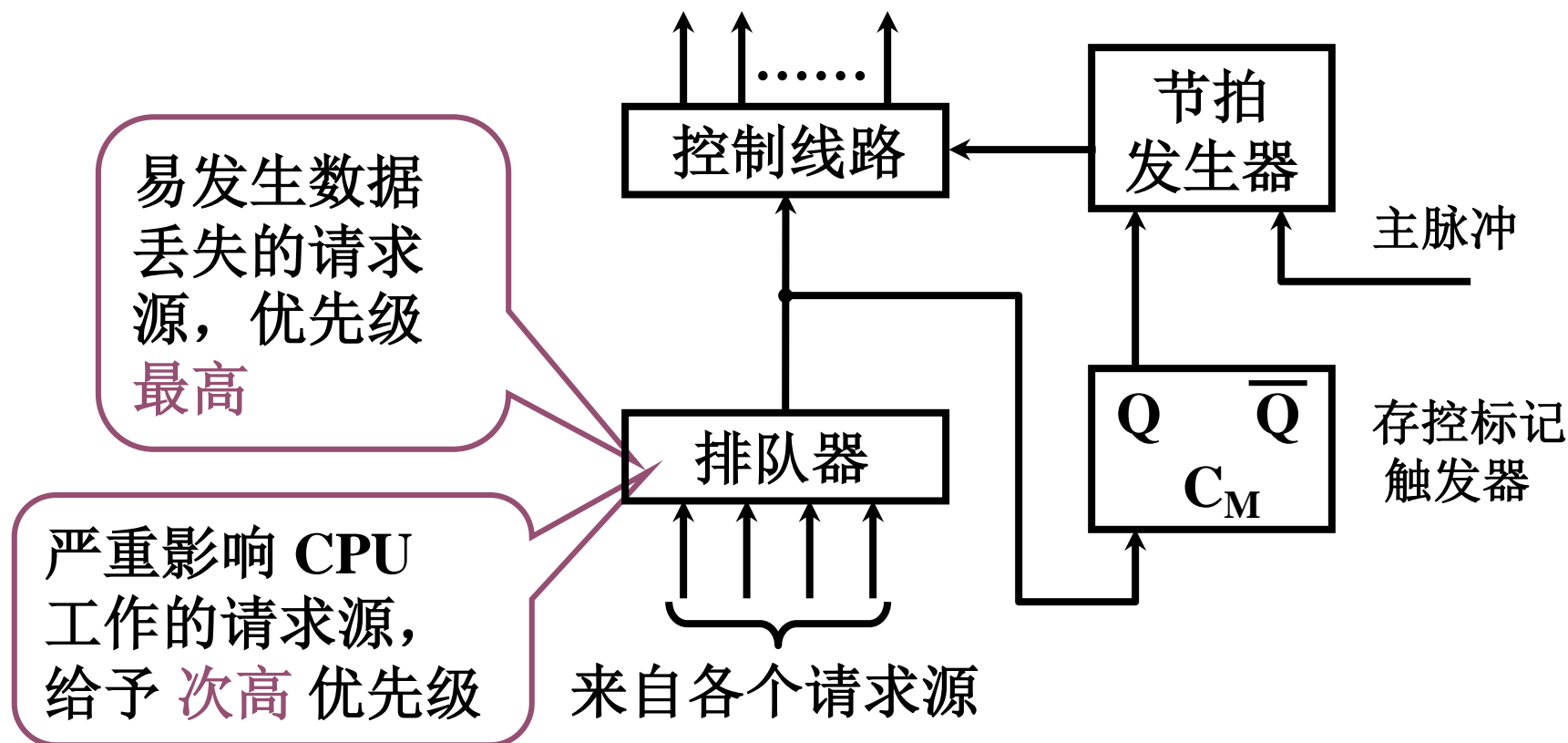


设四体低位交叉存储器，存取周期为 T ，总线传输周期为 τ ，为实现流水线方式存取，应满足 $T = 4\tau$ 。



连续读取 4 个字所需的时间为 $T + (4 - 1)\tau$

(3) 存储器控制部件（简称存控）



3.高性能存储芯片

4.2

(1) SDRAM (同步 DRAM)

在系统时钟的控制下进行读出和写入

CPU 无须等待

(2) RDRAM

由 Rambus 开发，主要解决 存储器带宽 问题

(3) 带 Cache 的 DRAM

在 DRAM 的芯片内 集成 了一个由 SRAM 组成的

Cache，有利于 猝发式读取

存储器提速技术在辅存中的应用：NVME SSD 4.2

FA Command

RS232

Event Log

Card Info

Chunk ECC

Erase Count

HMB Info

SSD Info

Get Log Page

Flash Diagnosis

RSA Key

[Card Mode]

Card Mode 0: 0x12

External interleave mode

With SLC mode

Flash Parameter: 0xBE

TLC

Synchronous mode

Manual to toggle

Reliable mode

Multiple plane mode

LsbPlaneBit

Flash Option: 0x5F

Enable multiple plane read

Enable multiple plane program

SLC Mode Switch CMD

Enable cache read

Enable cache program

Power of two

Card Configuration

CE map info: 0x0F

CH map info: 0x0F

4 Way interleave

Total channel number: 4

Total Ce number: 4

Total plane number: 2

Total Die per Ce: 1

Data ECC Level for Register: 2

Spr ECC Level for Register: 2

Page Num for Register: 2

Block Num for Register: 2

Plane Num for Register: 2

First Fblock: 0x0001

CE 0

	ID 0	ID 1	ID 2	ID 3	ID 4	ID 5
CH 0	98	3C	98	B3	76	72
CH 1	98	3C	98	B3	76	72
CH 2	98	3C	98	B3	76	72
CH 3	98	3C	98	B3	76	72

Read Card Mode

Read All Flash ID

多体并行：4路低位交叉编址

4 Way interleave

Total channel number: 4

单体多字：4通道数据总线