# 计算机组成原理

翁睿

哈尔滨工业大学

# 第3章 系统总线

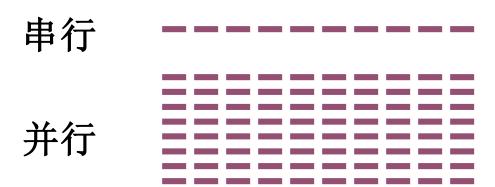
- 3.1 总线的基本概念
- 3.2 总线的分类
- 3.3 总线特性及性能指标
- 3.4 总线结构
- 3.5 总线控制

- 3.1 总线的基本概念
- 一、为什么要用总线
- 二、什么是总线

总线是连接各个部件的信息传输线,

是各个部件共享的传输介质

三、总线上信息的传送

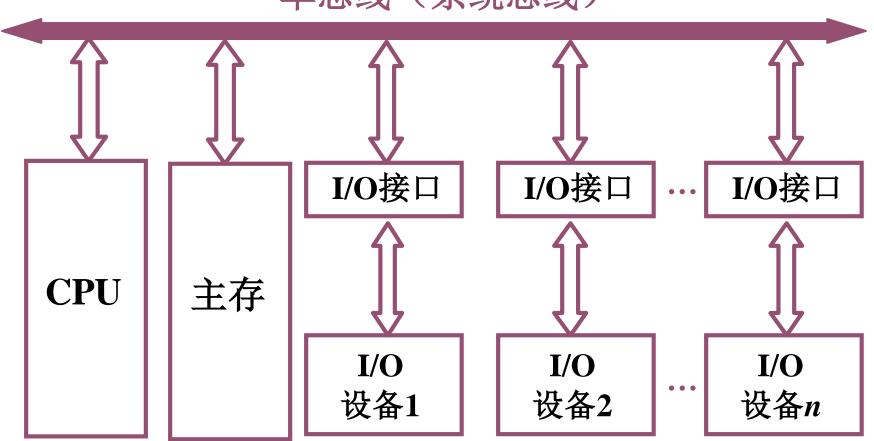


#### 四、总线结构的计算机举例

3.1

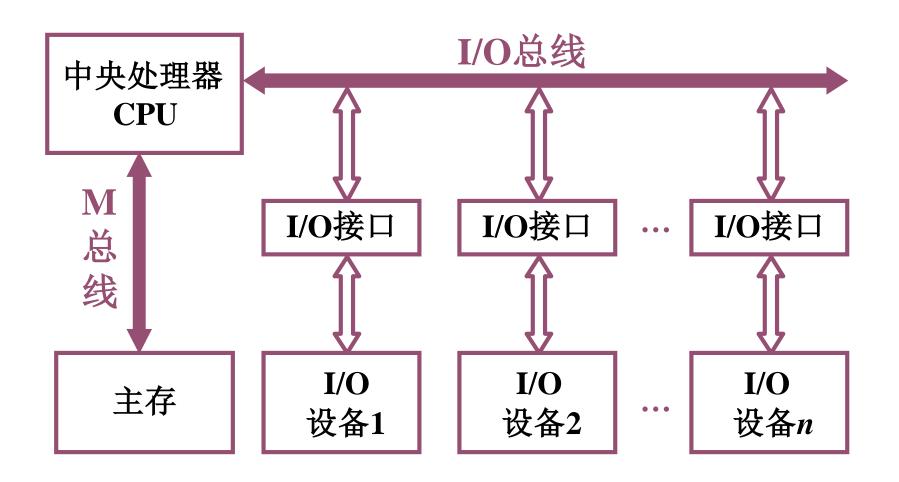
1.单总线结构框图

单总线 (系统总线)



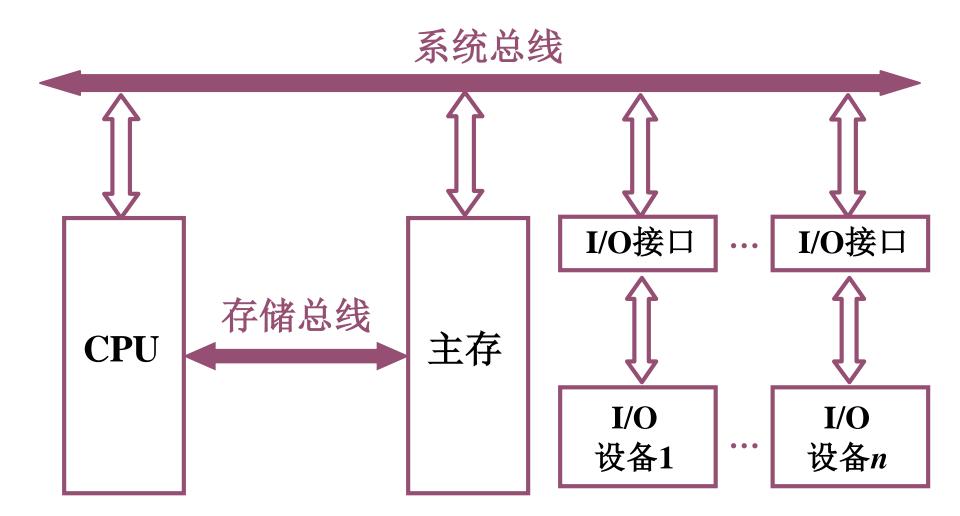
### 2.面向 CPU 的双总线结构框图

3.1



### 3.1

# 3. 以存储器为中心的双总线结构框图



#### 3.2 总线的分类

1. 片内总线 芯片内部的总线

2. 系统总线 计算机各部件之间的信息传输线 数据总线 双向 与机器字长、存储字长有关 地址总线 单向 与存储地址、I/O地址有关 控制总线 有出 有入

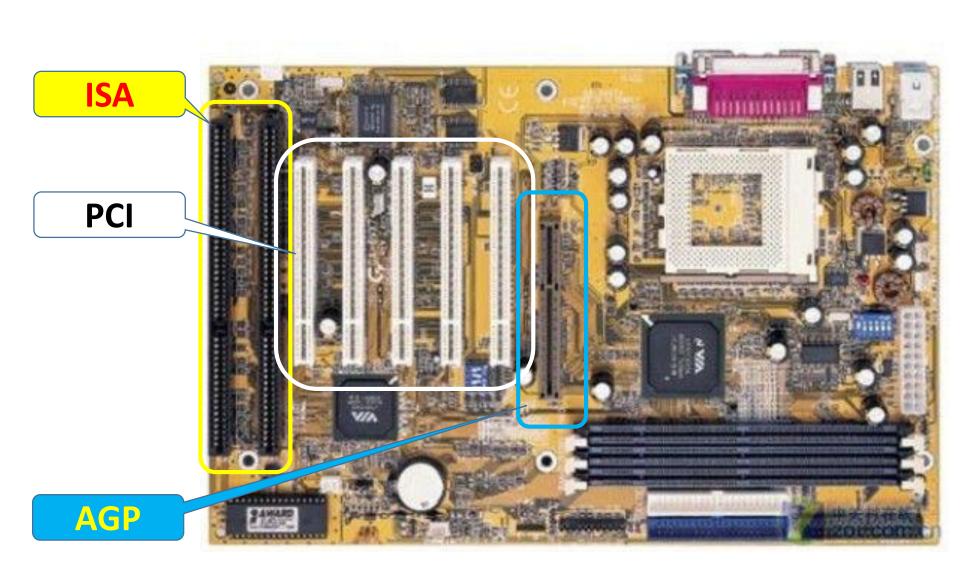
中断请求、总线请求

存储器读、存储器写总线允许、中断确认

#### 3. 通信总线

用于 计算机系统之间 或 计算机系统 与其他系统(如控制仪表、移动通信等) 之间的通信

# 4. 常见总线接口举例



4. 常见总线接口举例

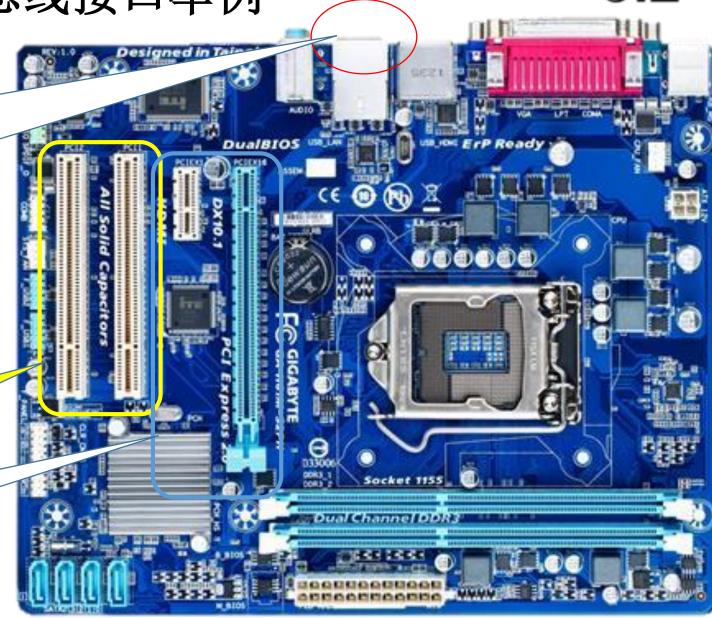
3.2



\* USB应归为 通信总线

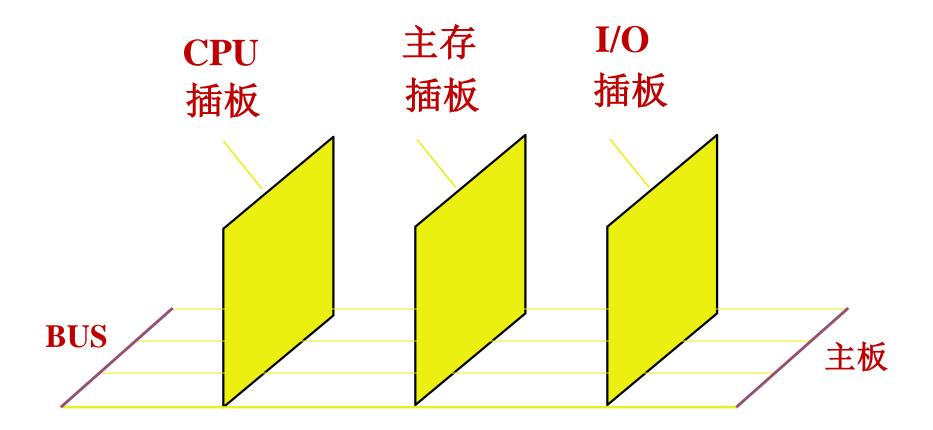
**PCI** 

PCI-Express (PCI-E)



### 3.3 总线特性及性能指标

### 一、总线物理实现



二、总线特性

3.3

1. 机械特性 尺寸、形状、管脚数及排列顺序

2. 电气特性 传输方向 和有效的 电平 范围

3. 功能特性 每根传输线的功能 { 数据 控制

4. 时间特性 信号的时序关系

### 3.3

### 三、总线的性能指标

- 1. 总线宽度 数据线的根数
- 2. 标准传输率 每秒传输的最大字节数 (MBps)
- 3. 时钟同步/异步 同步、不同步
- 4. 总线复用 地址线与数据线复用
- 5. 信号线数 地址线、数据线和控制线的总和
- 6. 总线控制方式 突发、自动、仲裁、逻辑、计数
- 7. 其他指标 负载能力

#### 四、总线标准

3.3



系统

标准界面

模块

系统

总线标准

ISA
EISA
VESA(VL-BUS)
PCI
AGP
RS-232

**USB** 

# 四、总线标准

3.3

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz(独立)	16 MBps
EISA	32	8 MHz(独立)	33 MBps
VESA (VL-BUS)	32	32 MHz (CPU)	133 MBps
PCI	32	33 MHz (独立)	132 MBps
	64	66 MHz (独立)	<b>528 MBps</b>
AGP	32	66.7 MHz(独立)	<b>266 MBps</b>
		133 MHz (独立)	533 MBps
RS-232	串行总线	数据终端设备(计算机)和数据通信设备 (调制解调器)之间的标准接口	
USB	串行总线	普通无屏蔽双绞线	1.5 Mbps (USB1.0)
		带屏蔽双绞线 12 Mbps (USB	
		最高 480 Mbps (USF	
		支持全双工	<b>5Gbps (USB3.0)</b>

### ●常见的总线标准

1. ISA(Industry Standard Architecture)总线

1981 文

支持24位地址线 支持8位(PC)/16位(PC/AT)数据线 总线时钟频率8MHz 用于80286计算机

2. EISA(Extended ISA)总线

1988

支持32位地址线和数据线总线时钟频率8MHz DMA方式下可达33MB/s传输速率 用于80386/80486计算机

#### 3. VL-BUS(VESA Local Bus)总线

与EISA兼容、外加主存总线以实现高速传输总线时钟频率与CPU外频同步(25-40MHz)主存总线驱动能力有限,最多接3个扩展卡用于80486计算机

4. PCI(Peripheral Component Interconnect)总线

总线时钟频率33/66MHz,并与CPU独立总线宽度32位/64位数据传输率132MB/s起,所有设备共享即插即用(自动分配地址空间、中断号等)

变种: AGP (Accelerated Graphics Port)

1993

1992

1996

#### 5. PCI-X(PCI eXtended)总线

1998

与PCI总线物理兼容总线时钟频率支持66/100/133MHz 支持DDR和QDR技术,最高传输率533MB/s 多用于服务器和高端PC用户

#### 6. PCI-E (PCI Express) 总线

2004

高速串行总线 可包含多个数据通道x1/x2/x4/x8/x16 数据传输率250MB/s起 软件与传统PCI兼容

变种: NVMe(用于高速SSD,提高传输率)

2011

#### 7\*. USB(Universal Serial Bus)总线

1994

英特尔、康柏、IBM、Microsoft等 多家公司联合提出

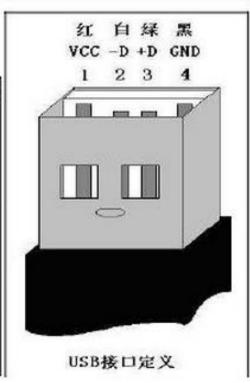
USB版本	理论传输速率	速率称号	最大供电能力	推出时间
USB1.0	1.5Mbps (~192KB/s)	低速 (Low-Speed)	5V/500mA	1996年1月
USB1.1	12Mbps (~1.5MB/s)	全速 (Full-Speed)	5V/500mA	1998年9月
USB2.0	480Mbps (~60MB/s)	高速 (High-Speed)	5V/500mA	2000年4月
USB3.0	5Gbps (~640MB/s)	超高速 (Super-Speed)	5V/500mA	2008年11月
USB 3.1 Gen 2	10Gbps (~1280MB/s)	超高速+ (Super-speed+)	20V/5A	2013年12月
USB 3.2	20Gbps (~2560MB/s)	超高速++ (Super-speed++)	20V/5A	2017年9月

#### 7\*. USB(Universal Serial Bus)总线

英特尔、康柏、IBM、Microsoft等 多家公司联合提出

#### USB2.0接口的定义:

针脚	名称	说明	接线颜色
1	VCC	+5 VDC	紅色
2	D-	Data -	白色
3	D+	Data +	绿色
4	GND	Ground	黑色



7\*. USB(Universal Serial Bus)总线

1994

英特尔、康柏、IBM、Microsoft等 多家公司联合提出

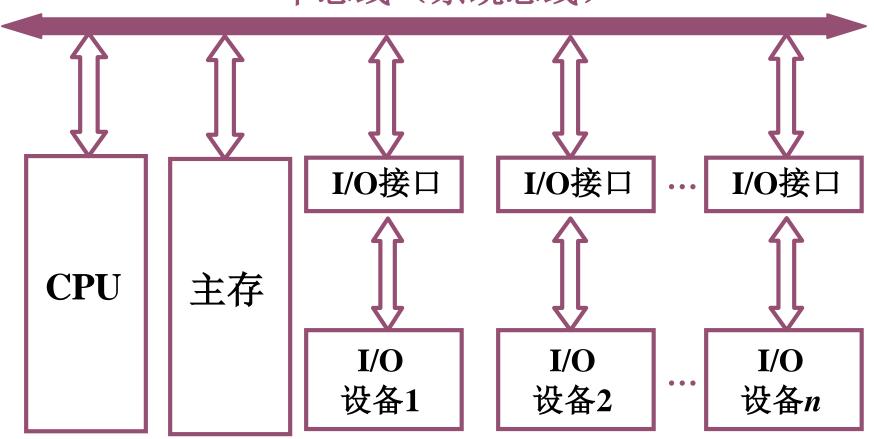
#### USB总线的特点:

- ①完全的"即插即用"(Plug and Play, PnP)
- ②连接灵活,多达127个设备/host,长达30m
- ③数据速率高
- ④标准统一,体积小巧
- ⑤生命力强,无专利、版权问题

#### 3.4 总线结构

### 一、单总线结构

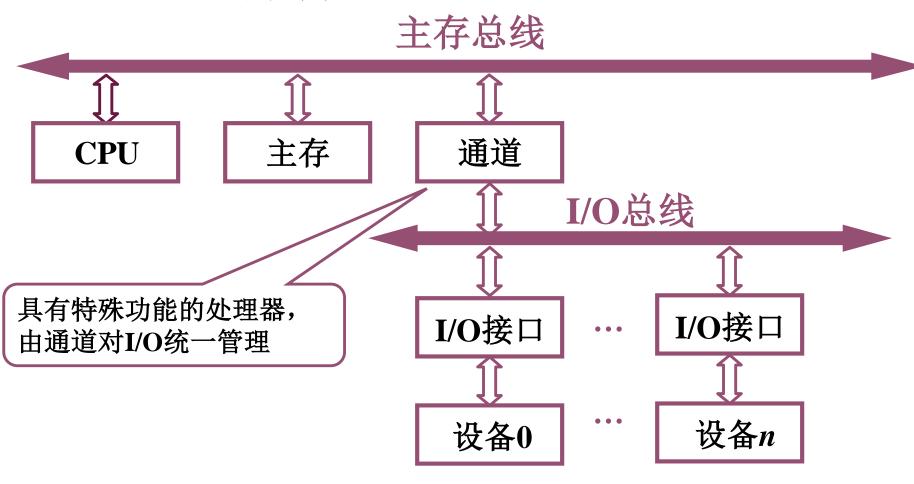
单总线 (系统总线)



#### 二、多总线结构

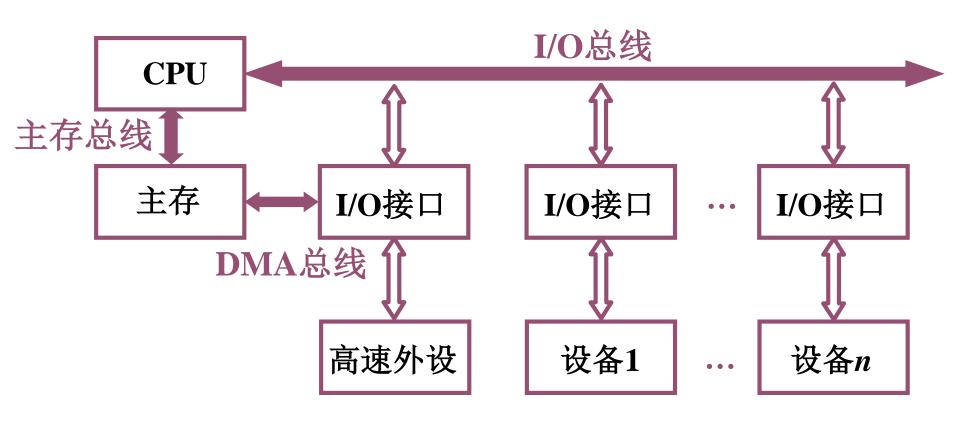
3.4

#### 1. 双总线结构

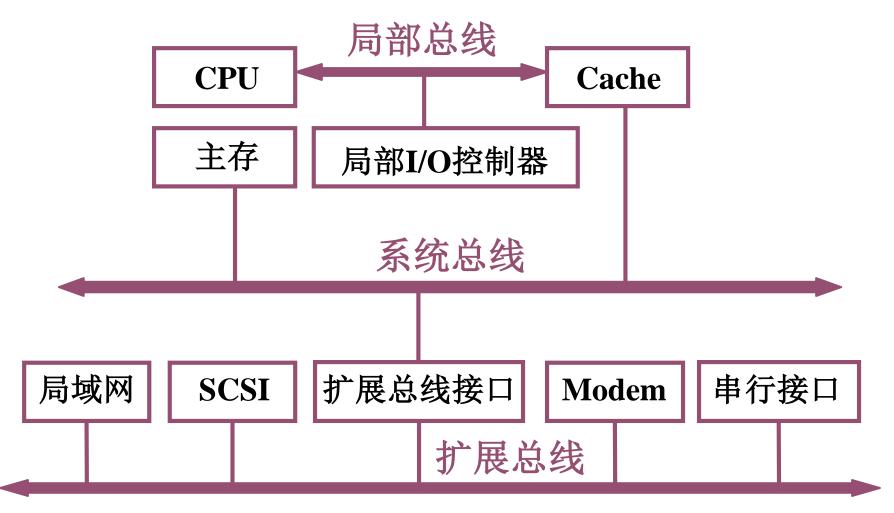


#### 3.4

#### 2. 三总线结构

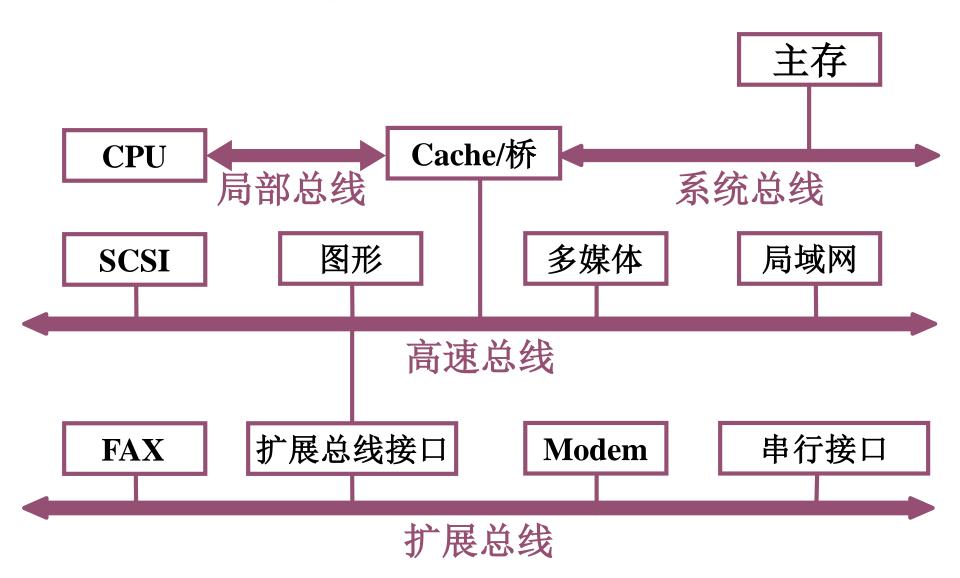


#### 3. 三总线结构的又一形式



#### 4. 四总线结构

3.4

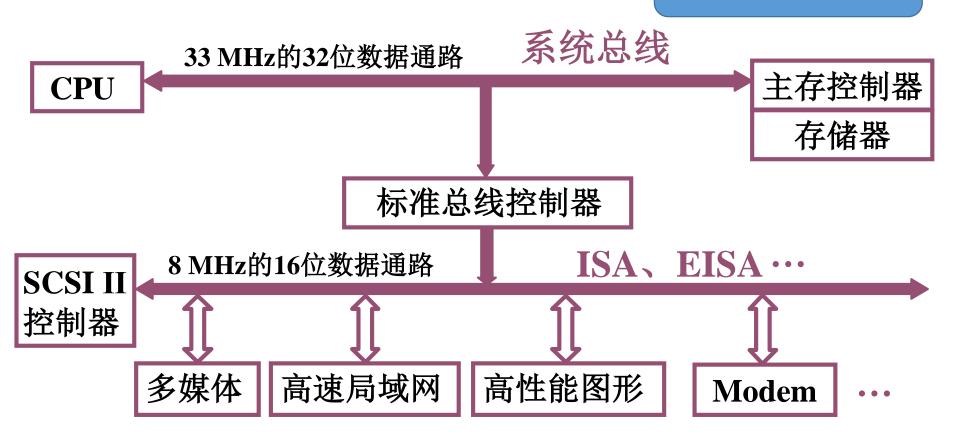


#### 三、总线结构举例

3.4

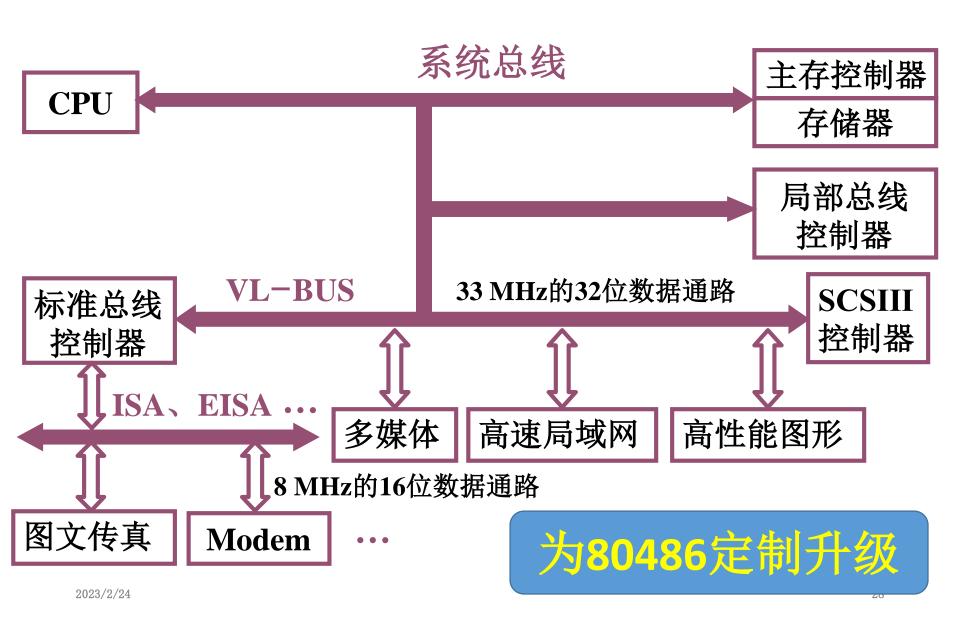
1. 传统微型机总线结构

源于80286



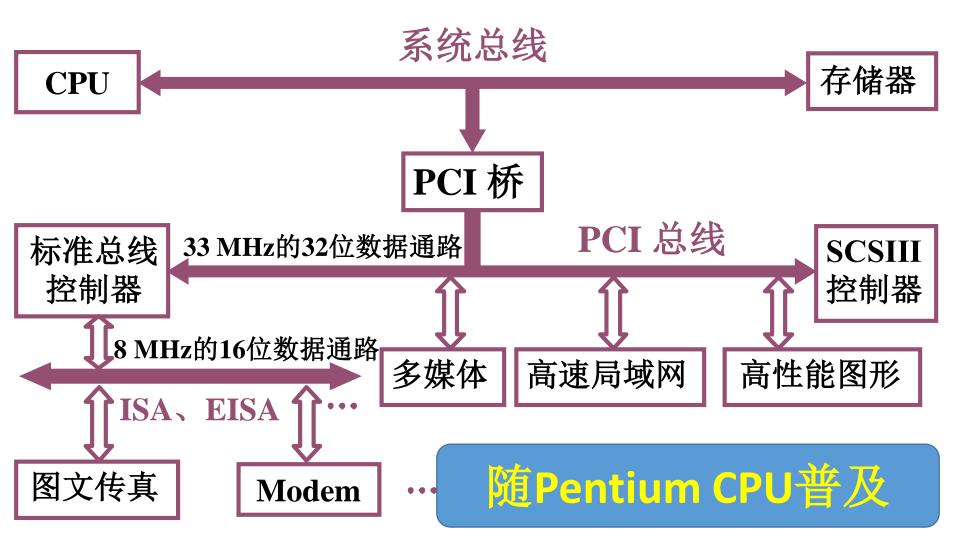
#### 2. VL-BUS局部总线结构

3.4



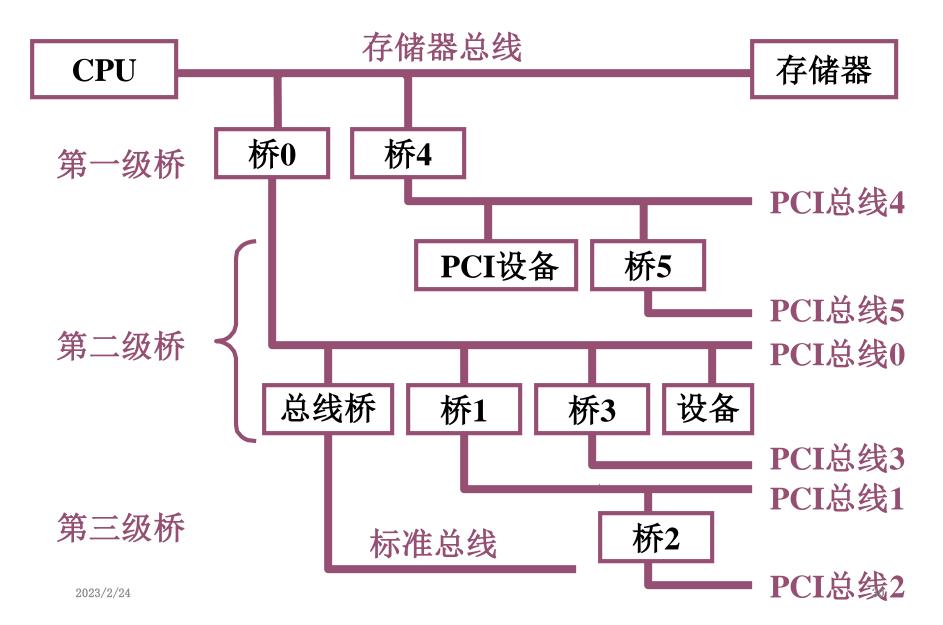
#### 3. PCI 总线结构

3.4



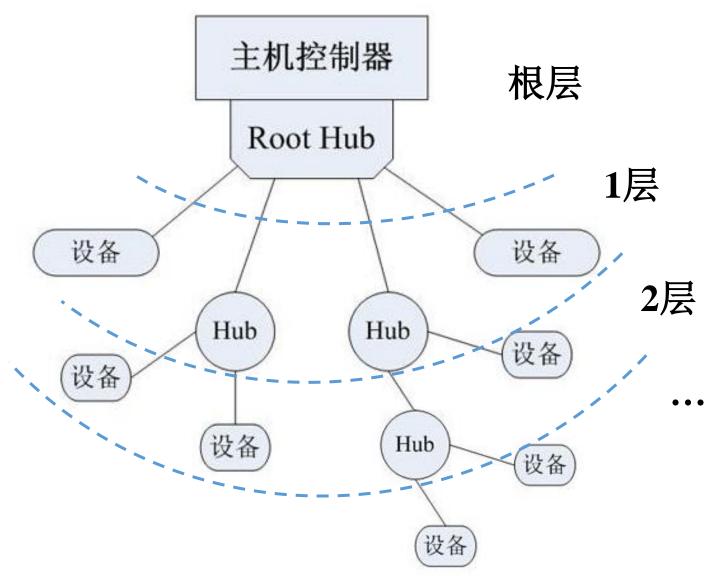
### 4. 多层 PCI 总线结构

3.4



### 5. USB总线结构

3.4



## 6. 系统总线的进化历程

3.4

年份	标准	时钟频率	传输位宽	传输位数/周期	带宽
1981	ISA	8MHz	8	0.5	8MB/s
1988	EISA	8.33MHz	32	1	33.33MB/s
1993	PCI	33MHz	32	1	133MB/s
1996	AGP 1x	66MHz	32	1	266MB/s
	AGP 2x/4x/8x	66MHz	32	2/4/8 (DDR/QDR/ODR)	(533/1,066/2,133)MB/s
1998	PCI-X	133MHz	64	1	1,066MB/s
2004	PCI-E Gen1 x1	2.5GHz	1	1	250MB/s
	PCI-E Gen1 x2/4/8/16	2.5GHz	1	1	(0.5/1/2/4)GB/s
2007	PCI-E Gen2 x1	5GHz	1	1	500MB/s
	PCI-E Gen2 x2/4/8/16	5GHz	1	1	(1/2/4/8)GB/s
2010	PCI-E Gen3 x1	8GHz	1	1	1GB/s
	PCI-E Gen3 x2/4/8/16	8GHz	1	1	(2/4/8/16)GB/s
2017	PCI-E Gen4 x1	16GHz	1	1	2GB/s
	PCI-E Gen4 x2/4/8/16	16GHz	1	1	(4/8/16/32)GB/s
2019	PCI-E Gen5 x1	32GHz	1	1	4GB/s
	PCI-E Gen5 x2/4/8/16	32GHz	1	1	(8/16/32/64)GB/s

- 3.5 总线控制
- 一、总线判优控制
  - 1. 基本概念
  - 主设备(模块) 对总线有 控制权
  - 从设备(模块) 响应 从主设备发来的总线命令

• 总线判优控制

条中式 计数独立 分布式

链式 查询 计数器定时查询 · 独立请求方式