

# 计算机组成原理 实验教程

哈尔滨工业大学硬件实验中心

2023.02

# 目录

<b>第 1 章 运算器</b>	<b>1</b>
1.1 基本运算器实验	1
1.2 阵列乘法器设计实验	8
<b>第 2 章 存储系统</b>	<b>10</b>
2.1 静态随机存储器实验	10
2.2 Cache 映射机制模拟实验	17
<b>第 3 章 系统总线与总线接口</b>	<b>40</b>
3.1 系统总线和具有基本输入输出功能的总线接口实验	40
3.2 具有中断控制功能的总线接口实验	46
<b>第 4 章 控制器</b>	<b>26</b>
4.1 微程序控制器实验	29
4.2 CPU 与简单模型机设计实验	50

## 第 1 章 运算器

计算机的一个最主要的功能就是处理各种算术和逻辑运算，这个功能要由 CPU 中的运算器来完成，运算器也称作算术逻辑部件 ALU。本章首先安排一个基本的运算器实验，了解运算器的基本结构，然后再设计一个加法器和一个乘法器。

### 1.1 基本运算器实验

#### 1.1.1 实验目的

- (1) 了解运算器的组成结构。
- (2) 基于数据通路图，观测并分析运算器的工作原理。
- (3) 基于信号时序图，观测并分析运算器的工作原理。

#### 1.1.2 实验设备

PC 机一台，TDX-CMX 实验系统一套。

#### 1.1.3 实验原理

本实验的原理如图 1-1-1 所示。

运算器内部含有三个独立运算部件，分别为算术、逻辑和移位运算部件，要处理的数据存于暂存器 A 和暂存器 B，三个部件同时接受来自 A 和 B 的数据（有些处理器体系结构把移位运算器放于算术和逻辑运算部件之前，如 ARM），各部件对操作数进行何种运算由控制信号 S3...S0 和 CN 来决定，任何时候，多路选择开关只选择三部件中一个部件的结果作为 ALU 的输出。如果是影响进位的运算，还将置进位标志 FC，在运算结果输出前，置 ALU 零标志。ALU 中所有模块集成在一片 CPLD 中。

逻辑运算部件由逻辑门构成，较为简单，而后面又有专门的算术运算部件设计实验，在此对这两个部件不再赘述。移位运算采用的是桶形移位器，一般采用交叉开关矩阵来实现，交叉开关的原理如图 1-1-2 所示。图中显示的是一个 4X4 的矩阵（系统中是一个 8X8 的矩阵）。每一个输入都通过开关与一个输出相连，把沿对角线的开关导通，就可实现移位功能，即：

- (1) 对于逻辑左移或逻辑右移功能，将一条对角线的开关导通，这将所有的输入位与所使用的输出分别相连，而没有同任何输入相连的则输出连接 0。
- (2) 对于循环右移功能，右移对角线同互补的左移对角线一起激活。例如，在 4 位矩阵中使用‘右 1’和‘左 3’对角线来实现右循环 1 位。
- (3) 对于未连接的输出位，移位时使用符号扩展或是 0 填充，具体由相应的指令控制。使用另外的逻辑进行移位总量译码和符号判别。

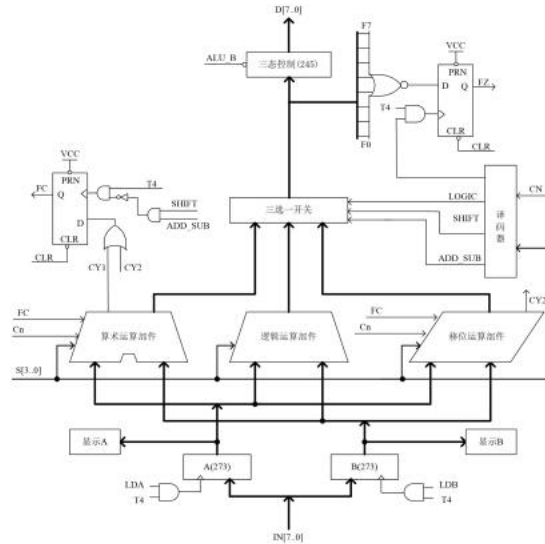


图 1-1-1 运算器原理图

ALU 的输入是通过 IN7~IN0 来引入的，而输出则是通过三态门 74LS245 已经连到 CPU 内总线上了，另外还有指示灯标明进位标志 FC 和零标志 FZ。请注意：实验箱上凡丝印标注有马蹄形标记 ‘ $\sqcup$ ’，表示这两根排针之间是连通的。图中除 T4 和 CLR，其余信号均来自于 ALU 单元的排线座，实验箱中所有单元的 T1、T2、T3、T4 都连接至控制总线单元的 T1、T2、T3、T4，CLR 都连接至 CON 单元的 CLR 按钮。T4 由时序单元的 TS4 提供（时序单元的介绍见附录二），其余控制信号均由 CON 单元的二进制数据开关模拟给出。控制信号中除 T4 为脉冲信号外，其余均为电平信号，其中 ALU\_B 为低有效，其余为高有效。

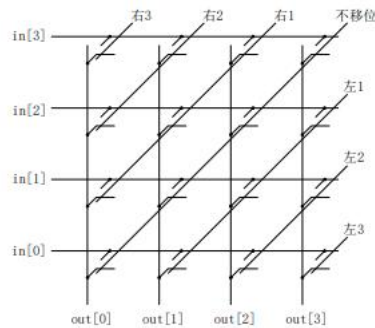


图 1-1-2 交叉开关桶形移位器原理图

暂存器 A 和暂存器 B 的数据能在 LED 灯上实时显示，原理如图 1-1-3 所示（以 A0 为例，其它相同）。进位标志 FC、零标志 FZ 和数据总线 D7...D0 的显示原理也是如此。

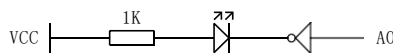


图 1-1-3 A0 显示原理图

ALU 和寄存器堆的连接如图 1-1-4 所示，这里的 OUT[7..0]也连接到了 CPU 内总线上。运算器的逻辑功能表如表 1-1-1 所示，其中 S3 S2 S1 S0 CN 为控制信号，FC 为进位标志，FZ 为运算器零标志，表中功能栏内的 FC、FZ 表示当前运算会影响到该标志。

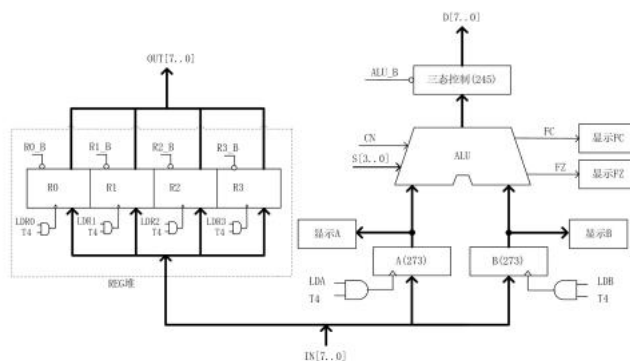


图 1-1-4 ALU 和外围电路连接原理图

表 1-1-1 运算器逻辑功能表

运算类型	S3 S2 S1 S0	CN	功 能
逻辑运算	0000	X	F=A（直通）
	0001	X	F=B（直通）
	0010	X	F=AB (FZ)
	0011	X	F=A+B (FZ)
	0100	X	F=/A (FZ)
移位运算	0101	X	F=A 不带进位循环右移 B（取低 3 位）位 (FZ)
	0110	0	F=A 逻辑右移一位 (FZ)
		1	F=A 带进位循环右移一位 (FC, FZ)
	0111	0	F=A 逻辑左移一位 (FZ)
		1	F=A 带进位循环左移一位 (FC, FZ)
算术运算	1000	X	置 FC=CN (FC)
	1001	X	F=A 加 B (FC, FZ)
	1010	X	F=A 加 B 加 FC (FC, FZ)
	1011	X	F=A 减 B (FC, FZ)
	1100	X	F=A 减 1 (FC, FZ)
	1101	X	F=A 加 1 (FC, FZ)
	1110	X	(保留)
	1111	X	(保留)

\*表中“X”为任意态，下同

### 1.1.4 实验步骤

本实验支持两种方式运行：本机运行（不需电脑）和联机运行（需要电脑）。其中联机运行方式既支持数据通路图的观测，也支持信号时序图的观测。

#### 一. 本机运行

（1）把时序与操作台单元的“MODE”用短路块短接，使系统工作在四节拍模式，JP1 用短路块将 1、2 短接，按图 1-1-5 连接实验电路，并检查无误。图中将用户需要连接的信号用圆圈标明（其它实验相同）。

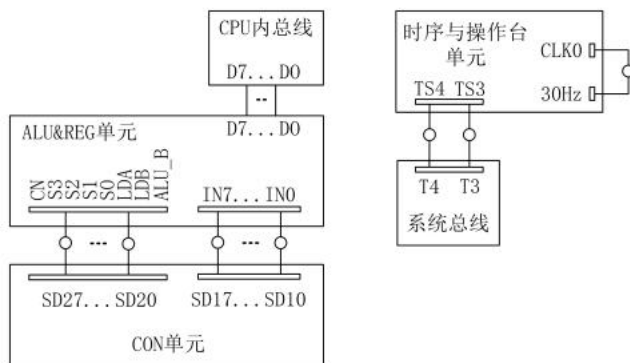


图 1-1-5 实验接线图

（2）将时序与操作台单元的开关 KK2 置为‘单拍’档，开关 KK1、KK3 置为‘运行’档。

（3）打开电源，如果听到有‘嘀’报警声，说明有总线竞争，应立即关闭电源，重新检查接线，直到错误排除。然后按动 CON 单元的 CLR 按钮，将运算器的 A、B 和 FC、FZ 清零。

（4）用输入开关向暂存器 A 置数。

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，拨动 CON 单元的 SD17...SD10 数据开关，形成二进制数 01100101（或其它数值），数据显示亮为‘1’，灭为‘0’。置 LDA=1，LDB=0，按动 2 次 ST 按钮产生 T3、T4 节拍，则将二进制数 01100101 置入暂存器 A 中，暂存器 A 的值通过 ALU 单元的 A7...A0 八位 LED 灯显示。

（5）用输入开关向暂存器 B 置数。

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，拨动 CON 单元的 SD17...SD10 数据开关，形成二进制数 10100111（或其它数值）。置 LDA=0，LDB=1，按动 2 次 ST 按钮产生 T3、T4 节拍，则将二进制数 10100111 置入暂存器 B 中，暂存器 B 的值通过 ALU 单元的 B7...B0 八位 LED 灯显示。

（6）改变运算器的功能设置，观察运算器的输出。

按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，置 ALU\_B=0、LDA=0、LDB=0，然后按表 1-1-1 置 S3、S2、S1、S0 和 Cn 的数值，并观察数据总线 LED 显示灯显示的结果。如置 S3、S2、S1、S0 为 1001，运算器作加法运算，置 S3、S2、S1、S0 为 0010，运算器作逻辑与运算。按动 2 次 ST 按钮产生 T3、T4 节拍，观察 FC、FZ 标志位变化。

## 二. 联机运行

如果实验箱和 PC 联机操作，则可通过软件中的数据通路图来观测实验结果（软件使用说明请看附录 1），也可通过软件中的信号时序图来观测实验结果。

### (1) 观测数据通路图

打开 TDX-CMX 软件，选择联机软件的“【实验】—【运算器实验】”，打开运算器实验的数据通路图，如图 1-1-6 所示。

操作方法同本机运行，每按动一次 ST 按钮，数据通路图会有数据的流动，反映当前运算器所做的操作，或在软件中选择“【调试】—【单节拍】”，其作用相当于将时序单元的状态开关 KK2 置为‘单拍’档后按动了一次 ST 按钮，数据通路图也会反映当前运算器所做的操作。

重复上述操作，并完成表 1-1-2。然后改变 A、B 的值，验证 FC、FZ 的锁存功能。点击联机软件的“【回放】—【保存...】”按钮，可保存数据通路图的实验过程。

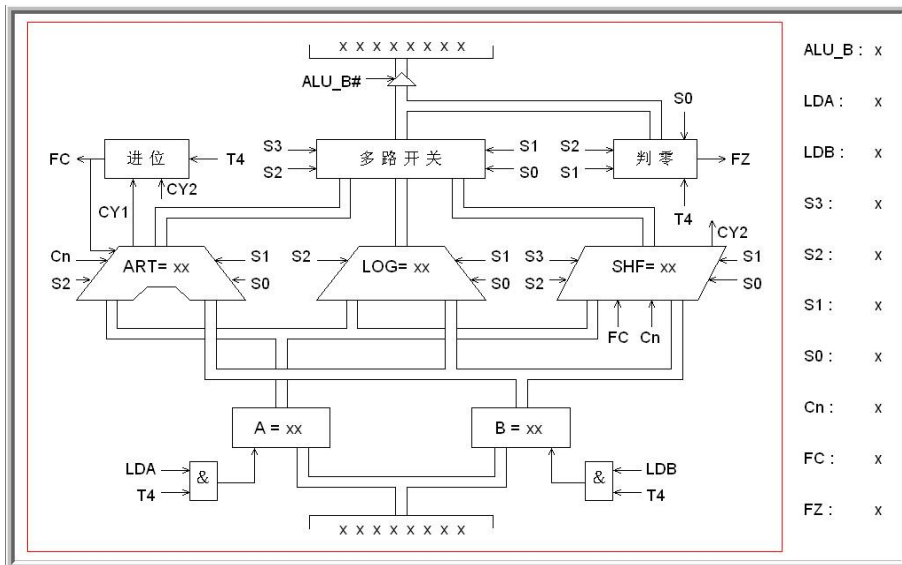


图 1-1-6 数据通路图

表 1-1-2 运算结果表

运算类型	A	B	S3 S2 S1 S0	CN	结果
逻辑运算	65	A7	0 0 0 0	X	F=( 65 ) FC=( ) FZ=( )
	65	A7	0 0 0 1	X	F=( A7 ) FC=( ) FZ=( )
			0 0 1 0	X	F=( ) FC=( ) FZ=( )
			0 0 1 1	X	F=( ) FC=( ) FZ=( )
			0 1 0 0	X	F=( ) FC=( ) FZ=( )
移位运算			0 1 0 1	X	F=( ) FC=( ) FZ=( )
			0 1 1 0	0	F=( ) FC=( ) FZ=( )
				1	F=( ) FC=( ) FZ=( )
			0 1 1 1	0	F=( ) FC=( ) FZ=( )
				1	F=( ) FC=( ) FZ=( )
算术运算			1 0 0 0	X	F=( ) FC=( ) FZ=( )
			1 0 0 1	X	F=( ) FC=( ) FZ=( )
			1 0 1 0 (FC=0)	X	F=( ) FC=( ) FZ=( )
			1 0 1 0 (FC=1)	X	F=( ) FC=( ) FZ=( )
			1 0 1 1	X	F=( ) FC=( ) FZ=( )
			1 1 0 0	X	F=( ) FC=( ) FZ=( )
			1 1 0 1	X	F=( ) FC=( ) FZ=( )

## (2) 观测信号时序图


打开 TDX-CMX 软件，选择联机软件的“【实验】—【运算器实验】”，打开运算器实验的数据通路图。再点击  打开选择观察信号窗口，或者选择联机软件的“【调试】—【时序观测窗】”，选择想要观察的信号，如图 1-1-7，点击确定。



图 1-1-7 选择观察信号



弹出时序观测窗，操作方法同本机运行，可得到如下图 1-1-8 所示的时序图。

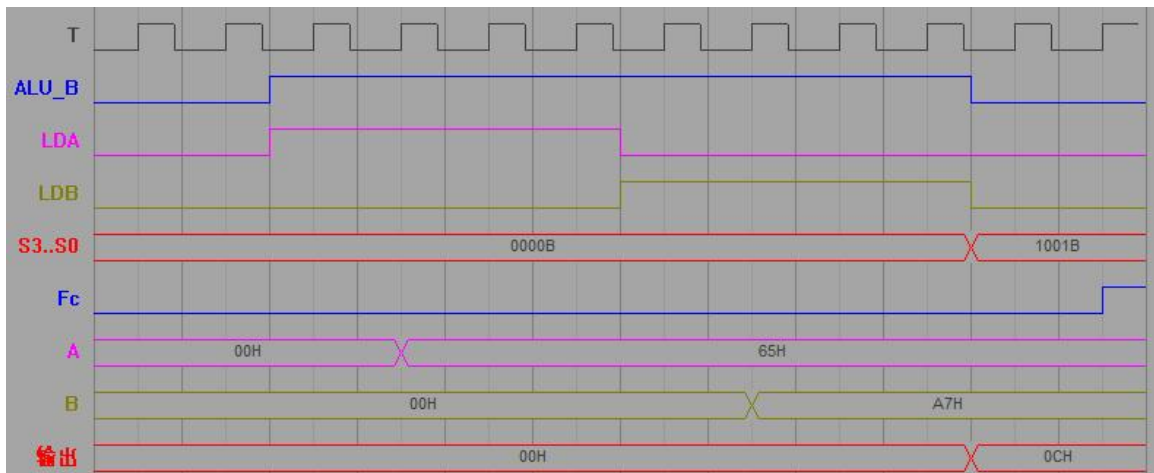


图 1-1-8 观察信号时序

观察上图，可知暂存器 A 的控制信号 LDA 在第一个机器周期的 T2 节拍后已经有效，但是暂存器 A 的数据在 T4 节拍上升沿才改变为 65H，说明暂存器 A 的输入是时序逻辑，受 T4 节拍控制。暂存器 B 同理。运算方式选择 S3..S0 在第三个机器周期 T2 节拍后被设置为算术加法运算，进位标志 FC 在 T4 节拍上升沿才改变，说明进位标志 FC 是时序逻辑，受 T4 节拍影响。运算器的输出在第三个机器周期 T2 节拍结束后 T3 节拍来之前 ALU\_B 变有效后直接输出结果，可知运算器的输出是组合逻辑，只受 ALU\_B 影响。右键点击保存按钮可将时序观测窗结果保存为图片格式。

思考题：将 A=01H 和 B=02H 进行逻辑与运算，观察运算器零标志 FZ 的时序，是否和进位标志 FC 一致？

## 1.2 阵列乘法器设计实验

### 1.2.1 实验目的

- (1) 掌握乘法器的原理及其设计方法。
- (2) 熟悉 FPGA 应用设计及 EDA 软件的使用。

### 1.2.2 实验设备

PC 机一台，TDX-CMX 实验系统一套。

### 1.2.3 实验原理

硬件乘法器常规的设计是采用“串行移位”和“并行加法”相结合的方法，这种方法并不需要很多的器件，然而“加法-移位”的方法毕竟太慢。随着大规模集成电路的发展，采用高速的单元阵列乘法器，无论从计算机的计算速度，还是从提高计算效率，都是十分必要的。阵列乘法器分带符号和不带符号的阵列乘法器，本节只讨论不带符号阵列乘法。高速组合阵列乘法器，采用标准加法单元构成乘法器，即利用多个一位全加器（FA）实现乘法运算。

对于一个 4 位二进制数相乘，有如下算式：

$$\begin{array}{r}
 \times \qquad \qquad \qquad \begin{array}{cccc} A3 & A2 & A1 & A0 \\ B3 & B2 & B1 & B0 \end{array} \\
 \hline
 \qquad \qquad \qquad \begin{array}{cccc} A3B0 & A2B0 & A1B0 & A0B0 \\ A3B1 & A2B1 & A1B1 & A0B1 \\ A3B2 & A2B2 & A1B2 & A0B2 \\ + \quad A3B3 & A2B3 & A1B3 & A0B3 \end{array} \\
 \hline
 \begin{array}{cccccccc} & & & & P7 & P6 & P5 & P4 & P3 & P2 & P1 & P0 \end{array}
 \end{array}$$

这个  $4 \times 4$  阵列乘法器的原理如图 1-3-1 所示。

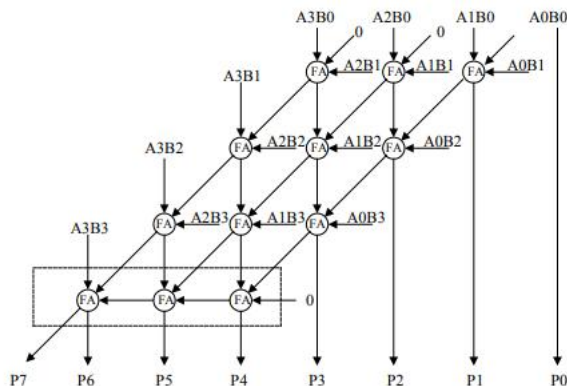


图 1-3-1  $4 \times 4$  阵列乘法器原理图

FA（全加器）的斜线方向为进位输出，竖线方向为和输出。图中阵列的最后一行构成了一个串行进位加法器。由于 FA 一级是无需考虑进位的，它的进位被暂时保留下来不往前传递，因

此同一极中任意一位 FA 加法器的进位输出与和输出几乎是同时形成的，与“串行移位”相比可大大减少同级间的进位传递延迟，所以送往最后一行串行加法器的输入延迟仅与 FA 的级数（行数）有关，即与乘数位数有关。本实验用 FPGA 来设计一个  $4 \times 4$  位加法器，且全部采用原理图方式实现。

### 1.2.4 实验步骤

- （1）根据上述阵列乘法器的原理，使用 Quartus 软件编辑相应的电路原理图并进行编译，其在 FPGA 芯片中对应的引脚如图 1-3-2 所示，框外文字表示连线标号，框内文字表示该引脚的含义（本实验例程见‘安装路径\FPGA\Multiply\Multiply.qpf’工程）。

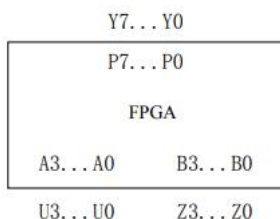


图 1-3-2 引脚分配图

- （2）关闭实验系统电源，按图 1-3-3 连接实验电路，图中将用户需要连接的信号用圆圈标明。
- （3）打开实验系统电源，将下载电缆插入扩展单元的 E\_JTAG 口，把生成的 SOF 文件下载到扩展单元中去，扩展单元介绍见实验 1.2。

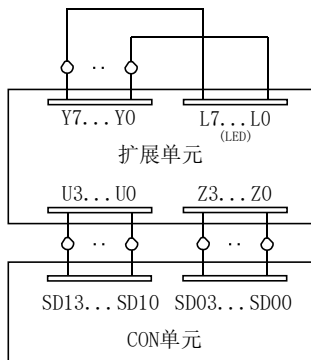


图 1-3-3 阵列乘法器实验接线图

- （4）以 CON 单元中的 SD10...SD13 四个二进制开关为乘数 A，SD03...SD00 四个二进制开关为被乘数 B，而相乘的结果在扩展单元的 L7...L0 八个 LED 灯显示。给 A 和 B 置不同的数，观察相乘的结果。

## 第2章 存储系统

存储器是计算机各种信息存储与交换的中心。在程序执行过程中，所要执行的指令是从存储器中获取，运算器所需要的操作数是通过程序中的访问存储器指令从存储器中得到，运算结果在程序执行完之前又必须全部写到存储器中，各种输入输出设备也直接与存储器交换数据。把程序和数据存储在存储器中，是冯·诺依曼型计算机的基本特征，也是计算机能够自动、连续快速工作的基础。

本章安排了两个实验：静态随机存储器实验及 Cache 映射机制模拟实验。

### 2.1 静态随机存储器实验

#### 2.1.1 实验目的

1. 掌握静态随机存储器 RAM 工作特性及数据的读写方法。
2. 基于信号时序图，了解读写静态随机存储器的原理。

#### 2.1.2 实验设备

PC 机一台，TDX-CMX 实验系统一套。

#### 2.1.3 实验原理

实验所用的静态存储器由一片 6116 (2K×8bit) 构成 (位于 MEM 单元)，如图 2-1-1 所示。6116 有三个控制线：CS 片选线、OE 读线、WE 写线，其功能如表 2-1-1 所示，当片选有效 (CS=0) 时，OE=0 时进行读操作，WE=0 时进行写操作，本实验将 CS 常接地。

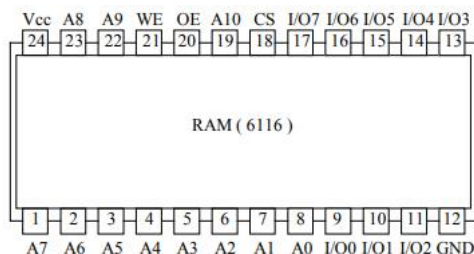


图 2-1-1 SRAM 6116 引脚图

表 2-1-1 SRAM 6116 功能表

$\overline{\text{CS}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	功能
1	×	×	不选择
0	1	0	读
0	0	1	写
0	0	0	写

实验原理图如图 2-1-2 所示，存储器数据线接至 CPU 内总线，内总线上接有 8 个 LED 灯显示 D7...D0 的内容。地址线接至地址总线，地址总线上接有 8 个 LED 灯显示 A7...A0 的内容，地址由地址锁存器（74LS273，内嵌于 ABI 单元）给出。数据开关（位于 CON 单元的 SD17..SD10）经一个三态门（74LS245）连至 CPU 内总线，分时给出地址和数据。地址寄存器为 8 位，接入存储器的地址 A7...A0，高三位地址 A10...A8 接地，所以其实际容量为 256 字节。

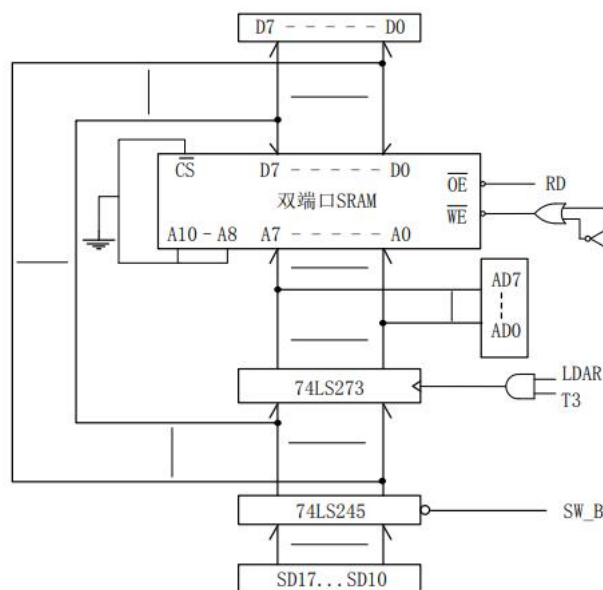


图 2-1-2 存储器实验原理图

实验箱中所有单元的时序都连接至时序与操作台单元，CLR 都连接至 CON 单元的 CLR 按钮。实验时 T3 由时序单元给出，其余信号由 CON 单元的对应二进制开关模拟给出，其中 RD、WR 低有效，SW\_B 低有效，LDAR 高有效。

### 2.1.4 实验步骤

本实验支持两种方式运行：本机运行（不需电脑）和联机运行（需要电脑）。

其中联机运行方式既支持数据通路图的观测，也支持信号时序图的观测。

#### 一. 本机运行

(1) 关闭实验系统电源，把时序与操作台单元的“MODE”用短路块短接，使系统工作在四节拍模式，JP2 用短路块将 1、2 短接，按图 2-1-3 连接实验电路，并检查无误，图中将用户需要连接的信号用圆圈标明。

(2) 将时序与操作台单元的开关 KK1、KK3 置为运行档、开关 KK2 置为‘单拍’档（时序单元的介绍见附录二）

(3) 将 CON 单元的 K7 开关（SW\_B）置为 1（使 SD17..SD10 开关组无输出）打开电源开关，如果听到有‘嘀’报警声，说明有总线竞争现象，应立即关闭电源，重新检查接线，直到

错误排除。

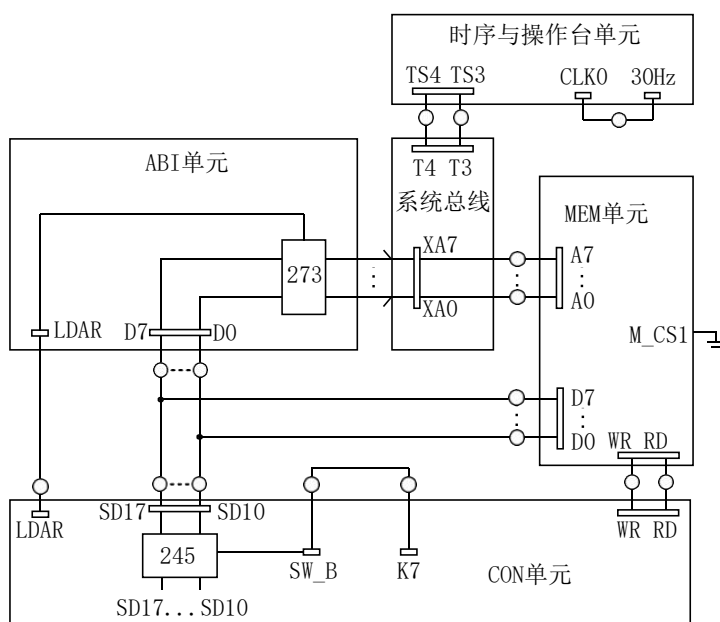


图 2-1-3 实验接线图

④ 给存储器的 00H、01H 地址单元中分别写入数据 11H、12H。由前面的存储器实验原理图（图 2-1-2）可以看出，由于数据和地址由同一个数据开关给出，因此数据和地址要**分时写入**。

**先写地址：**按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，先关掉存储器的读写（WR=1，RD=1），开关 SD17..SD10 输出地址 00H（SD17..SD10=0000 0000B，K7=0），然后打开地址寄存器门控信号（LDAR=1），按动 1 次 ST 产生 T3 脉冲，即将地址 00H 写入到 AR 中，按动 1 次 ST 产生 T4 脉冲，第 1 个机器周期结束。

**再写数据：**按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，先关掉地址寄存器门控信号（LDAR=0），数据开关输出要写入的数据 11H（SD17..SD10 = 0001 0001B），打开三态门（K7=0），然后使存储器处于写状态（WR=0，RD=1），按动 1 次 ST 产生 T3 脉冲，即将数据

11H 写入到存储器 00H 地址中，按动 1 次 ST 产生 T4 脉冲，第 2 个机器周期结束。

重复上述操作，继续向 01H 地址单元中写入数据 12H。

写存储器的流程如图 2-1-4 所示（以向 00 地址单元写入 11H 为例）：

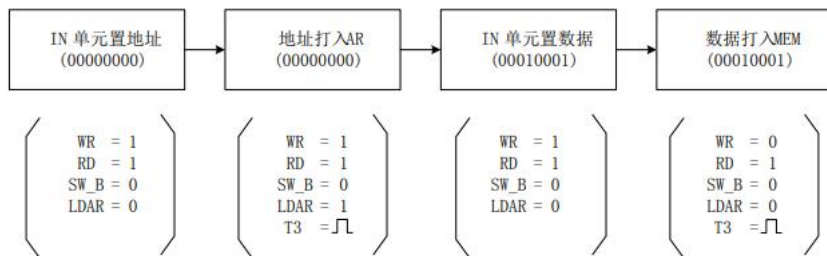


图 2-1-4 写存储器流程图

⑤ 读出 00H 地址单元中的内容，观察单元中的内容是否与前面写入的一致。

**先写地址：**按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，先关掉存储器的读写（WR=1，RD=1），开关 SD17..SD10 输出地址 00H（SD17..SD10 = 0000 0000B，K7=0），然后打开地址寄存器门控信号（LDAR=1），按动 1 次 ST 产生 T3 脉冲，即将地址 00H 写入到 AR 中，按动 1 次 ST 产生 T4 脉冲，一个机器周期结束。

**再读数据：**按动 2 次时序单元的 ST 按钮，产生 T1、T2 节拍后，先关掉地址寄存器门控信号（LDAR=0），关闭 IN 单元的输出（SW\_B=1），然后使存储器处于读状态（WR=1，RD=0），此时数据总线上的数即为从存储器当前地址中读出的数据内容。按动 2 次 ST 产生 T3、T4 脉冲，一个机器周期结束。

读存储器的流程如图 2-1-5 所示（以从 00 地址单元读出 11H 为例）

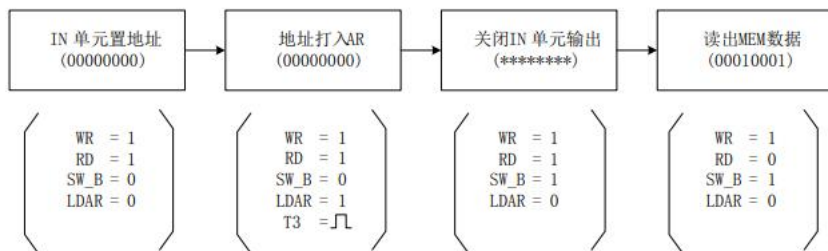


图 2-1-5 读存储器流程图

## 二. 联机运行

如果实验箱和 PC 联机操作，则可通过软件中的数据通路图来观测实验结果（软件使用说明请看附录 1），也可通过软件中的信号时序图来观测实验结果。

### (1) 观测数据通路图

打开 TDX-CMX 软件，选择联机软件的“【实验】—【存储器实验】”，打开存储器实验的数据通路图，如图 2-1-6 所示。

操作方法同本机运行，每按动一次 ST 按钮，数据通路图会有数据的流动，反映当前存储器所做的操作（即使是对存储器进行读，也应按动一次 ST 按钮，数据通路图才会有数据流动），或在软件中选择“【调试】—【单节拍】”，其作用相当于将时序单元的状态开关置为‘单拍’档后按动了一次 ST 按钮，数据通路图也会反映当前存储器所做的操作，借助于数据通路图，仔细分析 SRAM 的读写过程。

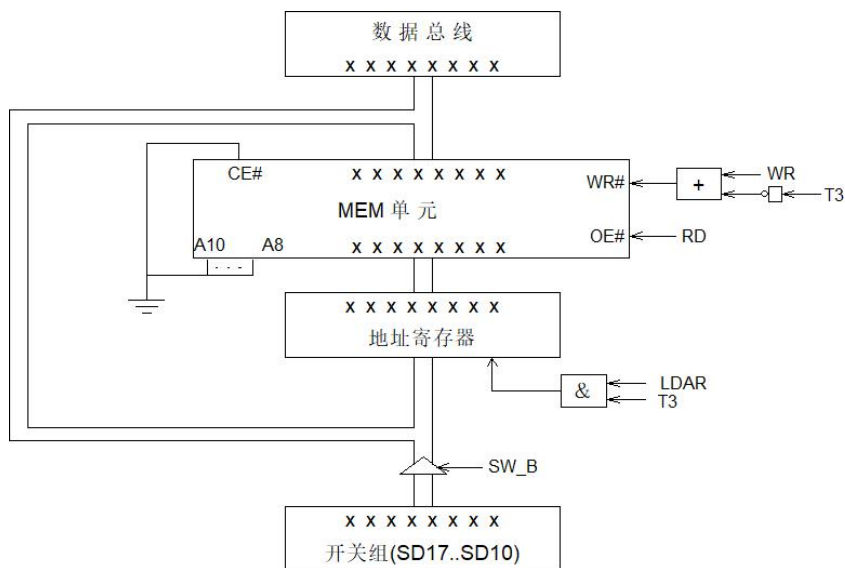


图 2-1-6 数据通路图

## (2) 观测信号时序图


打开存储器实验的数据通路图。再点击  打开选择观察信号窗口，或者选择联机软件的“【调试】—【时序观测窗】”，选择想要观察的信号，如图 2-1-7，点击确定。



图 2-1-7 选择观察信号

弹出时序观测窗，操作方法同本机运行，可得到如下图 2-1-8 所示的时序图。



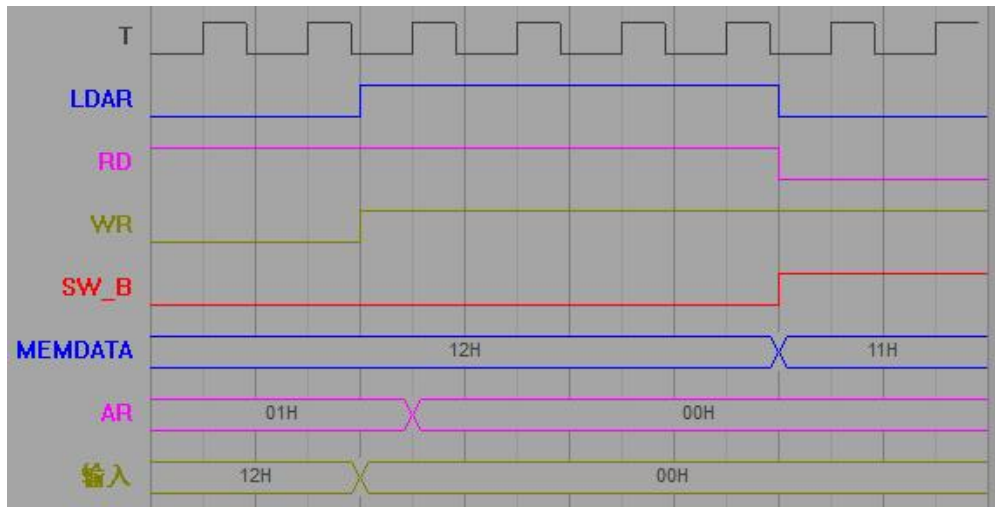


图 2-1-8 观察信号时序

观察上图，可知最后一个机器周期的 T2 节拍后，RD 有效的同时存储器输出 11H，说明读存储器受 RD 信号影响。观察倒数第二个机器周期的 T2 节拍后，地址寄存器门控信号 LDAR 有效，同时开关 SD17..SD10 已经改为 00H 地址，但是地址寄存器 AR 中的地址直到 T3 时刻上升沿才发生改变，说明地址寄存器 AR 的写入受 T3 上升沿影响。

## 2.2 Cache 映射机制模拟实验

### 2.2.1 实验目的

- (1) 掌握 Cache 的原理及其设计方法。
- (2) 熟悉 FPGA 应用设计及 EDA 软件的使用。

### 2.2.2 实验设备

PC 机一台，TDX-CMX 实验系统一套。

### 2.2.3 实验原理

本实验采用的地址变换是直接映象方式，这种变换方式简单而直接，硬件实现很简单，访问速度也比较快，但是块的冲突率比较高。其主要原则是：主存中一块只能映象到 Cache 的一个特定的块中。

假设主存的块号为  $B$ ，Cache 的块号为  $b$ ，则它们之间的映象关系可以表示为：

$$b = B \bmod C_b$$

其中， $C_b$  是 Cache 的块容量。

设主存的块容量为  $M_b$ ，区容量为  $M_c$ ，则直接映象方法的关系如图 2-2-1 所示。把主存按 Cache 的大小分成区，一般主存容量为 Cache 容量的整数倍，主存每一个分区内的块数与 Cache 的总块数相等。直接映象方式只能把主存各个区中相对块号相同的那些块映象到 Cache 中同一块号的那个特定块中。例如，主存的块 0 只能映象到 Cache 的块 0 中，主存的块 1 只能映象到 Cache 的块 1 中，同样主存区 1 中的块  $C_b$ （在区 1 中的相对块号是 0）也只能映象到 Cache 的块 0 中。根据上面给出的地址映象规则，整个 Cache 地址与主存地址的低位部分是完全相同的。

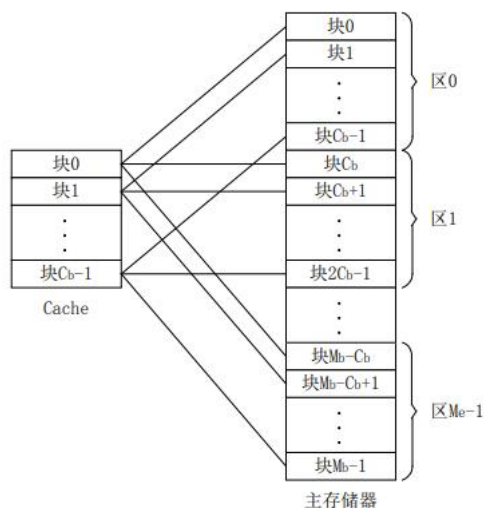


图 2-2-1 直接相联映象方式

直接映象方式的地址变换过程如图 2-2-2 所示，主存地址中的块号 B 与 Cache 地址中的块号 b 是完全相同的。同样，主存地址中的块内地址 W 与 Cache 地址中的块内地址 w 也是完全相同的，主存地址比 Cache 地址长出来的部分称为区号 E。

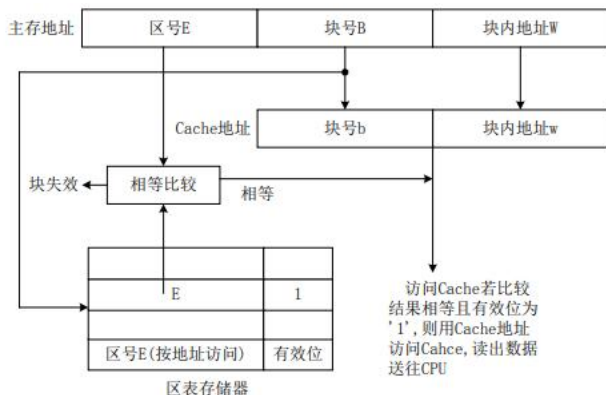


图 2-2-2 直接相联地址变换

在程序执行过程中，当要访问 Cache 时，为了实现主存块号到 Cache 块号的变换，需要有一个存放主存区号的小容量存储器，这个存储器的容量与 Cache 的块数相等，字长为主存地址中区号 E 的长度，另外再加一个有效位。

在主存地址到 Cache 地址的变换过程中，首先用主存地址中的块号去访问区号存储器（按地址访问）。把读出来的区号与主存地址中的区号 E 进行比较，根据比较结果以及与区号在同一存储字中的有效位情况作出处理。如果区号比较结果相等，有效位为‘1’，则 Cache 命中，表示要访问的那一块已经装入到 Cache 中了，这时 Cache 地址（与主存地址的低位部分完全相同）是正确的。用这个 Cache 地址去访问 Cache，把读出来的数据送往 CPU。其他情况均为 Cache 没有命中，或称为 Cache 失效，表示要访问的那个块还没有装入到 Cache 中，这时，要用主存地址去访问主存储器，先把该地址所在的块读到 Cache 中，然后 CPU 从 Cache 中读取该地址中的数据。

本实验要在 FPGA 中实现 Cache 及其地址变换逻辑（也叫 Cache 控制器），采用直接相联地址变换，只考虑 CPU 从 Cache 读数据，不考虑 CPU 从主存中读数据和写回数据的情况，Cache 和 CPU 以及存储器的关系如图 2-2-3 所示。

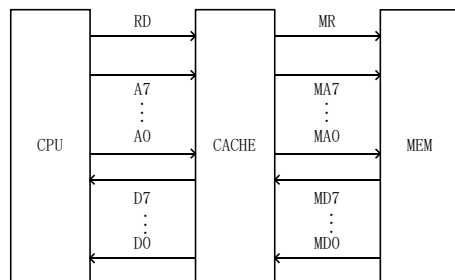


图 2-2-3 Cache 系统图

Cache 控制器顶层模块如图 2-2-4 所示，主存地址为 A7...A0，共 8 位，区号 E 取 3 位，这样 Cache 地址还剩 5 位，所以 Cache 容量为 32 个单元，块号 B 取 3 位，那么 Cache 分为 8 块，块内地址 W 取 2 位，则每块为 4 个单元。图 2-2-4 中，WCT 为写 Cache 块表信号，CLR 为系统总清零信号，A7...A0 为 CPU 访问内存的地址，M 为 Cache 失效信号，CA4...CA0 为 Cache 地址，

MD7...MD0为主存送 Cache的数据, D7...D0为 Cache送 CPU数据, T2为系统时钟, RD为CPU访问内存读信号, LA1和 LA0为块内地址。

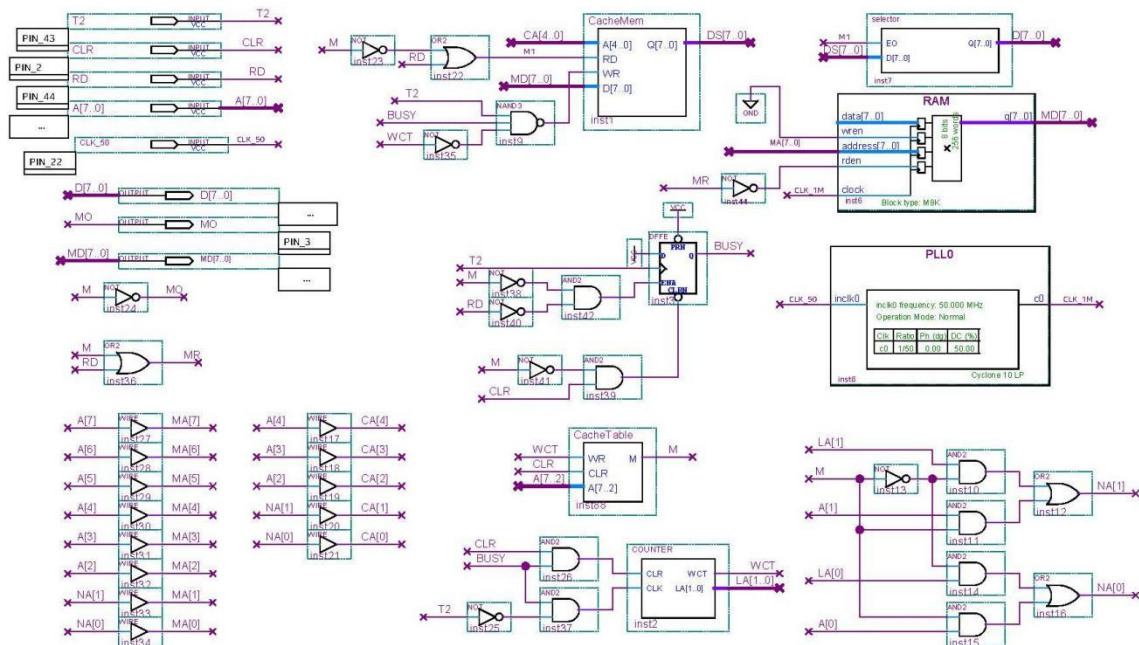


图 2-2-4 Cache 控制器顶层模块图

在 Quartus 软件中先调用一个 8 位的 SRAM 的 IP 核, 编写一个 MIF 文件用来存储数据, 然后实现一个 8 位的存储单元 (见例程中的 MemCell.bdf), 然后用这个 8 位的存储单元来构成一个  $32 \times 8$  位的 Cache (见例程中的 CacheMem.bdf), 这样就实现了 Cache 的存储体。

再实现一个 4 位的存储单元 (见例程中的 TableCell.bdf), 然后用这个 4 位的存储单元来构成一个  $8 \times 4$  位的区表存储器, 用来存放区号和有效位 (见例程中的 CacheTable.bdf), 在这个文件中, 还实现了一个区号比较器, 如果主存地址的区号 E 和区表中相应单元中的区号相等, 且有效位为 1, 则 Cache 命中, 否则 Cache 失效, 标志为 M,  $M=0$  时表示 Cache 失效。

当 Cache 命中时, 就将 Cache 存储体中相应单元的数据送往 CPU, 这个过程比较简单。当 Cache 失效时, 就将主存中相应块中的数据读出写入 Cache 中, 这样 Cache 控制器就要产生访问主存储器的地址和主存储器的读信号, 由于每块占四个单元, 所以需要连续访问四次主存, 这就需要一个低地址发生器, 即一个 2 位计数器 (见例程中的 Counter.vhd), 将低 2 位和 CPU 给出的高 6 位地址组合起来, 形成访问主存储器的地址。M 就可以做为主存的读信号, 这样在时钟的控制下, 就可以将主存中相应的块写入到 Cache 的相应块中, 最后再修改区表 (见例程中的 CacheCtrl.bdf)。

## 2.2.4 实验步骤

(1) 用 Quartus 软件编辑实现相应的逻辑并进行编译，直到编译通过，Cache 控制器在 FPGA 芯片中对应的引脚如图 2-2-5 所示，框外文字表示连接标号，框内文字表示该引脚的含义。

(本实验例程见‘安装路径\FPGA\CacheCtrl\CacheCtrl.qpf’工程)。

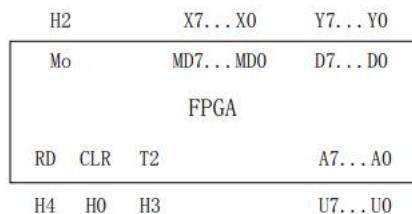


图 2-2-5 引脚分配图

- (2) 关闭实验系统电源，按图 2-2-6 连接实验电路，图中将用户需要连接的信号用圆圈标明。
- (3) 打开实验系统电源，将下载电缆插入扩展单元的 E\_JTAG 口，把生成的 SOF 文件下载到扩展单元中的 FPGA 中，扩展单元介绍见实验 1.2。
- (4) 将时序与操作台单元的开关 KK3 置为‘运行’档，CLR 信号由 CON 单元的 CLR 模拟给出，按动 CON 单元的 CLR 按钮，清空区表。
- (5) 预先往主存写入数据：存储器已经提前装载好了数据文件 (RAM.mif)，用户也可以自己改写内容。

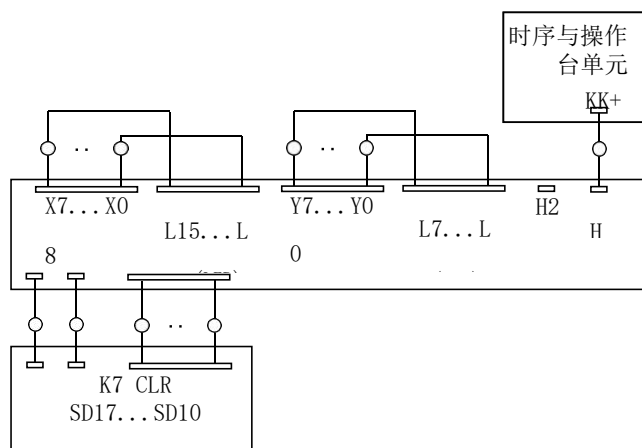


图 2-2-6 实验接线图

(6) CPU 访问主存地址由 CON 单元的 SD17...SD10 模拟给出，如 0000 0001。CPU 访问主存的读信号由 CON 单元的 K7 模拟给出，置 K7 为低，可以观察到扩展单元上的 H2 指示灯亮，L7...L0 指示灯灭，表示 Cache 失效。此时按动 KK 按钮四次，注意 L15...L8 指示灯的变化情况，地址会依次加一，L15...L8 指示灯上显示的是当前主存数据，按动四次 KK 按钮后，H2 指示灯变灭，L7...L0 上显示的值即为 Cache 送往 CPU 的数据。

(7) 重新给出主存访问地址，如 00000011，H2 指示灯变灭，表示 Cache 命中，说明第 0 块数据已写入 Cache。

(8) 重新给出大于 03H 地址，体会 Cache 控制器的工作过程。