

# 電腦組織

1. 定義：電腦組織指的是電腦系統的操作結構和實現，專注於硬件組件如何相互作用以執行指令。
2. 歷史演變：追溯從早期機械電腦到現代多核處理器的發展。
3. 馮·諾依曼架構：一個基礎模型，其中 CPU、記憶體和 I/O 通過總線相互連接。
4. 哈佛架構：分離指令和數據的存儲和信號通道，提高性能。
5. CPU 組件：包括算術邏輯單元 (ALU)、控制單元 (CU) 和寄存器。
6. ALU 功能：執行算術和邏輯操作，如加法、減法、AND、OR。
7. 控制單元角色：通過解碼指令和生成控制信號來指導處理器的操作。
8. 寄存器：CPU 內部的小型、快速存儲位置，用於暫時保存數據和指令。
9. 快取記憶體：靠近 CPU 的高速記憶體，用於減少數據訪問時間。
10. 記憶體層次結構：根據速度和成本將記憶體組織成層次，包括寄存器、快取、RAM 和次要存儲。
11. RAM (隨機存取記憶體)：用於存儲當前正在使用的數據和機器代碼的易失性記憶體。
12. ROM (只讀記憶體)：用於存儲固件和系統啟動指令的非易失性記憶體。
13. 總線結構：一個通信系統，用於在電腦內部或外部的組件之間傳輸數據。
14. 數據總線：搬運正在處理的實際數據。
15. 地址總線：搬運數據應該被發送或檢索的信息。
16. 控制總線：從 CPU 到其他組件搬運控制信號。
17. 指令集架構 (ISA)：定義 CPU 可以執行的指令集。
18. RISC (精簡指令集計算)：一種 ISA 設計哲學，使用一個小的、高度優化的指令集。
19. CISC (複雜指令集計算)：一個具有大量指令的 ISA，其中一些指令可以執行複雜任務。
20. 流水線：一種技術，其中多個指令階段重疊以提高 CPU 吞吐量。
21. 流水線階段：通常包括取指、解碼、執行、存取記憶體和寫回。
22. 流水線中的風險：如數據風險、控制風險和結構風險，這些問題可能會中斷流水線流動。
23. 分支預測：一種方法，用於猜測分支指令的方向以保持流水線充滿。
24. 超標量架構：允許在單個流水線階段同時處理多條指令。
25. 並行處理：利用多個處理器或核心並發執行指令。
26. 多核處理器：將多個處理核心集成到單個芯片中的 CPU。
27. SIMD (單指令、多數據)：一種並行處理架構，其中單條指令同時操作多個數據點。

28. MIMD（多指令、多數據）：一種並行架構，其中多個處理器在不同數據上執行不同指令。
29. 記憶體管理：管理和有效分配記憶體的技術，包括分頁和分段。
30. 虛擬記憶體：將物理記憶體擴展到磁盤存儲，使系統能夠處理更大的工作負載。
31. 分頁：將記憶體分為固定大小的頁，以簡化記憶體管理和減少碎片。
32. 分段：根據邏輯分區（如函數或數據結構）將記憶體分為可變大小的段。
33. 快取映射技術：包括直接映射、全關聯和集合關聯快取。
34. 快取替換策略：確定要替換的快取條目，如最近最少使用（LRU）或先進先出（FIFO）。
35. 快取一致性：確保多處理器系統中多個快取中存儲的數據的一致性。
36. 記憶體一致性模型：定義操作的順序，以保持系統的一致性。
37. 输入/输出系統：管理電腦與外部設備之間的通信。
38. I/O 設備分類：包括輸入設備、輸出設備和存儲設備。
39. I/O 接口：如 USB、SATA 和 PCIe 的標準，定義設備與主板之間的通信方式。
40. 直接存取記憶體（DMA）：允許設備在沒有 CPU 干預的情況下將數據傳輸到/從記憶體。
41. 中斷：通知 CPU 需要立即注意的事件的信號，允許非同步處理。
42. 中斷處理：CPU 韻應中斷的過程，包括保存狀態和執行中斷服務例程。
43. DMA 控制器：管理 DMA 操作的硬件組件，使 CPU 免於數據傳輸任務。
44. 設備驅動程序：使操作系統能夠與硬件設備通信的軟件。
45. 外圍組件互連（PCI）：一種將外圍設備連接到主板的標準。
46. 串行與並行通信：串行一次傳輸一個位元，而並行同時傳輸多個位元。
47. 串行端口：如 RS-232，用於與設備進行串行通信的接口。
48. 並行端口：用於與打印機和其他外圍設備進行並行通信的接口。
49. 總線仲裁：管理多個設備對總線的訪問，以防止衝突。
50. 系統總線與外圍總線：系統總線連接 CPU、記憶體和主要組件，而外圍總線連接外部設備。
51. 中斷向量表：用於存儲中斷服務例程地址的數據結構。
52. 可編程中斷控制器：管理多個中斷請求並對其進行優先處理的硬件。
53. 總線寬度：一次可以通過總線傳輸的位元數。
54. 時鐘速度：CPU 執行指令的速率，以 GHz 為單位。
55. 時鐘週期：CPU 可以執行基本操作的基本時間單位。

56. 時鐘偏差：時鐘信號到達電路不同部分的時間差異。
57. 時鐘分配：將時鐘信號傳輸到 CPU 中的所有組件的方法。
58. 热散發：從 CPU 中移除過多熱量以防止過熱的過程。
59. 冷卻解決方案：包括散熱片、風扇和液體冷卻系統，用於管理 CPU 溫度。
60. 電源供應單元 (PSU)：為所有電腦組件提供必要的電源。
61. 電壓調節器：確保穩定的電壓水平傳輸到 CPU 和其他組件。
62. 主板架構：主電路板，安裝 CPU、記憶體和其他關鍵組件。
63. 片組：管理 CPU、記憶體和外圍設備之間數據流的集成電路組。
64. 固件：編程到只讀記憶體中的永久軟件，控制硬件功能。
65. BIOS/UEFI：初始化硬件的啟動過程中的固件介面，並提供運行時服務。
66. 啟動過程：系統上電時初始化的操作序列。
67. 指令流水線階段：通常包括取指、解碼、執行、存取記憶體和寫回。
68. 流水線深度：流水線中的階段數，影響指令吞吐量和延遲。
69. 流水線平衡：確保每個階段的執行時間大致相等，以最大化效率。
70. 數據風險：指令在流水線中依賴於先前指令結果的情況。
71. 控制風險：由於中斷流水線流動的分支指令引起的風險。
72. 結構風險：當硬件資源不足以同時支持所有可能的指令執行時發生。
73. 轉發（數據繞行）：一種技術，通過在流水線階段之間直接路由數據來減少數據風險。
74. 停滯（流水線氣泡）：插入空閒週期以解決風險。
75. 非順序執行：在資源可用時執行指令，而不是按原始程序順序。
76. 猜測執行：在知道是否需要之前執行指令，以提高性能。
77. 分支預測算法：用於猜測分支方向的技術，如靜態預測、動態預測和雙層自適應預測。
78. 指令級並行 (ILP)：在單個 CPU 週期內同時執行多條指令的能力。
79. 循環展開：一種優化技術，增加循環體以減少循環控制的開銷。
80. 超流水線：增加流水線階段以允許更高的時鐘速度。
81. VLIW（非常長指令字）：一種架構，允許在單個指令字中編碼多個操作。
82. EPIC（顯式並行指令計算）：一種架構，通過編譯器的幫助使並行指令執行成為可能。
83. 寄存器重命名：一種技術，通過動態分配寄存器來消除假數據依賴。

84. 超執行緒：英特爾的技術，允許單個 CPU 核心同時執行多個執行緒。
85. 快取記憶體層次：L1（最接近 CPU，最快）、L2 和 L3 快取，隨著大小和延遲的增加。
86. 寫通快取與寫回快取：寫通快取同時更新快取和記憶體，而寫回快取僅更新快取並延遲記憶體更新。
87. 快取中的關聯性：確定快取行如何映射到快取集，影響命中率和訪問時間。
88. 預取：在實際請求之前將數據加載到快取中，以減少訪問延遲。
89. 記憶體訪問模式：順序與隨機訪問及其對快取性能的影響。
90. NUMA（非均勻記憶體訪問）：一種記憶體設計，記憶體訪問時間根據記憶體位置相對於處理器的位置而異。
91. SMP（對稱多處理）：一種系統，其中多個處理器共享單個、集中化的記憶體。
92. 分佈記憶體系統：每個處理器都有自己的私有記憶體，通過網絡進行通信。
93. 互連網絡：連接多個處理器和記憶體單元的拓撲和協議。
94. 可擴展性：電腦系統通過添加更多資源來增加性能的能力。
95. 故障容忍：系統在某些組件故障的情況下繼續正常運行的能力。
96. 冗餘：增加可靠性和可用性的額外組件。
97. 錯誤檢測和校正：如奇偶校驗位、校驗和和 ECC（錯誤校正碼）的技術，用於識別和校正數據錯誤。
98. 節能：設計系統以在保持性能的同時最小化功耗。
99. 熱設計功率（TDP）：CPU 或 GPU 在典型工作負載下預期產生的最大熱量。
100. 未來趨勢：探索量子計算、神經形態架構和光子處理器等進步，塑造電腦組織的未來。