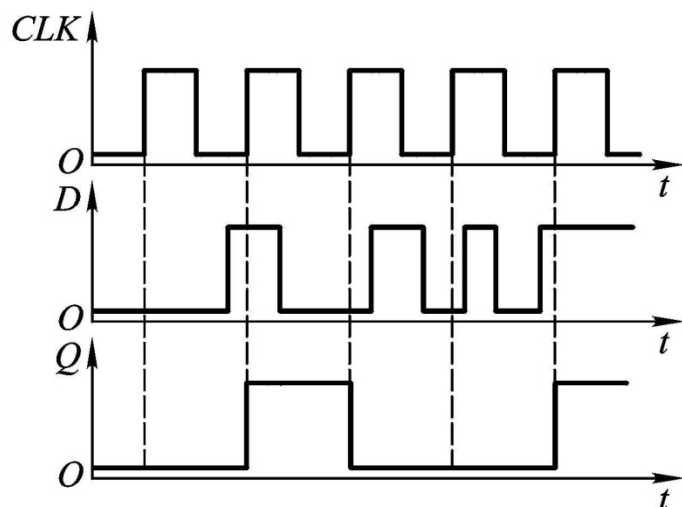


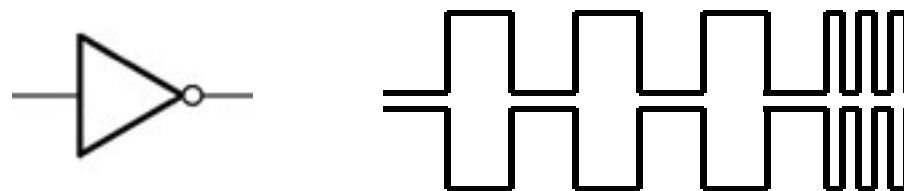
课程内容

- 数制与码制(第一章)
- 逻辑代数(第二章)
- 组合逻辑电路(第四章)
- 触发器 (第五章)
- 时序逻辑电路(第六章)
- 集成门电路(第三章)

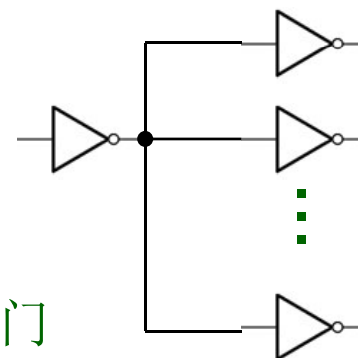


问题1: 低电平---0; 高电平---1
几伏为高电平? 几伏为低电平?

问题2: 输出跟着输入变化, 能变多快?
1MHz? 500MHz? 1GHz?



问题3: 理想情况, 一个门能驱动无数个负载, 实际上不能, 为什么?



TTL门, CMOS门

第三章 门电路

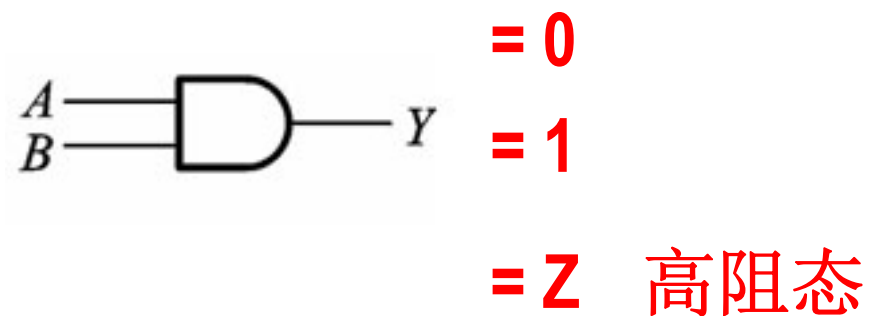
概述

半导体二极管门电路

TTL门电路

CMOS门电路

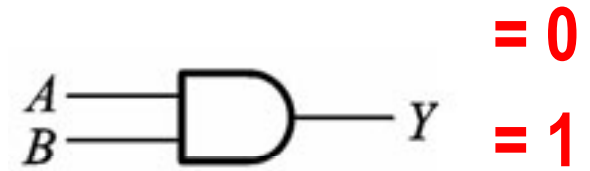
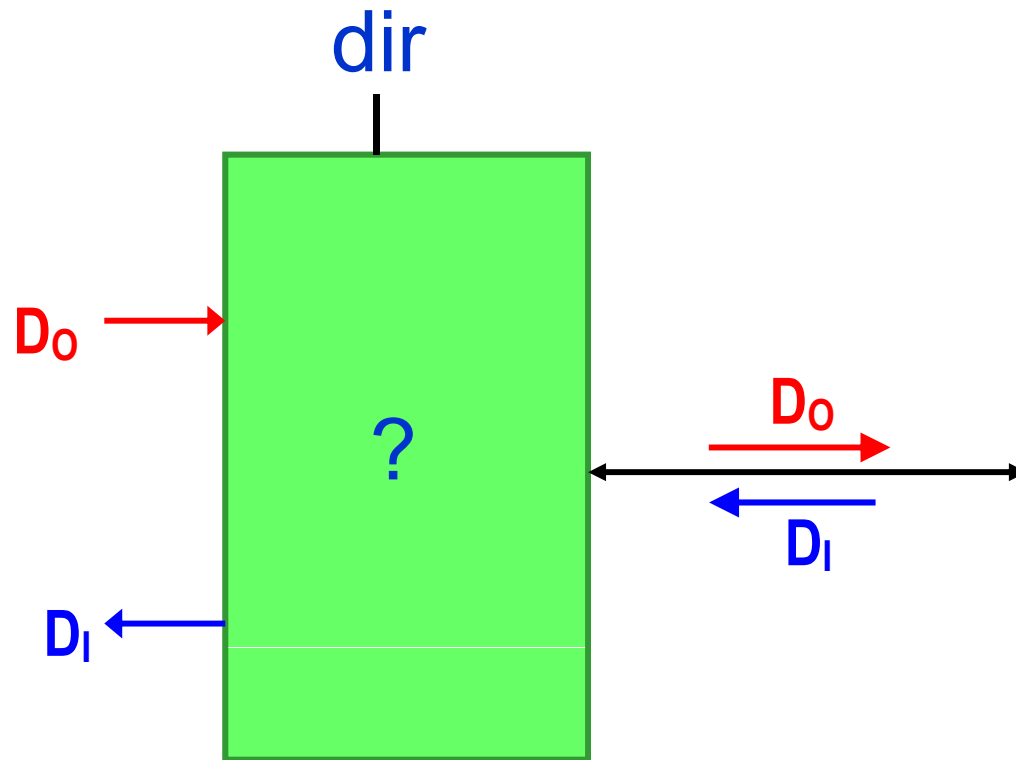
3.1.5 TTL门电路 三态门(Tri-State)



双向传输应用需求

3.1.5 TTL门电路 三态门(Tri-State)

双向传输应用需求



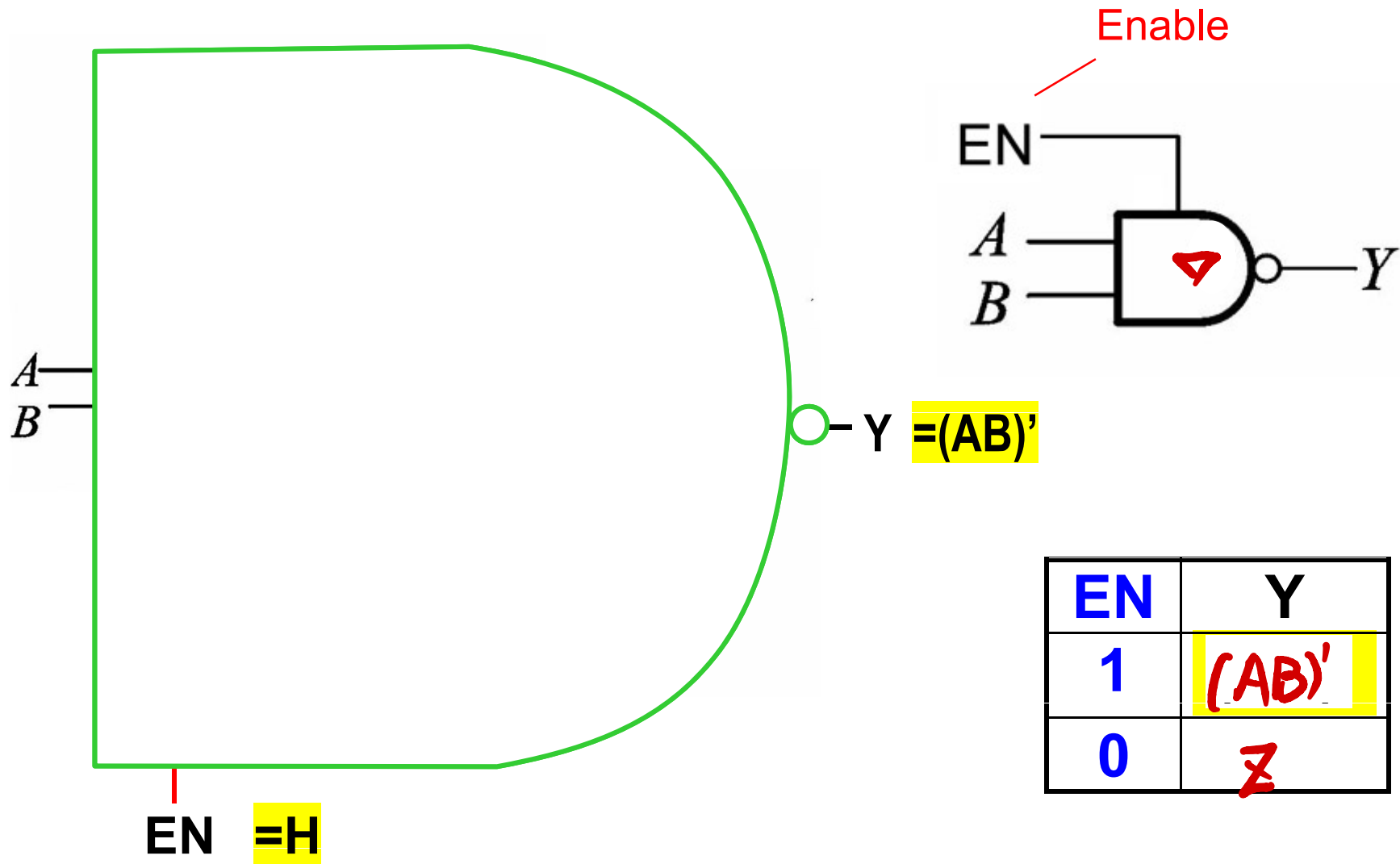
= 0

= 1

= Z

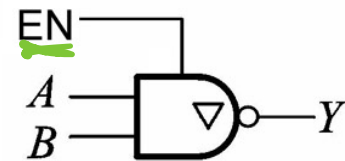
高阻态

3.1.5 TTL门电路 三态门(Tri-State)

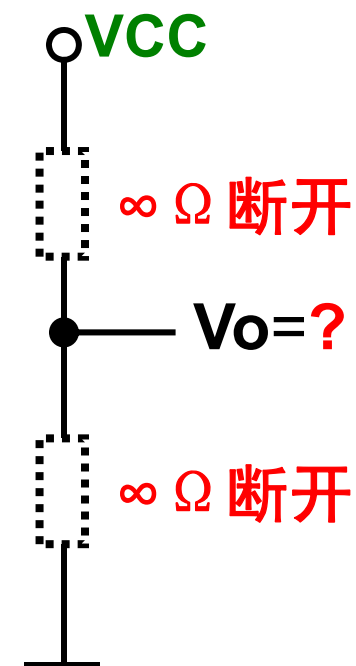
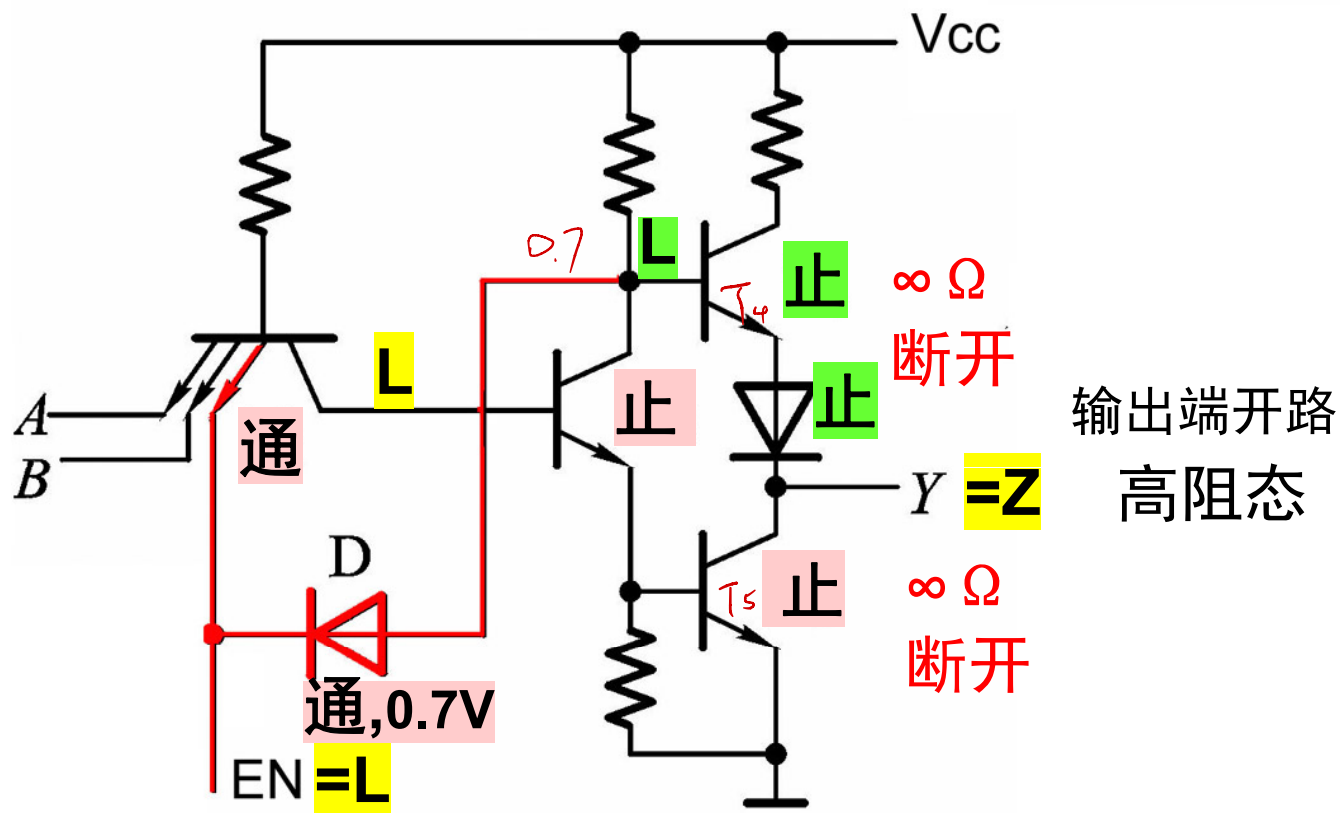


例2 分析上面逻辑门功能，当 $EN=H$ 时， $Y=?$

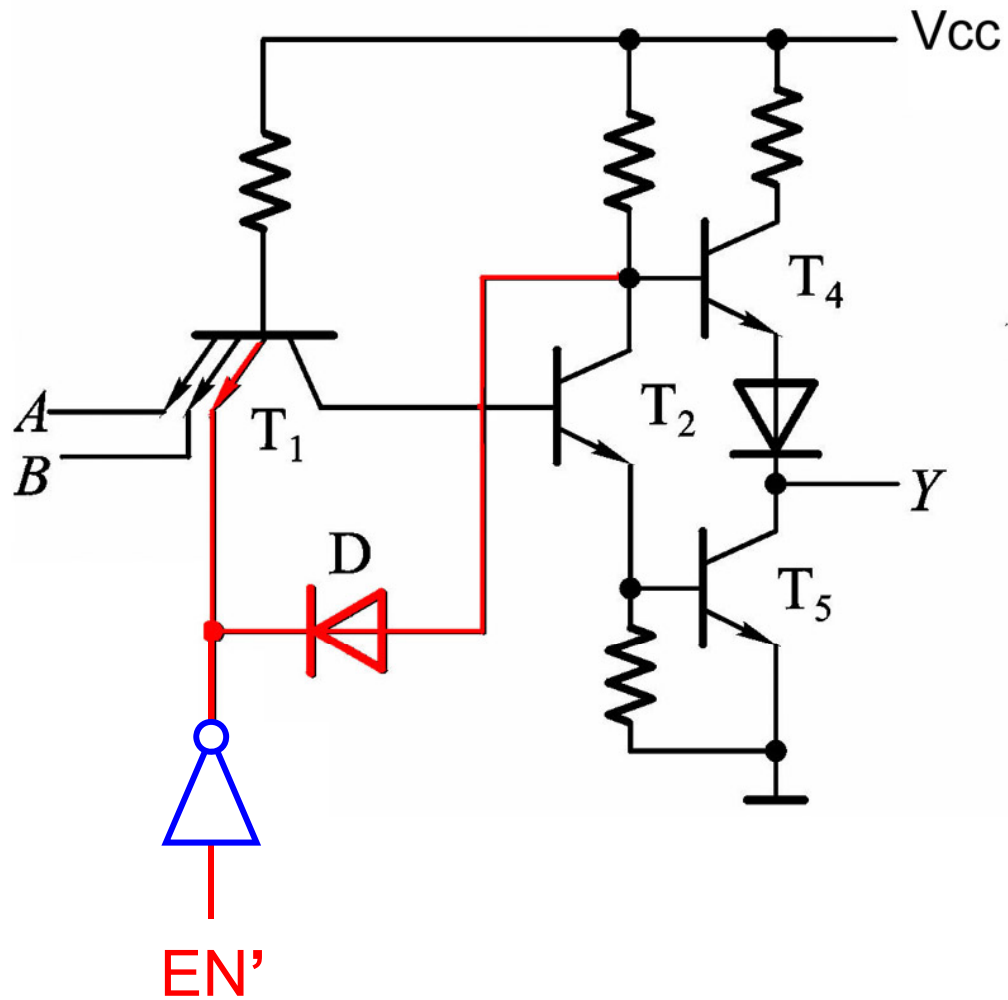
3.1.5 TTL 三态门



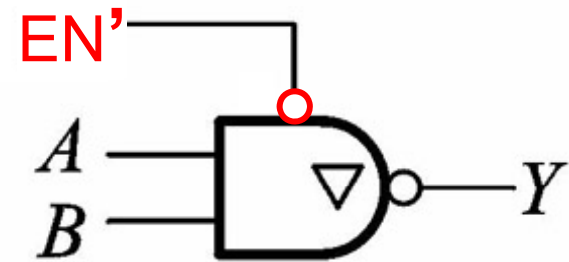
EN	Y
1	$(AB)'$
0	Z



3.1.5 TTL门电路 三态门(Tri-State)



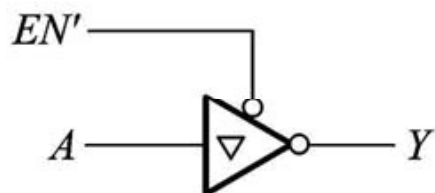
撤



EN'	Y
1	Z
0	$(AB)'$

练习1 填写下面不同三态门的特性

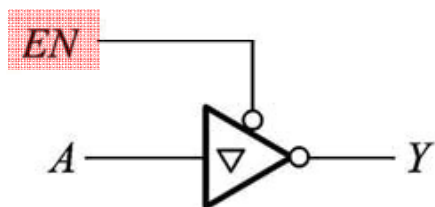
0 A'
1 Z



功能表

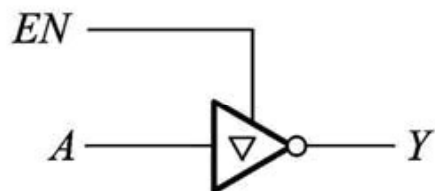
EN'	Y
0	A'
1	Z

0 Z
1 A'



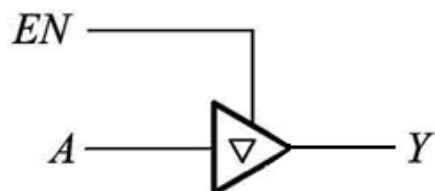
EN	Y
0	A'
1	Z

0 Z
1 A'



EN	Y
1	A'
0	Z

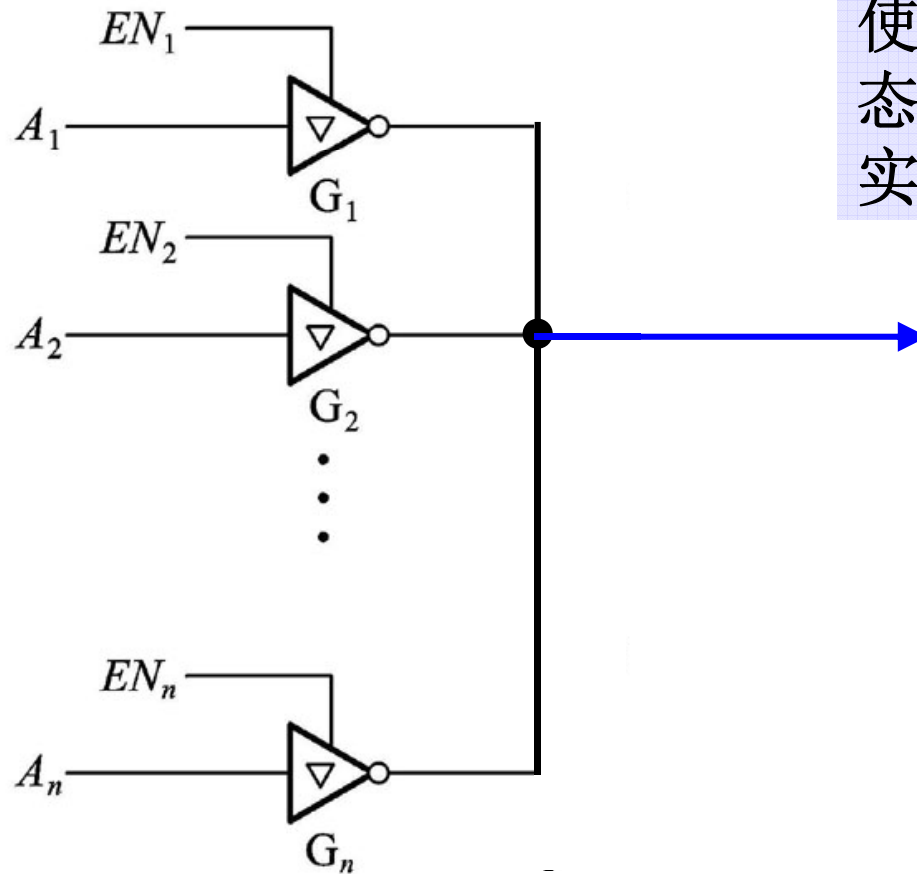
0 Z
1 A



EN	Y
1	A
0	Z

3.1.6 三态门应用

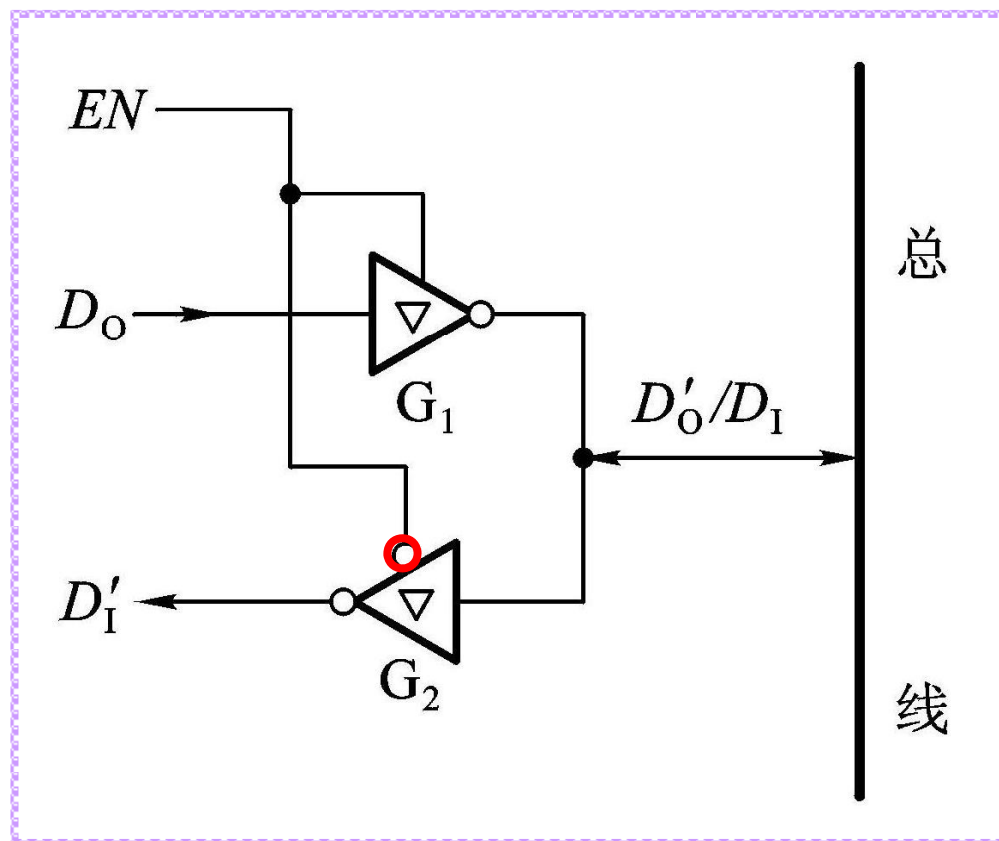
(1) 构成单向总线



任何时刻 EN_1 、 EN_2 、 EN_3 中只能有一个为有效电平，使相应三态门工作，而其他三态输出处于高阻状态，从而实现了总线的复用。

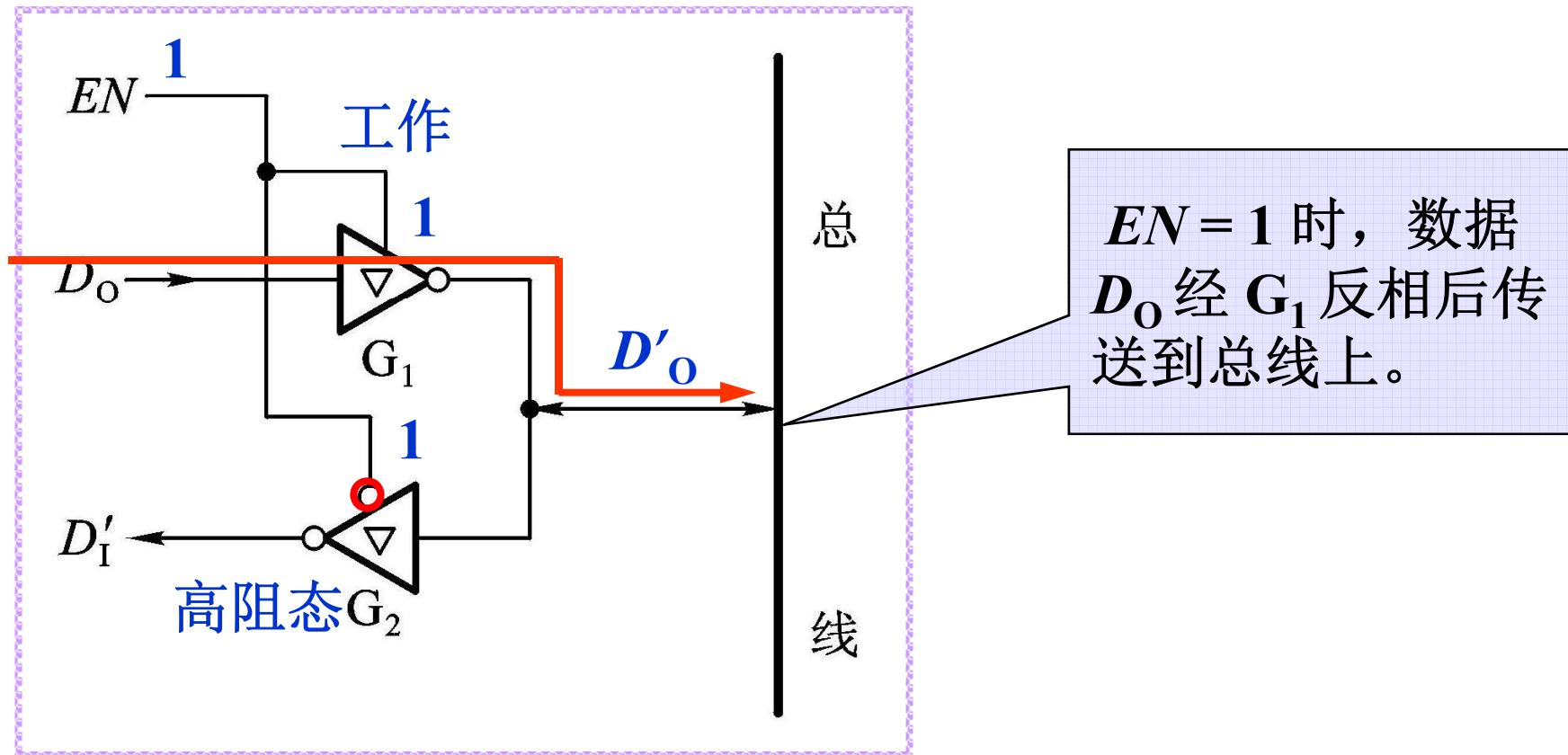
3.1.6 三态门应用

(2) 构成双向总线



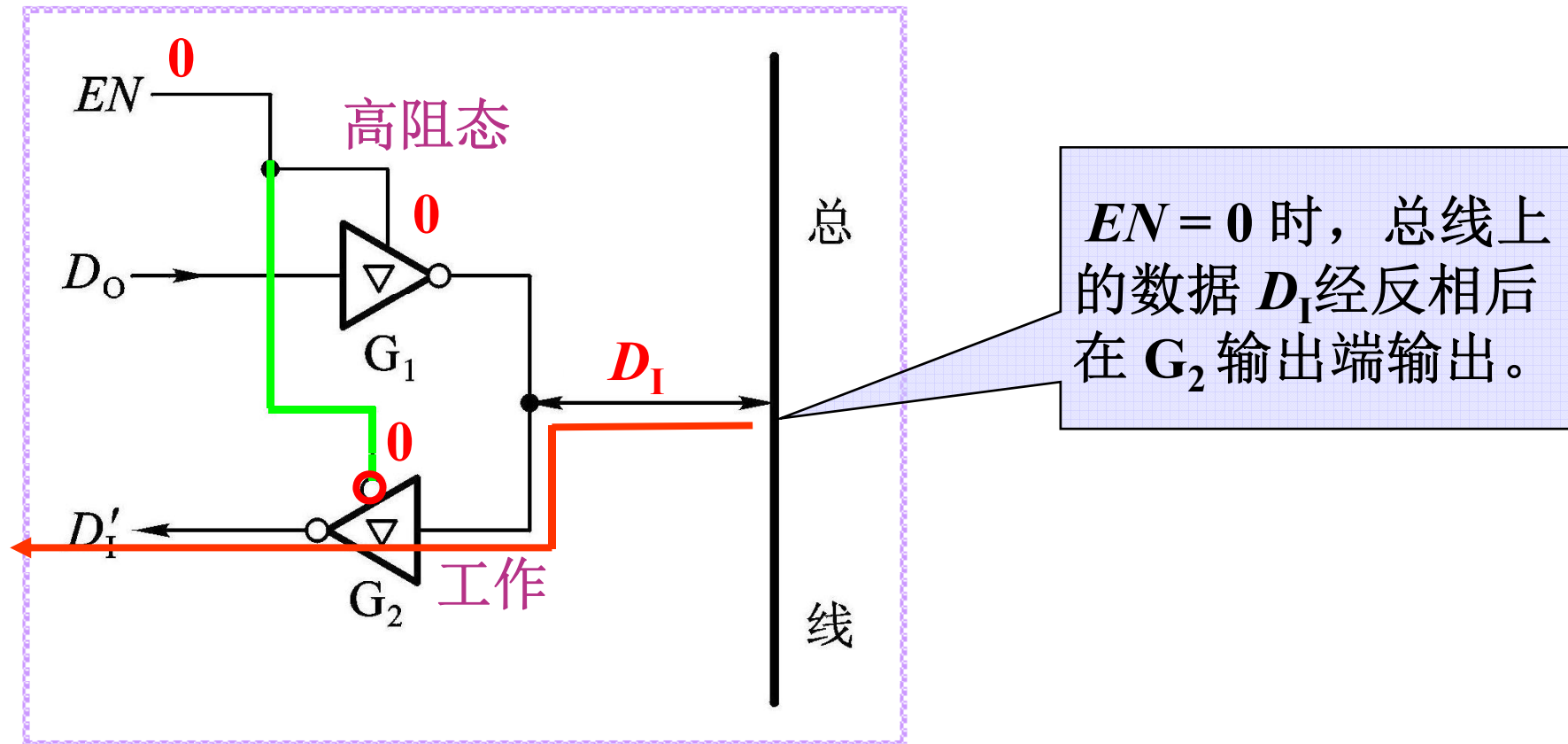
3.1.6 三态门应用

例2 分析下面双向总线，EN=1时，EN=0时的信号方向

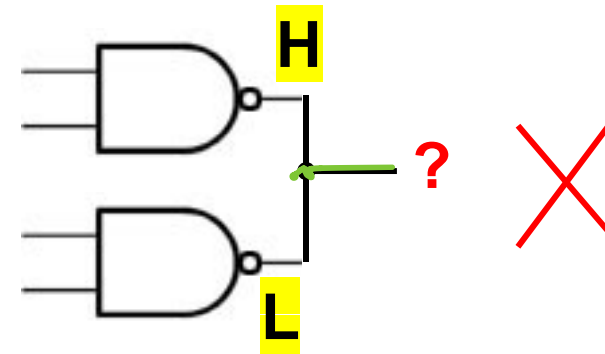
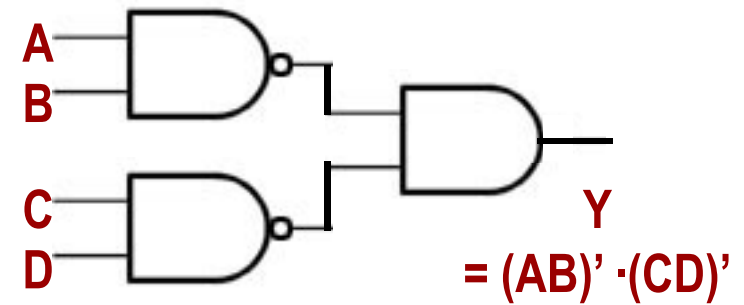
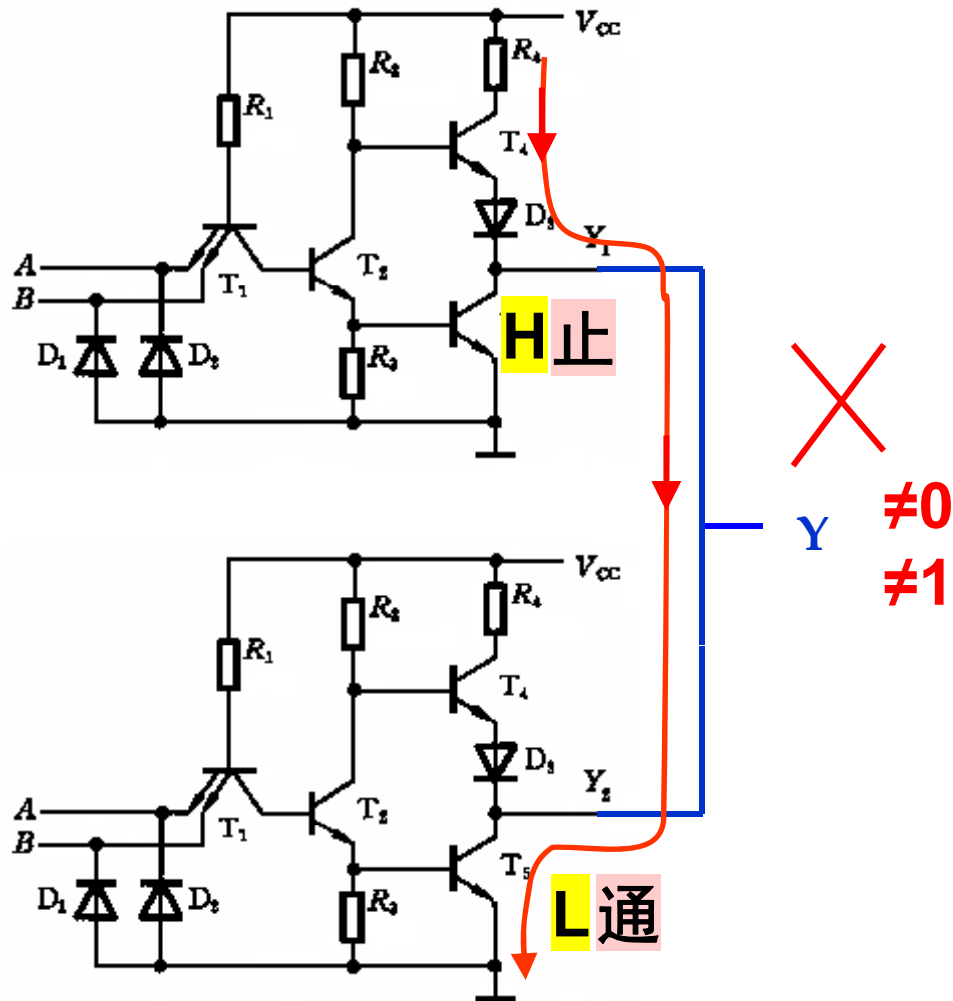


3.1.6 三态门应用

例2 分析下面双向总线，EN=1时，EN=0时的信号方向



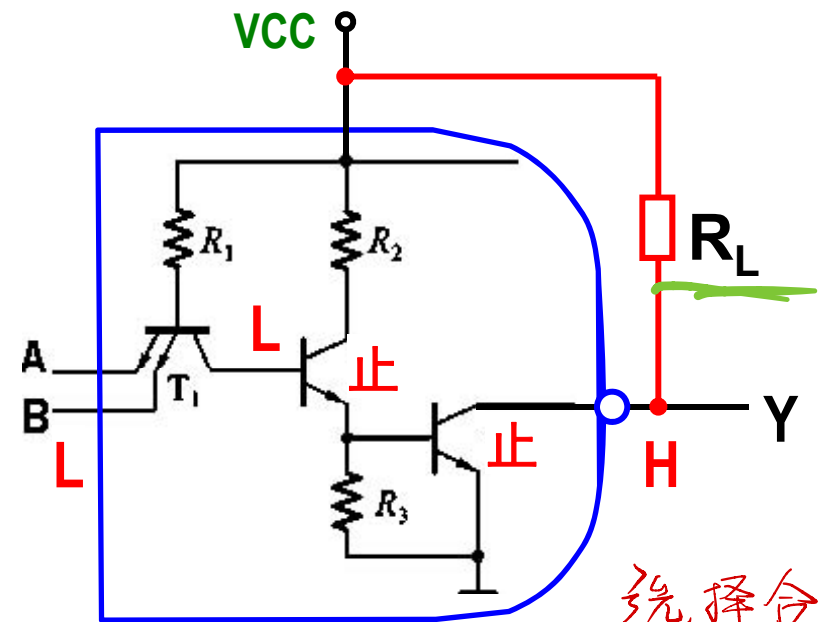
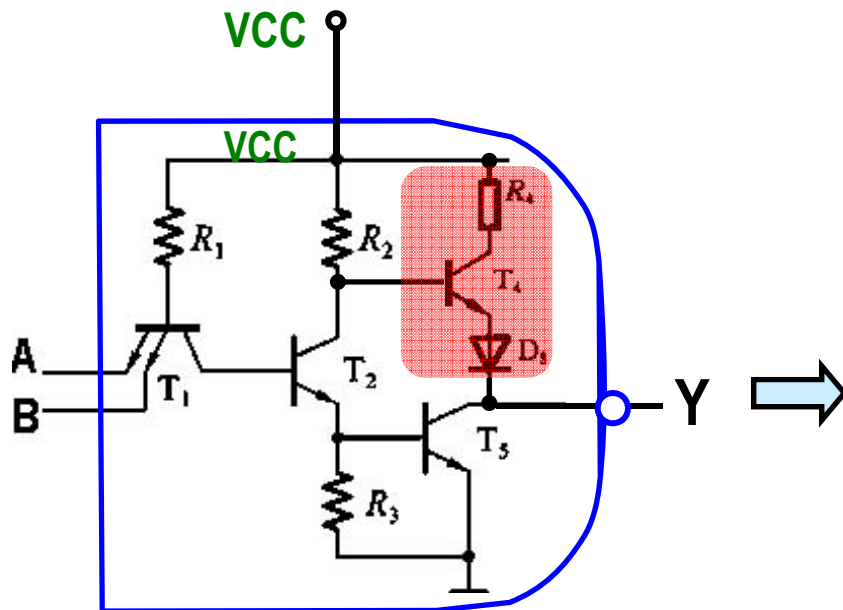
3.1.7 集电极开路TTL门--OC门 (Open collector gate)



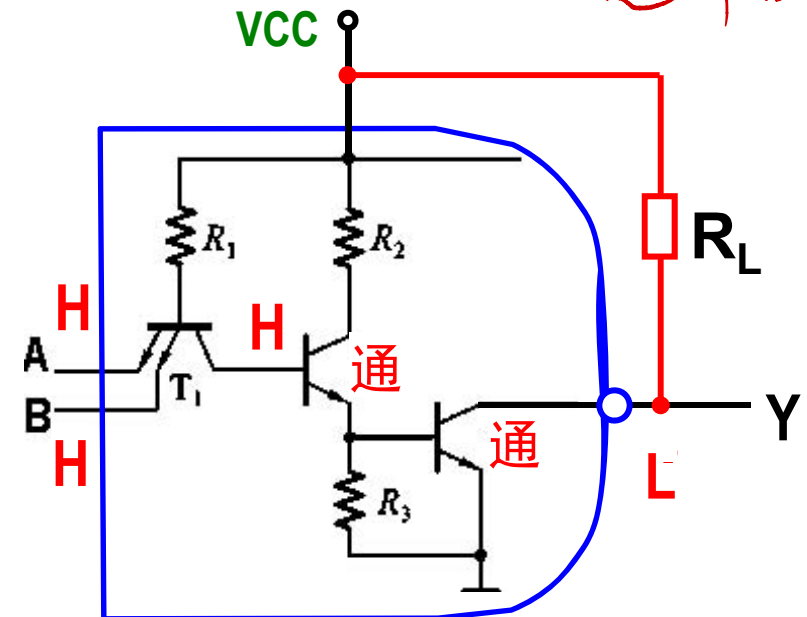
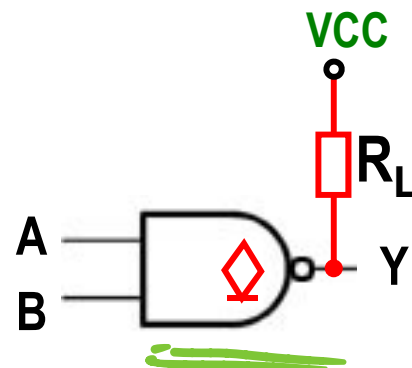
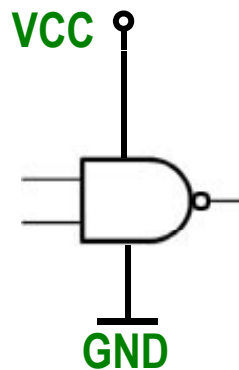
TTL门电路的缺陷：
输出端不能并联使用

3.1.7 集电极开路TTL门--OC门

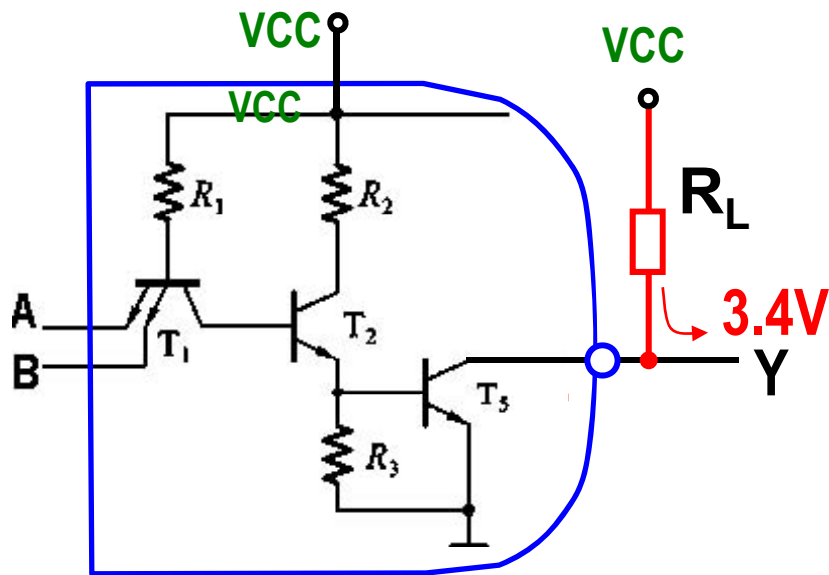
- 输入都为高电平时, T_2 和 T_5 饱和导通, 输出为低电平 $V_{OL} \approx 0.3\text{V}$ 。
- 输入有低电平时, T_2 和 T_5 截止, 输出为高电平 $V_{OH} \approx V'_{CC}$; 因此具有与非功能。



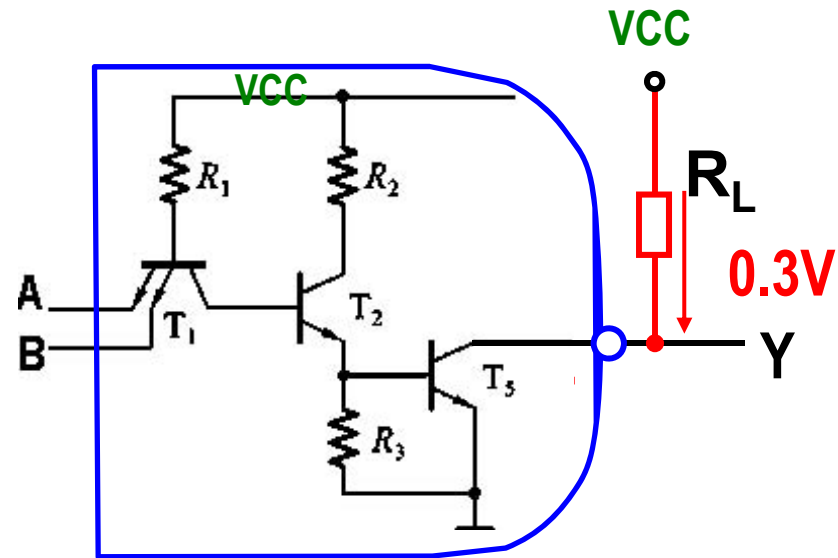
选择合理 R_L



3.1.7 集电极开路TTL门--OC门 (Open collector gate)



输出为高时,
 R_L 不能太大,
否则使 $V_O < 3.4V$
破坏高逻辑
理想: $R_L = 0$, $V_O = 5V$



输出为低时,
 R_L 不能太小,
否则使 $V_O > 0.3V$
破坏低逻辑

要保证 V_O , 高 $\geq 3.4V$, 低 $\leq 0.3V$

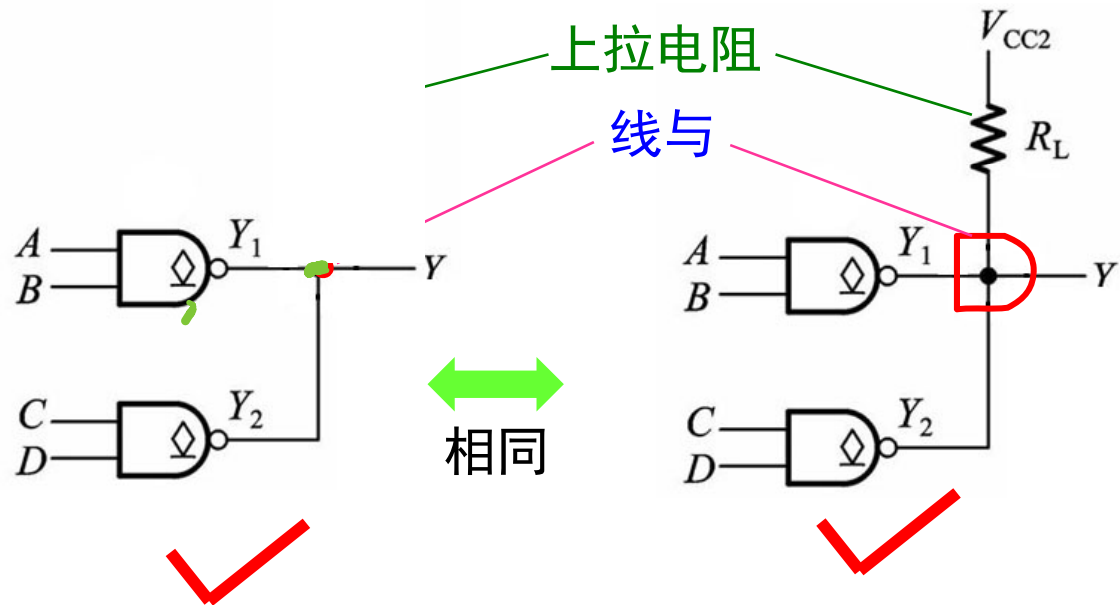
R_L 的值不能太大也不能太小, page134计算RL

3.1.8 OC门应用

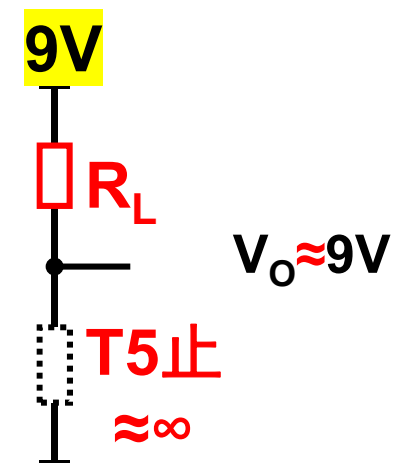
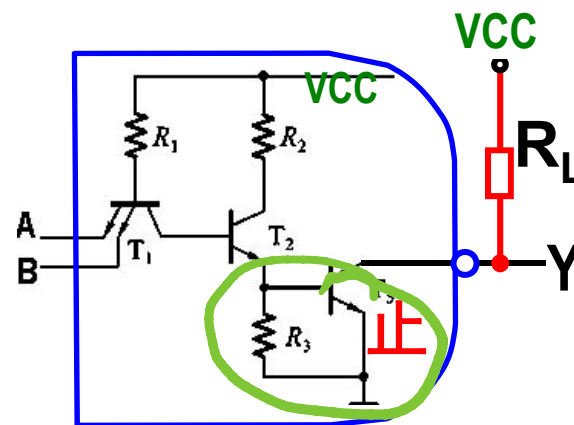
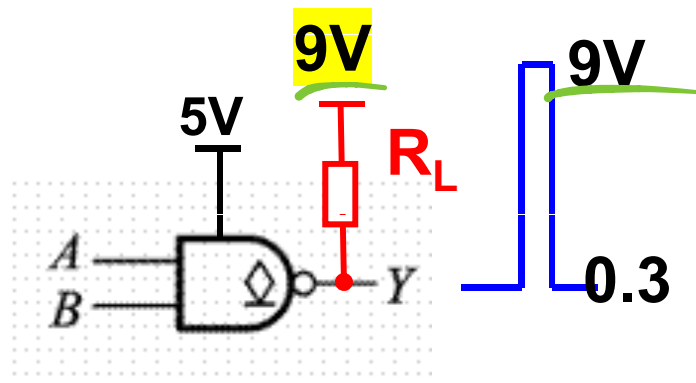
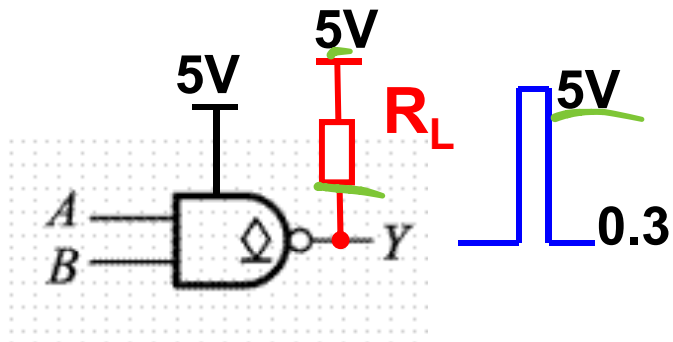
1) 线与功能 (节省与门)

R_L 取值合适,就可线与

$$Y = Y_1 \cdot Y_2 = (AB)' \cdot (CD)'$$

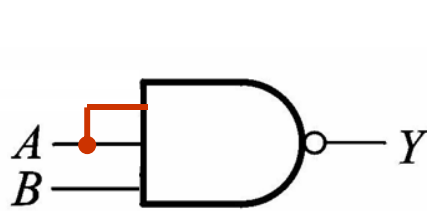


2) 电平转换

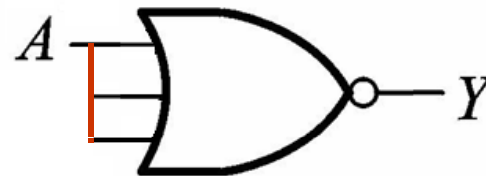
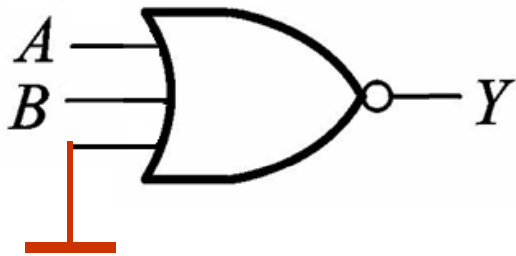
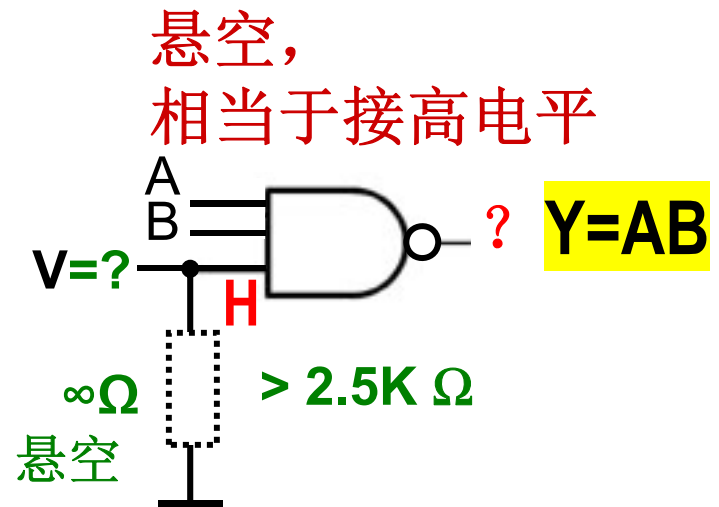
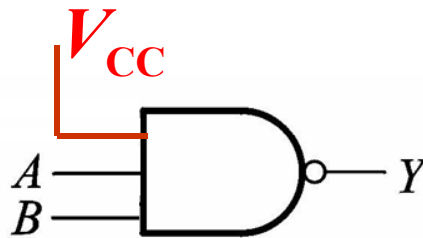


逻辑门多余输入端的处理

与门和与非门的多余输入端接逻辑 1
或者与有用输入端并接。

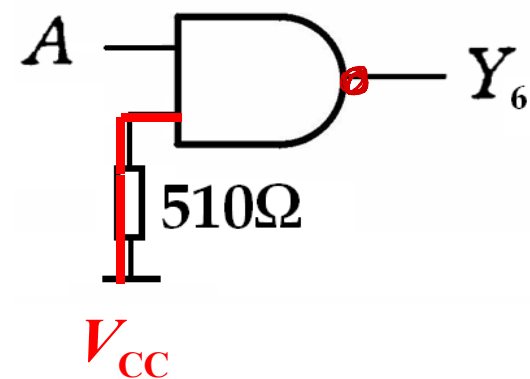
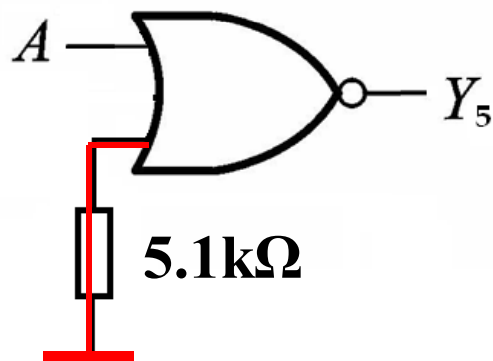
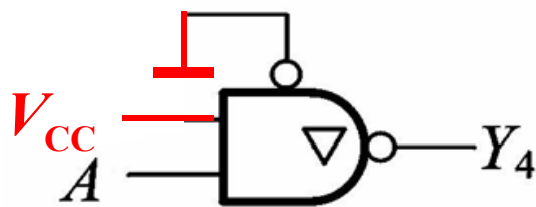
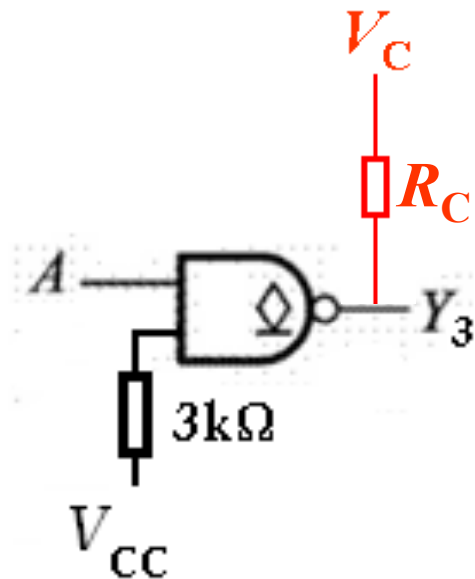
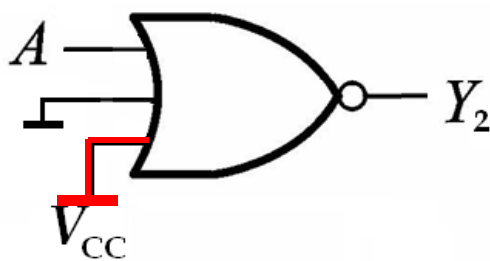
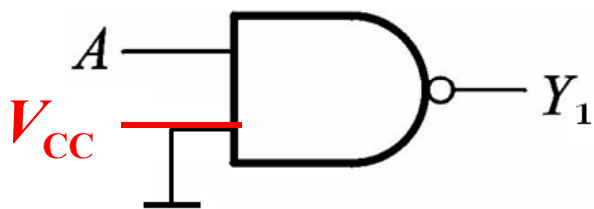


$$A+A=A$$



练习2 若用下列电路实现非运算，试改错。

(已知 $R_{OFF} \approx 700\ \Omega$, $R_{ON} \approx 2.1\ \text{k}\Omega$)



第三章 集成门电路

概述

半导体二极管门电路

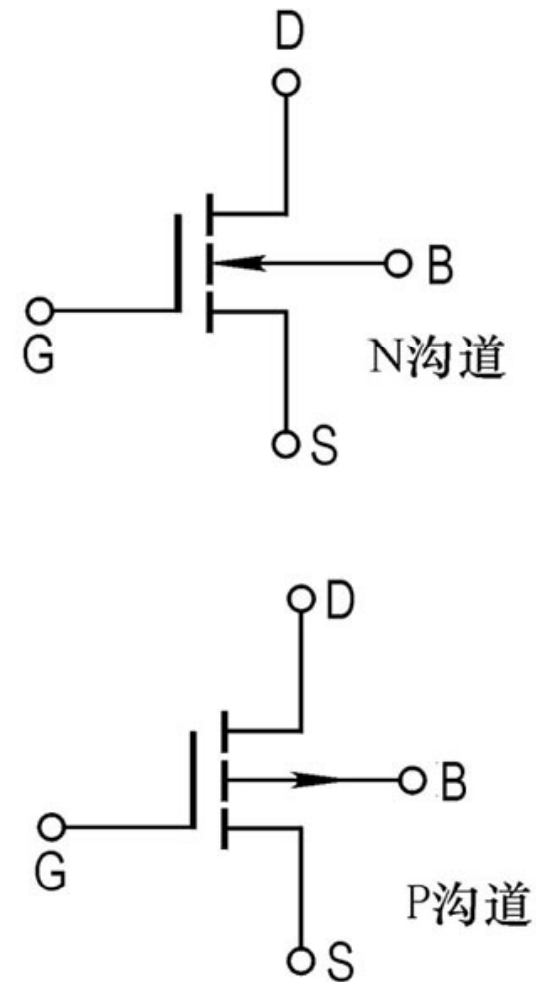
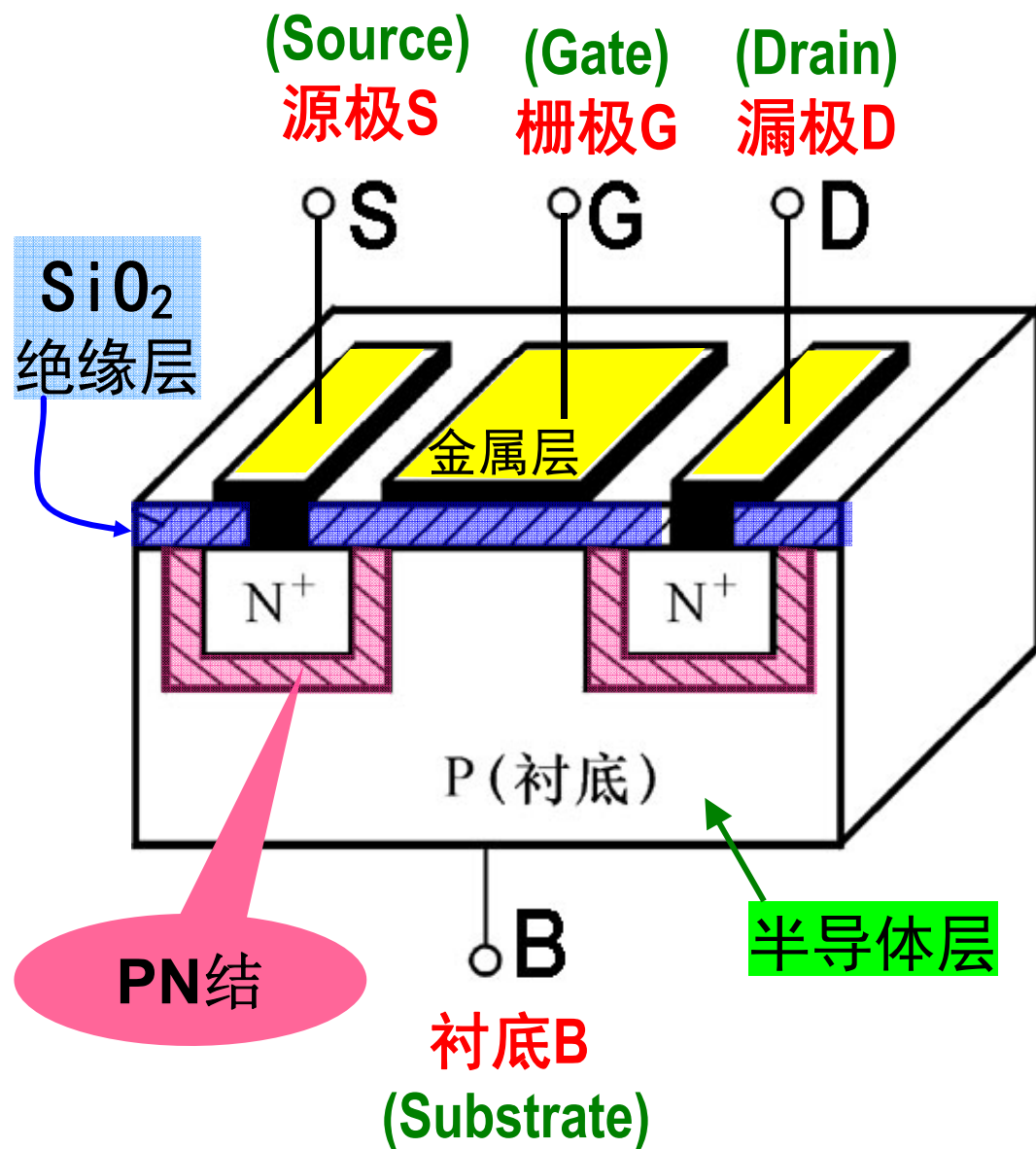
TTL门电路 (**Transistor-Transistor Level**)

CMOS门电路 **Complementary**

Metal-Oxide – Semiconductor Field Effect Transistor

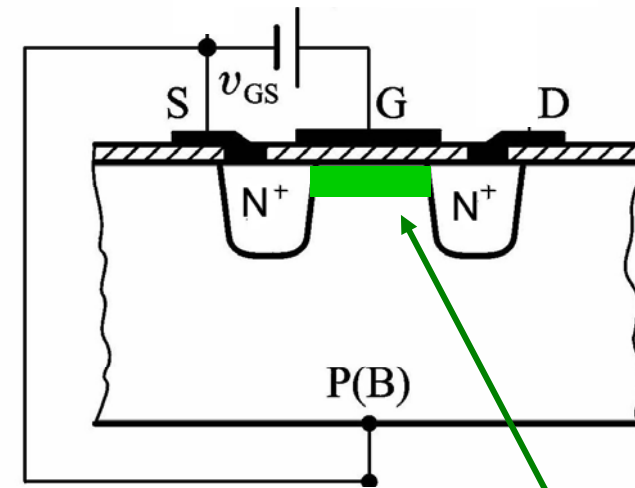
互补金属-氧化物-半导体场效应管

3.2 MOS管的结构

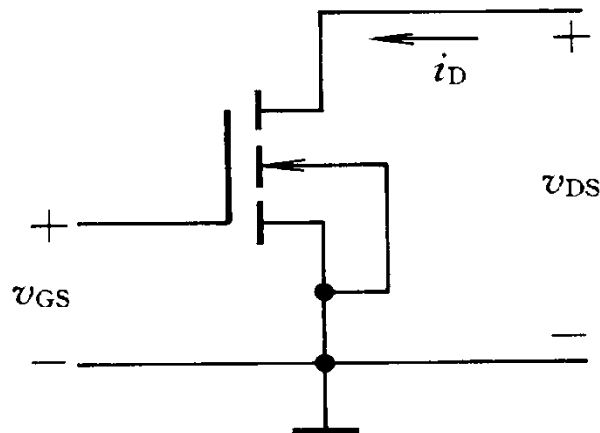


N沟道增强型MOS管

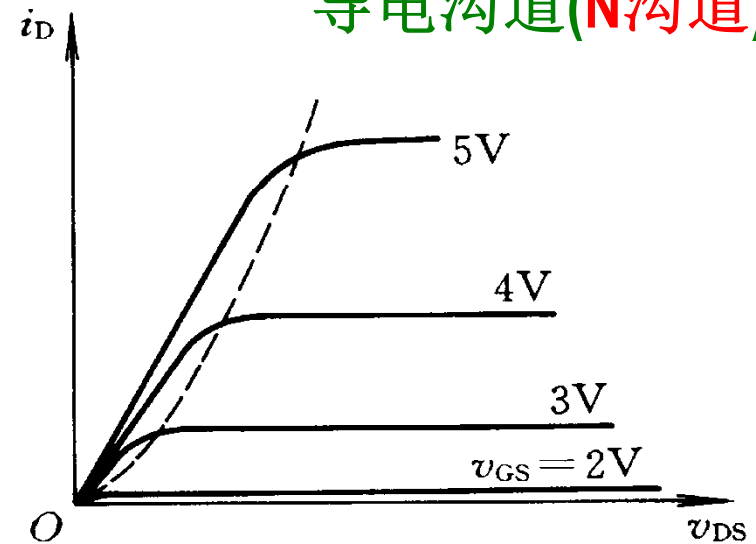
当 $V_{GS} > 0$ 时，且足够大至
 $V_{GS} > V_{GS(th)}$ ，D-S间形成导
电沟道（N型层），
 V_{GS} 越大，导电沟道越宽



导电沟道(N沟道)



(a)



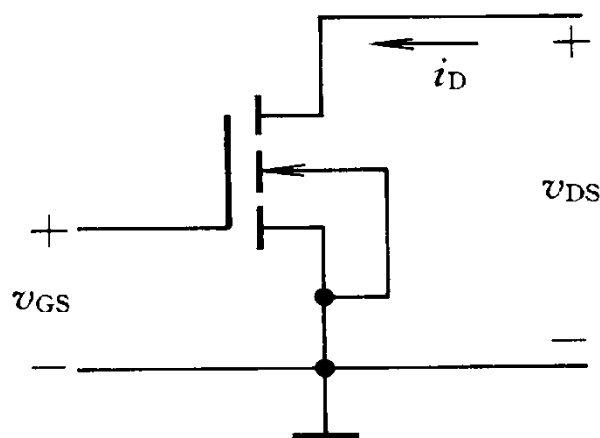
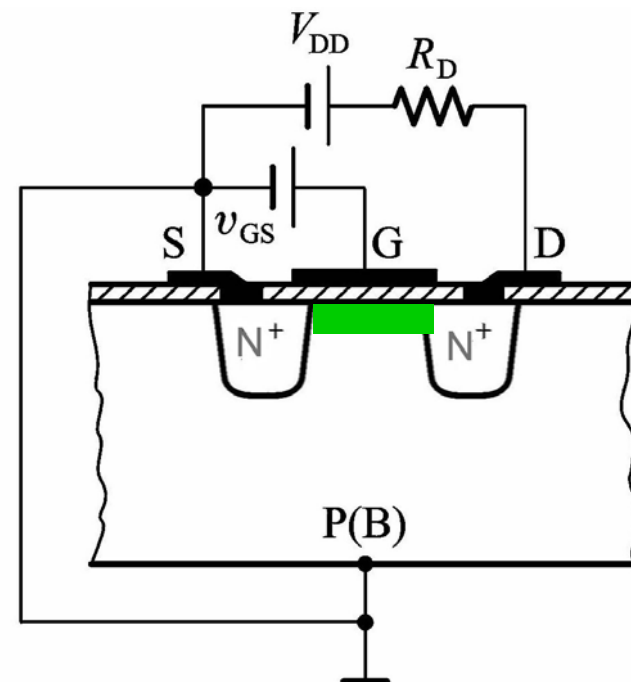
(b)

N沟道增强型MOS管

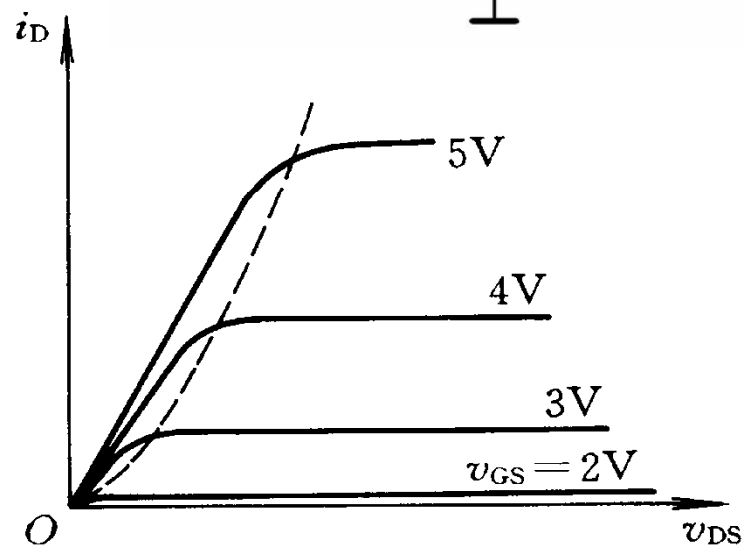
$V_{DS} \uparrow \rightarrow i_D \uparrow$,

$V_{DS} \uparrow \uparrow \rightarrow i_D$ 不变

$V_{GS} < V_{GS(th)}$, $i_D = 0$



(a)



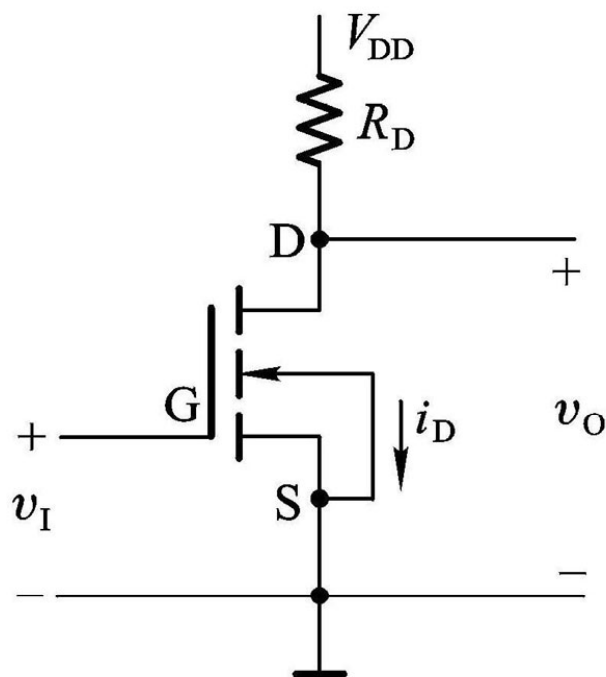
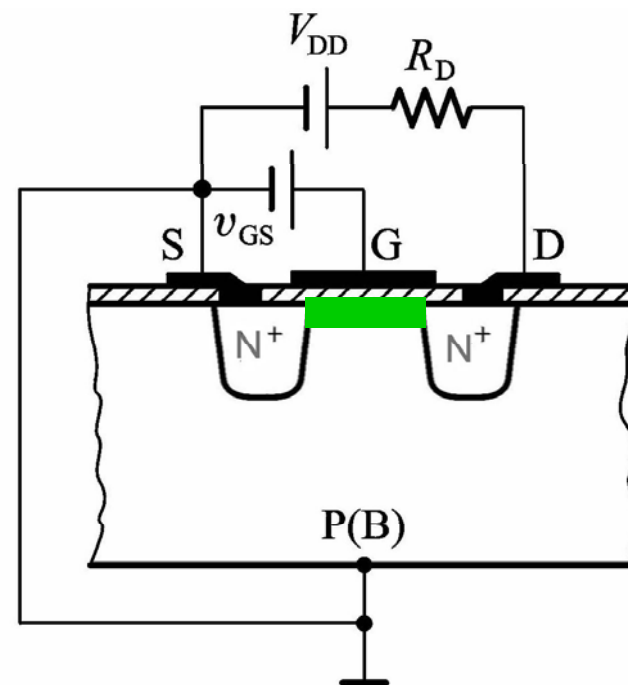
(b)

N沟道增强型MOS管

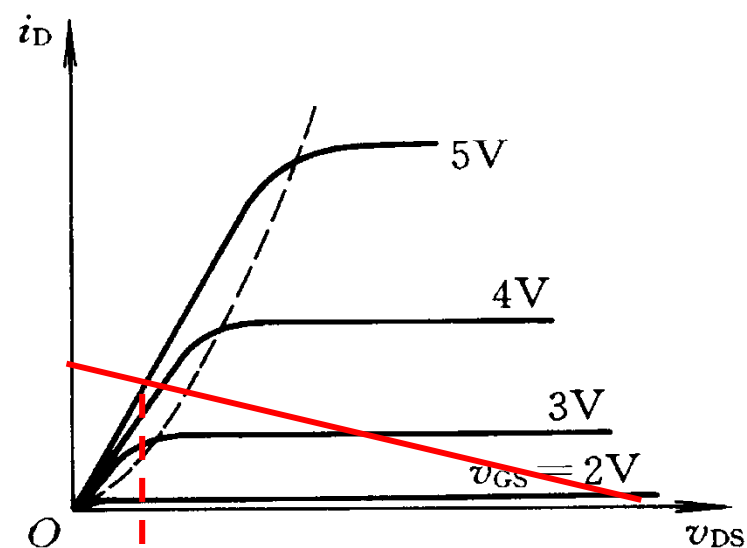
$V_{DS} \uparrow \rightarrow i_D \uparrow$,

$V_{DS} \uparrow \uparrow \rightarrow i_D$ 不变

$V_{GS} < V_{GS(th)}$, $i_D = 0$



(a)



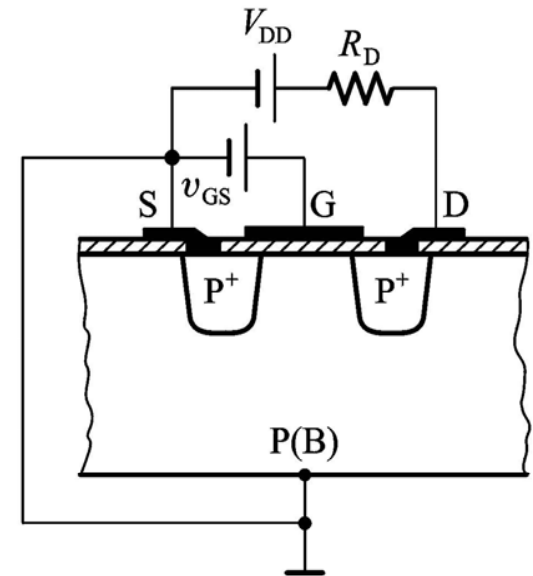
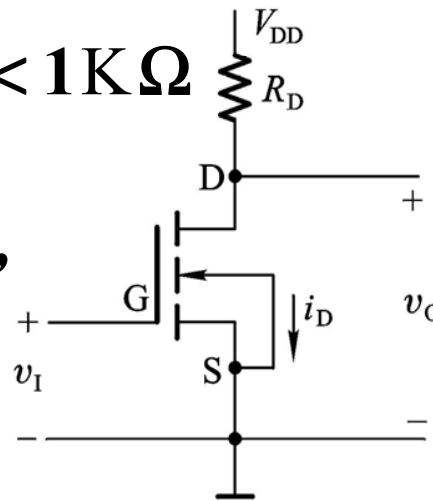
(b)

MOS管的基本开关电路

因为 $R_{\text{OFF}} > 10^9 \Omega$, $R_{\text{ON}} < 1\text{K}\Omega$

只要 $R_{\text{ON}} \ll R_D \ll R_{\text{OFF}}$,

则:



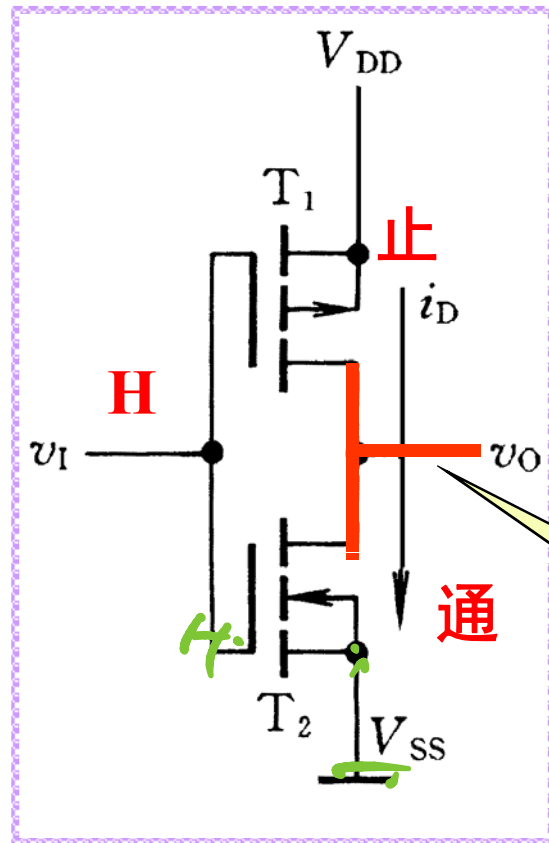
当 $V_I = V_{\text{IL}} < V_{\text{GS}}(\text{th}) \rightarrow \text{T截止} \rightarrow V_O = V_{\text{OH}} \approx V_{\text{DD}}$

当 $V_I = V_{\text{IH}} > V_{\text{GS}}(\text{th}) \rightarrow \text{T导通} \rightarrow V_O = V_{\text{OL}} \approx 0$

所以 MOS管D-S间相当于一个受 $\underline{V_I}$ 控制的开关。

3.2.2 重要的CMOS基本逻辑门结构

非门



T_2 为驱动管， T_1 为负载管

$$V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$$

1. 输入为低电平 $v_I = V_{IL} = 0V$ 时，

$v_{GS1} = -V_{DD}$ ， T_1 导通

$v_{GS2} = 0$ ， T_2 截止

$v_O = V_{OH} \approx V_{DD}$

— 导通 — 截止

2. 输入为高电平 $v_I = V_{IH} = V_{DD}$ 时，

$v_{GS1} = 0$ ， T_1 截止

$v_{GS2} = V_{DD}$ ， T_2 导通

$v_O = V_{OL} \approx 0$

实现逻辑“非”功能

二、电压电流传输特性

*AB段: $v_I < V_{GS(th)N}$

T_1 导通, T_2 截止 $\Rightarrow v_O = V_{OH} = V_{DD}$

*CD段: $v_I > V_{DD} - |V_{GS(th)P}|$

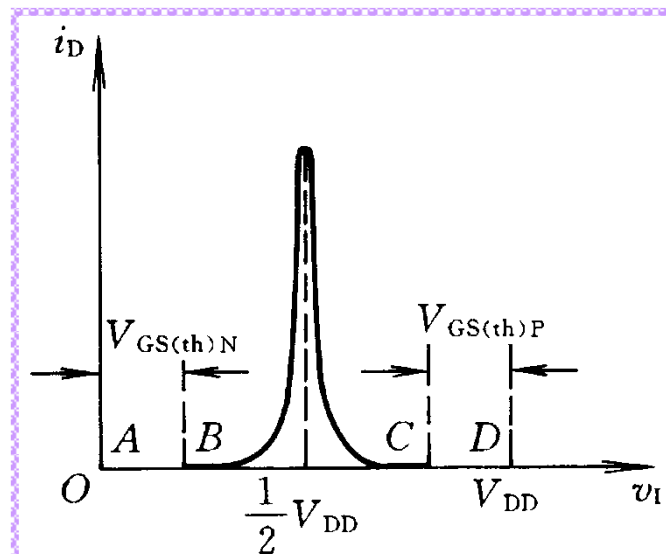
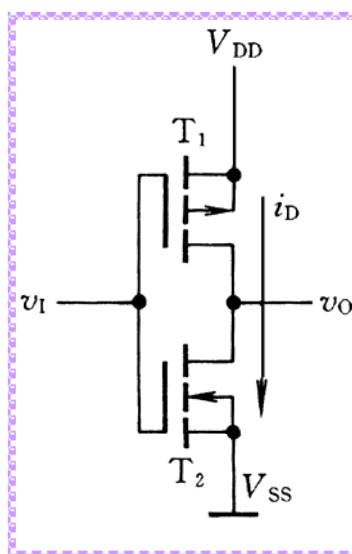
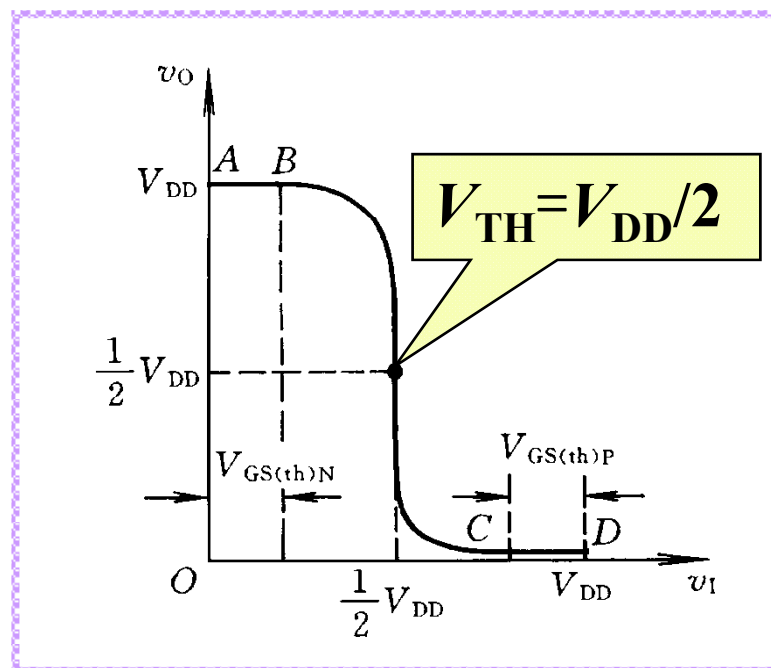
T_2 导通, T_1 截止 $\Rightarrow v_O = V_{OL} = 0$

*BC段: $V_{GS(th)N} < v_I < V_{DD} - |V_{GS(th)P}|$

T_1 、 T_2 同时导通

若 T_1 、 T_2 参数完全对称,

$v_I = \frac{1}{2} V_{DD}$ 时, $v_O = \frac{1}{2} V_{DD}$



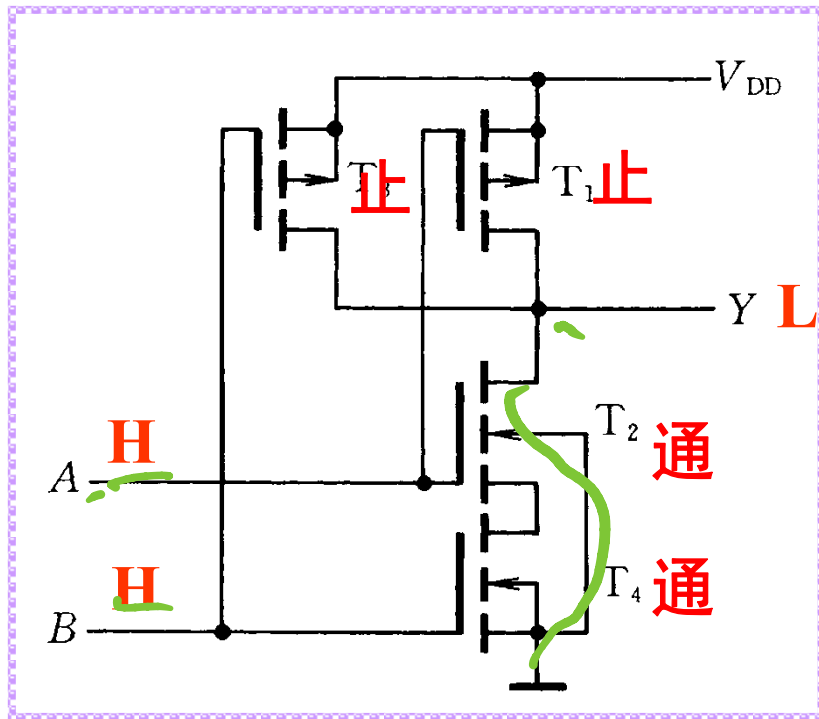
3.2.2 重要的CMOS基本逻辑门结构

A B
0 0 → A.B = 0

门限电压的正负

与非门

$$Y = (AB)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

fr

● 与非门结构特点：

上并下串

驱动管相串联，负载管相并联。

● 工作原理：

- 当输入均为高电平时，驱动管均导通，负载管均截止，输出为低电平。
- 当输入中有低电平时，低电平输入端相对应的驱动管截止，负载管导通，输出为高电平。

(AB)'

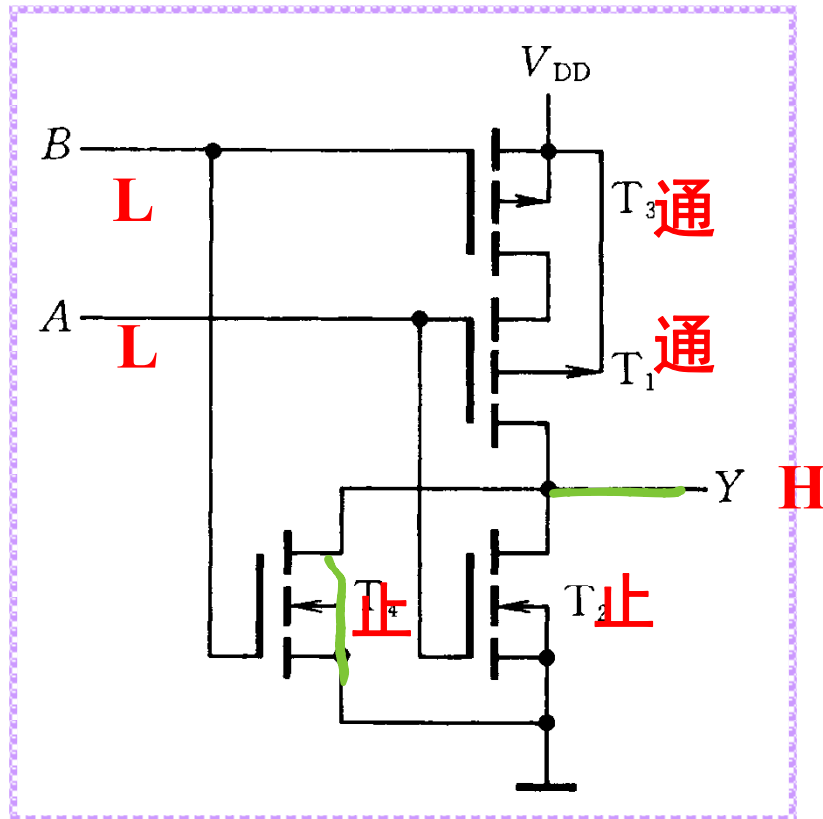
L

3.2.2 重要的CMOS基本逻辑门结构

或非门

$$Y = (A+B)'$$

上串下并



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

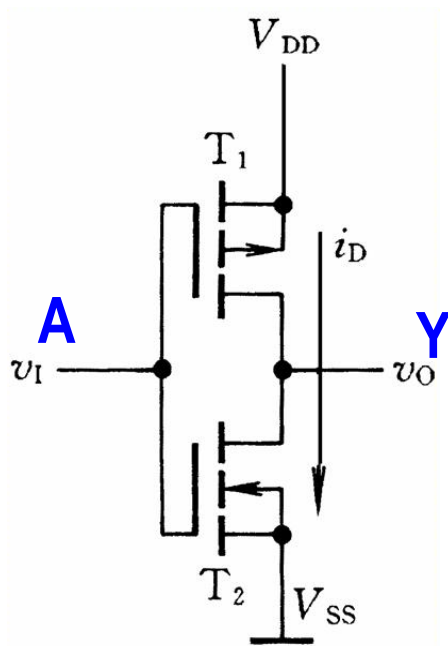
● 或非门结构特点：

驱动管相并联，负载管相串联。

● 工作原理：

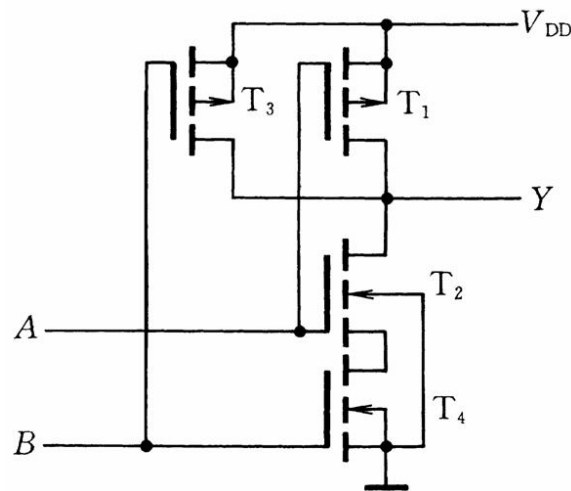
- 当输入中有高电平时，高电平输入端对应的驱动管导通，负载管截止，输出为低电平。
- 当输入均低电平时，驱动管均截止，负载管均导通，输出为高电平。

3.2.2 重要的CS基本逻辑门结构



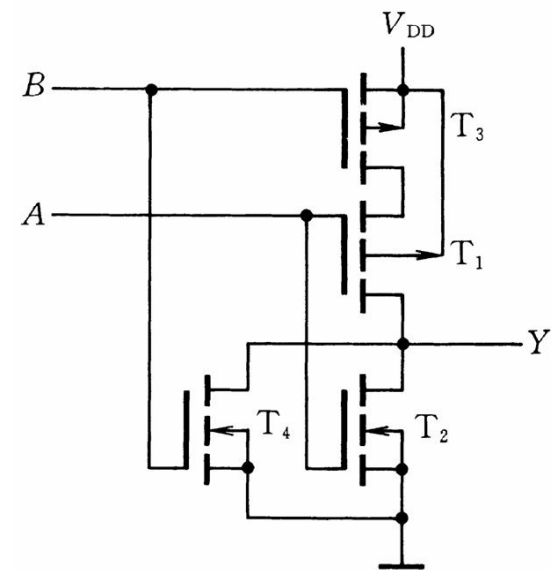
a) 反相结构

$$Y = A'$$



b) 与非结构

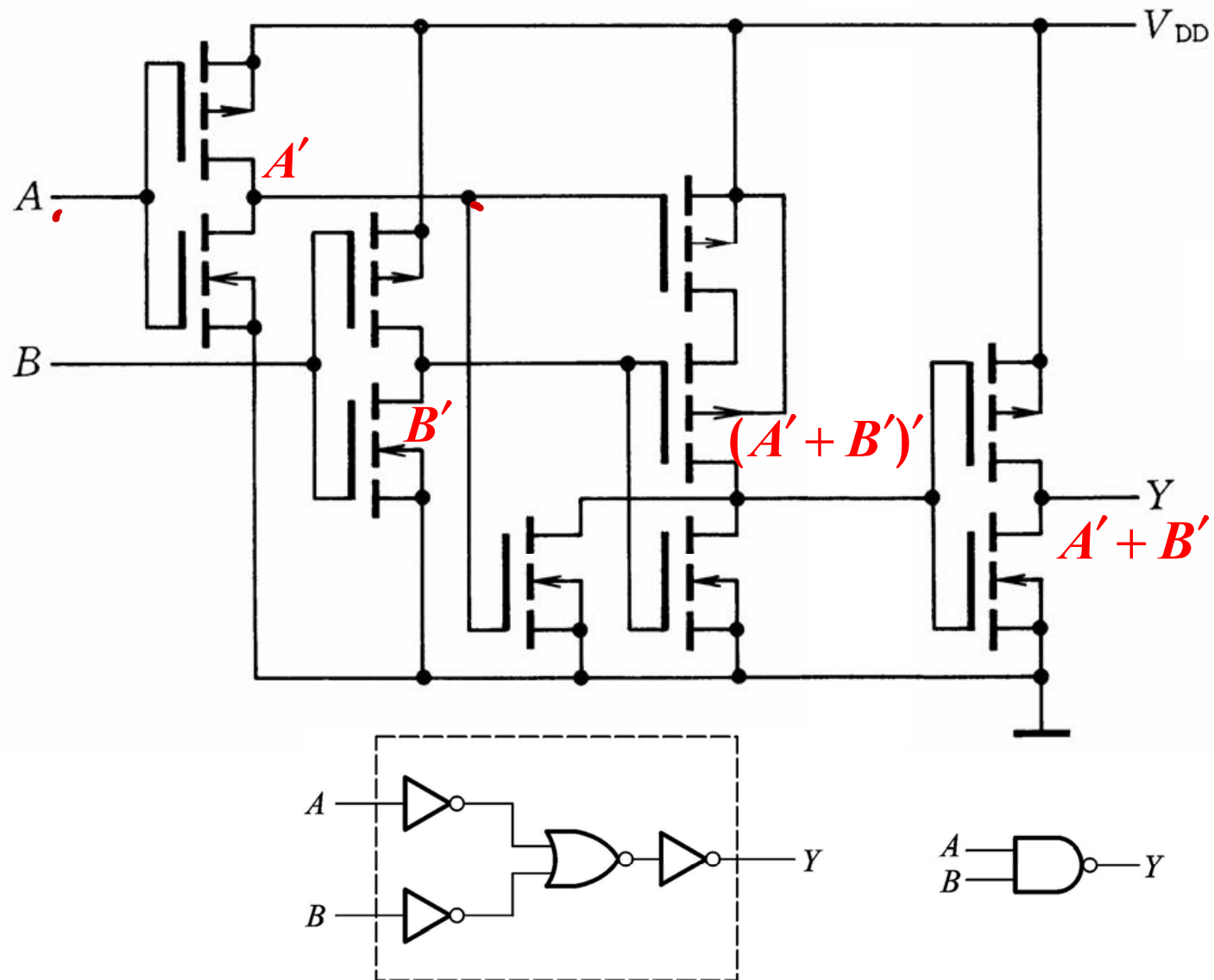
$$Y = (AB)'$$



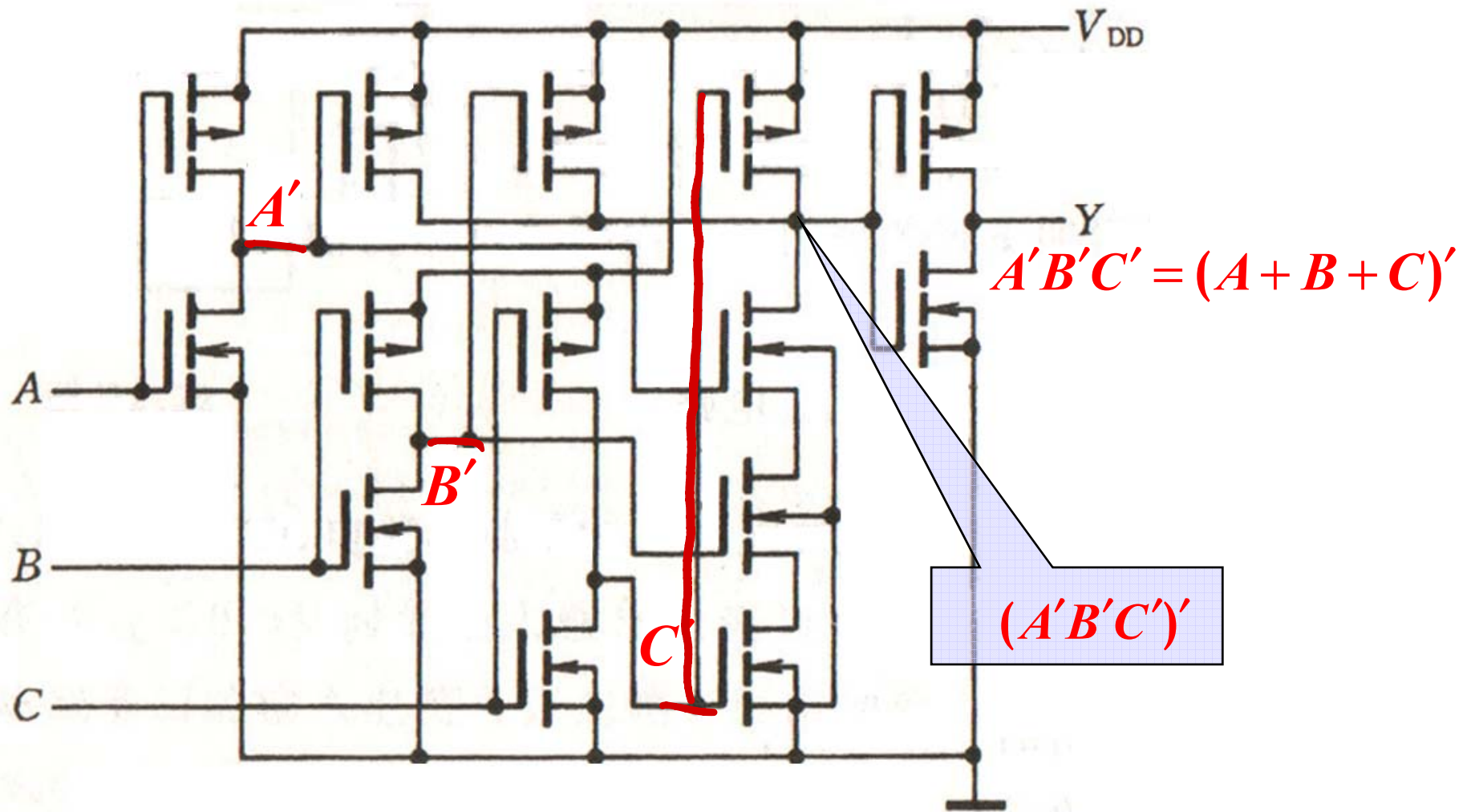
c) 或非结构

$$Y = (A+B)'$$

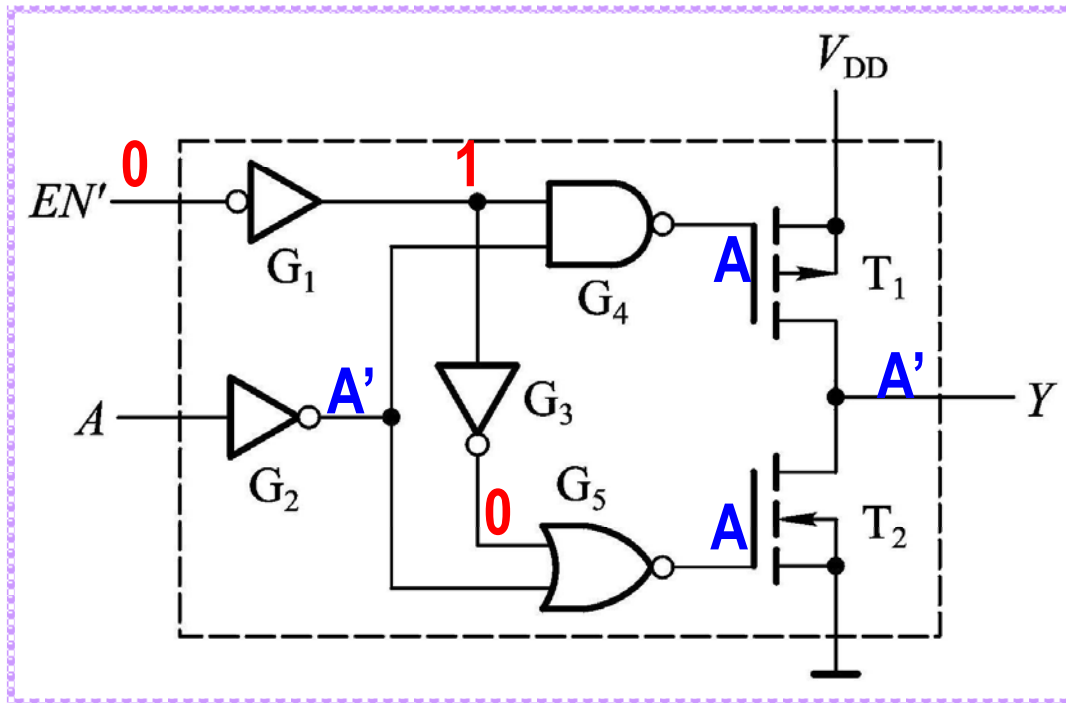
例3：分析电路的逻辑功能。



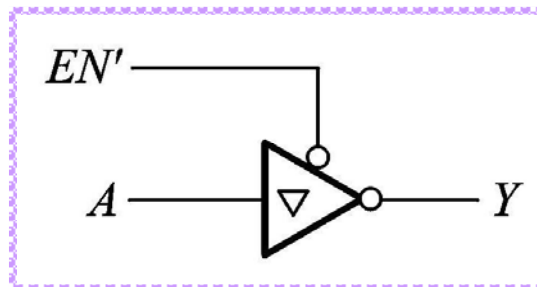
例3：分析电路的逻辑功能。



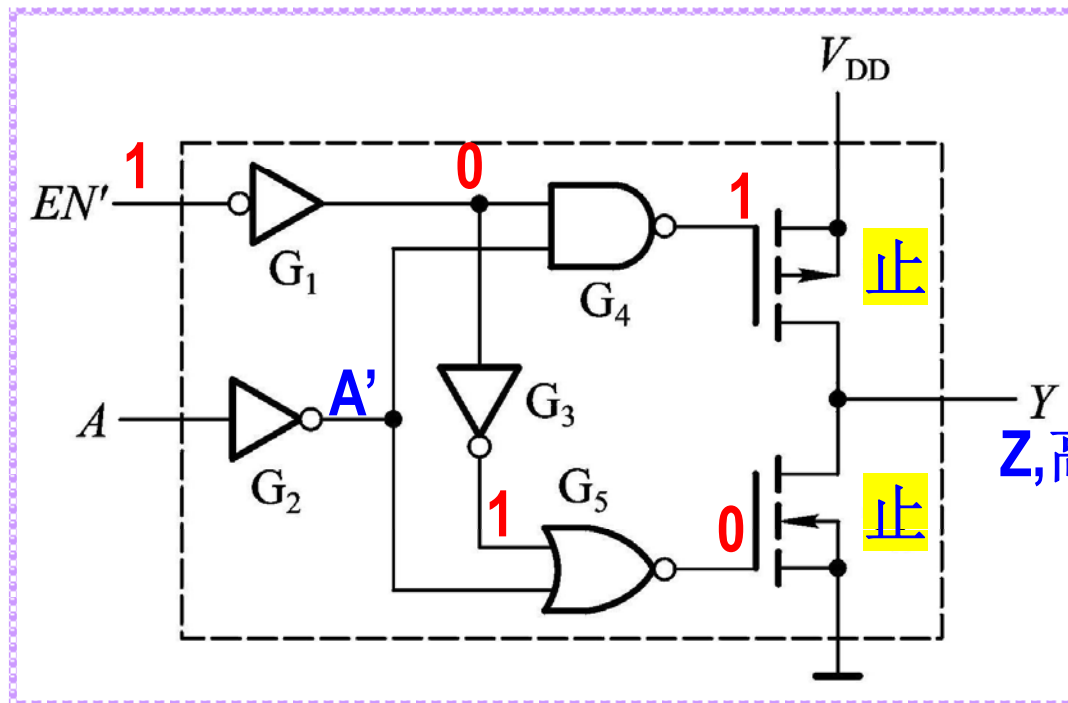
3.2.3 CMOS三态门



$EN' = 0$ 时, $Y = A'$



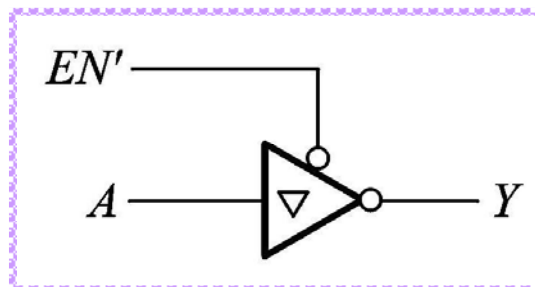
3.2.3 CMOS三态门



$EN' = 0$ 时, $Y = A'$

$EN' = 1$ 时, $Y = Z$, 高阻

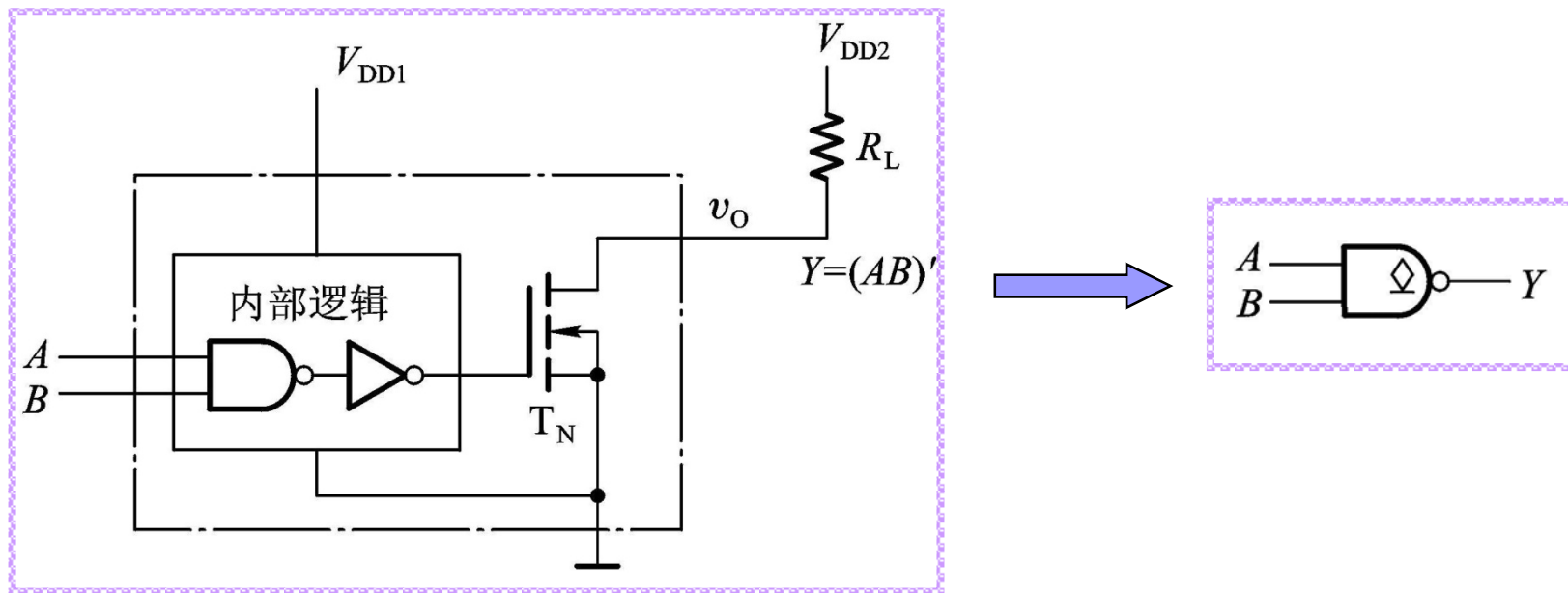
Z , 高阻



EN'	Y
0	A'
1	Z (高阻)

3.2.4 漏极开路的CMOS门电路 (OD门)

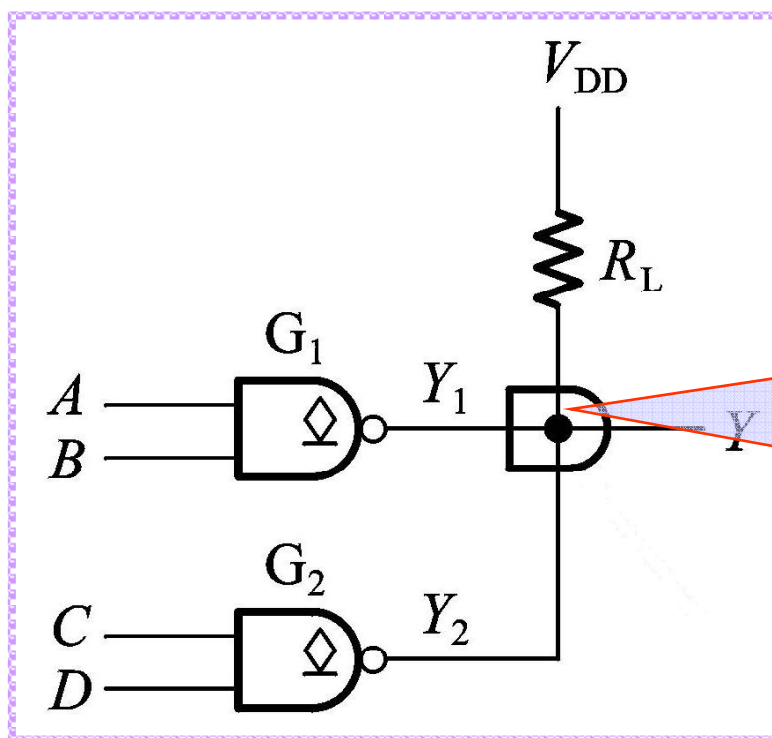
1. 电路、逻辑符号和工作原理



- a) 使用时需外接 R_L , V_{DD2} (V_{DD2} 可以不等于 V_{DD1})
- b) 可将输出并联使用, 实现线与
- c) 可用作电平转换

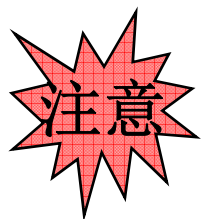
2. 可实现线与

两个或多个 **OD** 门的输出端直接相连，相当于将这些输出信号相与，称为线与。



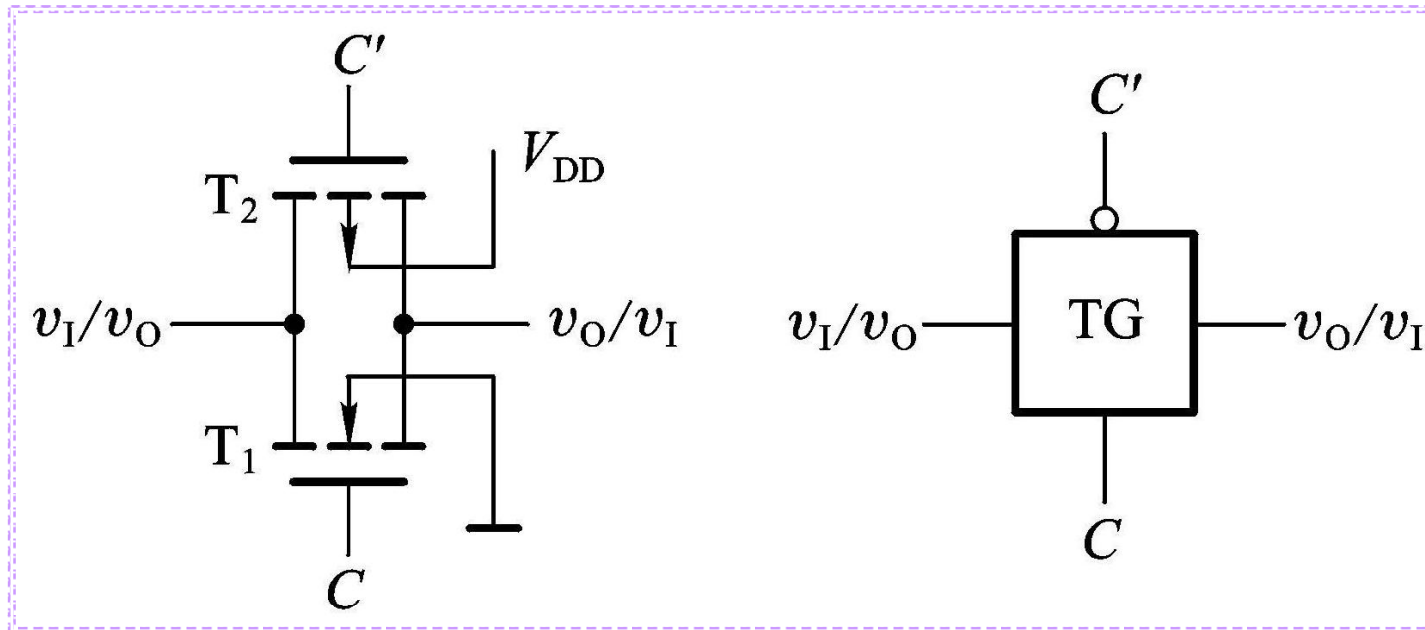
相当于与门作用。
因为 Y_1 、 Y_2 中有低电平时， Y 为低电平；只有 Y_1 、 Y_2 均为高电平时， Y 才为高电平，故 $Y = Y_1 \cdot Y_2$ 。

$$Y = Y_1 \cdot Y_2 = (AB)' \cdot (CD)' = (AB + CD)'$$



只有 **OD** 门才能实现线与

3.2.5 CMOS传输门



设 $V_{IH} = V_{DD}$, $V_{IL} = 0$

(1) 当 $C = 0$, $C' = 1$

$v_I = 0 \sim V_{DD}$ 时, 则 T_1 、 T_2 均截止,
相当于开关断开

(2) 当 $C = 1$, $C' = 0$

$v_I = 0 \sim V_{DD}$ 时, T_1 和 T_2 至少一个导通
相当于开关闭合, $v_O = v_I$ 。

3.2.5 CMOS传输门

(2) 当 $C = 1, C' = 0$

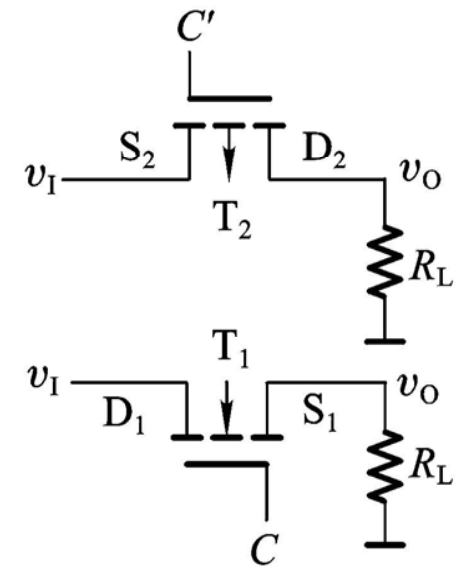
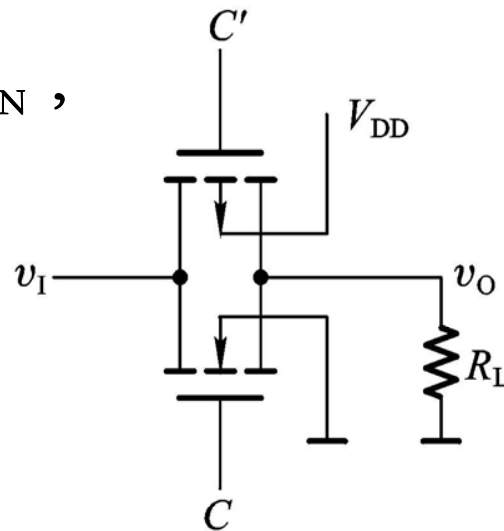
$V_I = 0 \sim V_{DD}$ 时

$0 < V_I < V_{DD} - V_{GS(th)N}$,

T_1 导通

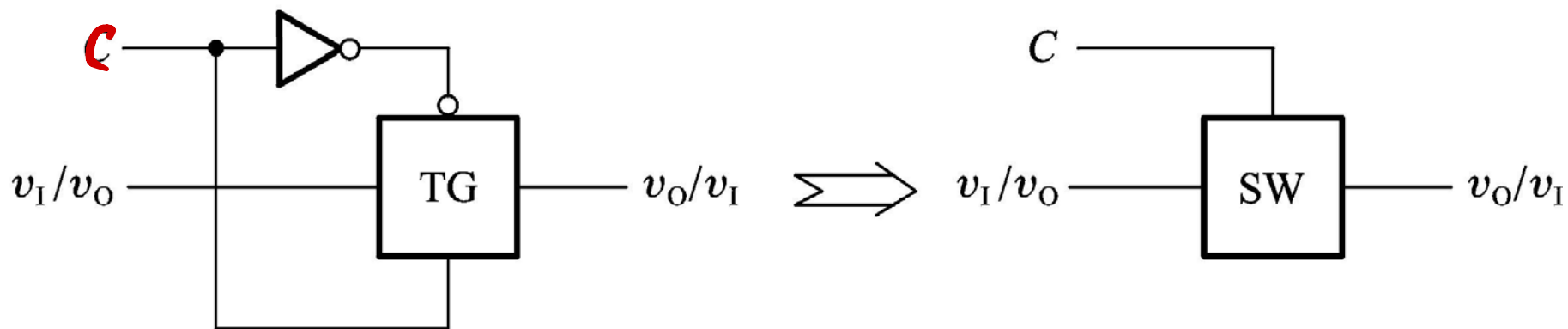
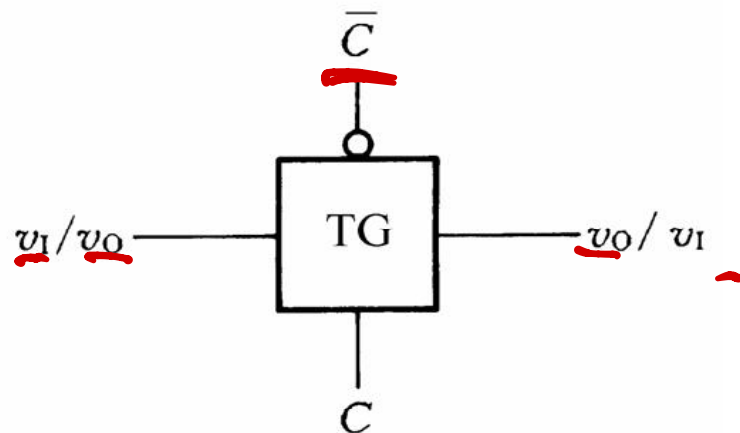
$|V_{GS(th)P}| < V_I < V_{DD}$,

T_2 导通



所以 V_I 在 $0 \sim V_{DD}$, T_1 和 T_2 至少一个导通,
 $V_I - V_O$ 之间为低电阻.

3.2.5 CMOS传输门



3.2.6 CMOS集成逻辑门使用要点

1. 注意不同系列 CMOS 电路允许的电源电压范围不同，一般多用 +5 V。电源电压越高，抗干扰能力也越强。

2. 闲置输入端的处理



不允许悬空。

- 可与有用输入端并联使用。但这样会增大输入电容，使速度下降，因此工作频率高时不宜这样用。
- 与门和与非门的闲置输入端可接正电源或高电平；或门和或非门的闲置输入端可接地或低电平。

3. 若输入端经电阻接地，则该输入端为低电平。

CMOS 门电路比之TTL的主要特点

- 功耗极低
- 抗干扰能力强
- 电源电压范围宽
- 输出信号摆幅大 ($V_{OH} \approx V_{DD}$, $V_{OL} \approx 0 \text{ V}$)
- 输入阻抗高
- 扇出系数大

练习3

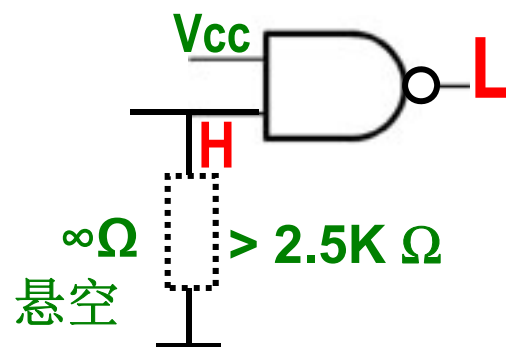
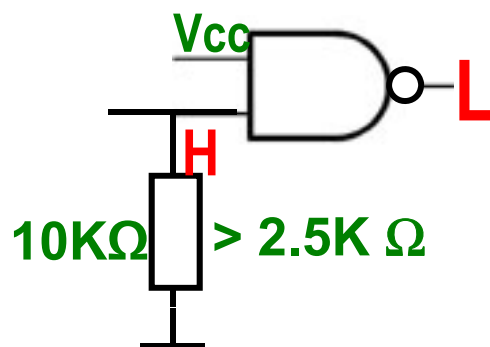
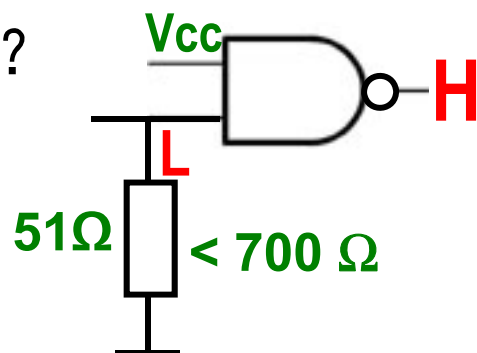
下面逻辑门输出什么？

已知TTL逻辑门

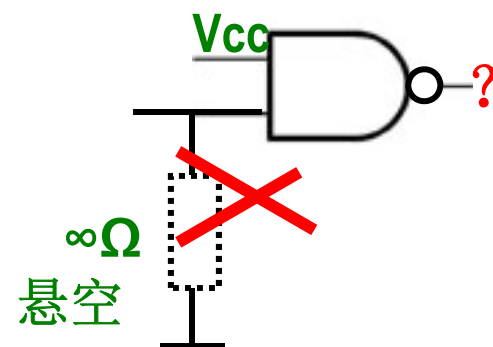
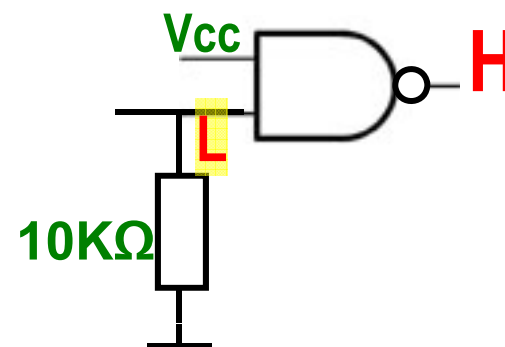
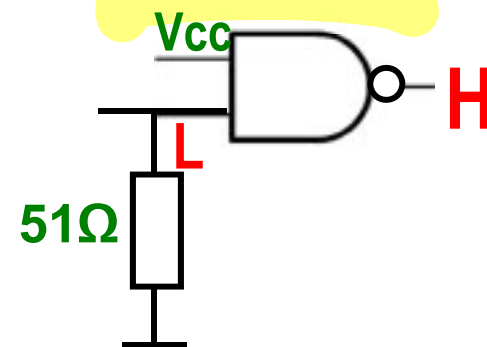
$R_{OFF} \approx 700 \Omega$

$R_{ON} \approx 2.5 k\Omega$

TTL



CMOS



作业

3.7、 已知内部电路，判断是什么逻辑门

3.8 画输出波形（三态门，OC门）

3.13(d), 3.14 (6)

3.15 逻辑门输入端连接大电阻、小电阻、输出=?（有OC门）

3.19 电压表，测试TTL或门，电压值=?

3.20 电压表，测试CMOS与非门，电压值=?

3.29 判断哪些门可以输出端并联

3.7
3.8
3.12
3.15
3.27