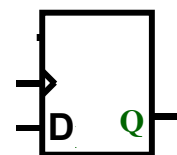
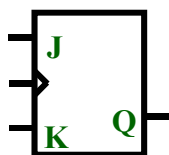
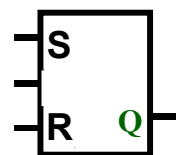
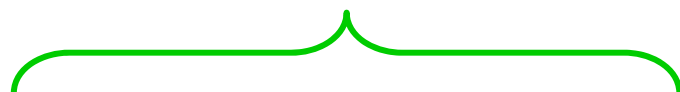
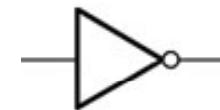
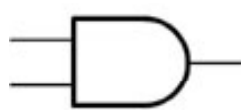


第五章 触发器(Flip-Flop)

(第六章)
时序逻辑电路 { 计数器
寄存器



触发器



与门, 或门, 非门

触发器原理

- 基本**SR**触发器 (锁存器)
- 钟控触发器(电平触发)
- 主从触发器(脉冲触发)
- 边缘触发器(边缘触发)

触发器描述与转换

第5章

需求与改进

基本逻辑门(chapter2)

希望有记忆能力

5.1.1 基本SRFF (锁存器)

希望有
门控能力

5.1.2 钟控SRFF (电平触发)

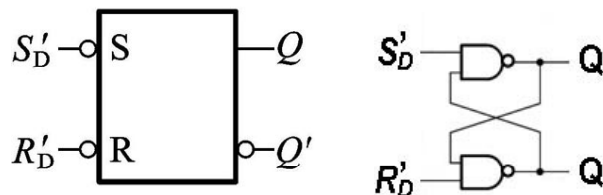
希望有
时钟沿触发能力

5.1.3 主从SRFF (脉冲触发)

缺点: clk为1期间, 要求S,R
稳定不变

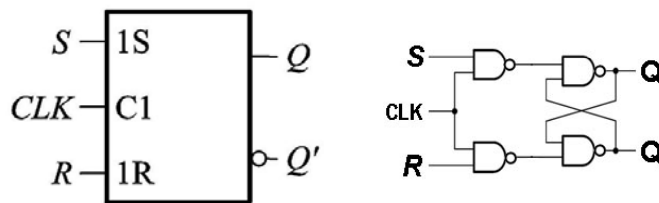
希望有
可靠的沿触发能力

5.1.4 边沿SRFF (边沿触发)



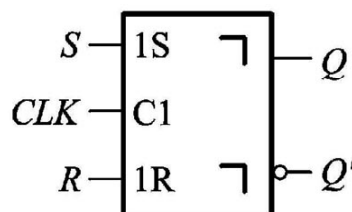
约束 $S_D' + R_D' = 1$

$S_D' R_D'$	Q^*
0 0	1 ①
0 1	1
1 0	0
1 1	Q

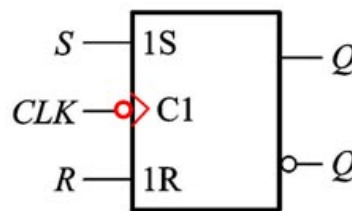


约束 $SR = 0$

CLK	S R	Q^*
1	0 0	Q
1	0 1	0
1	1 0	1
1	1 1	1 ①
0	XX	Q



约束 $SR = 0$



约束 $SR = 0$

CLK	S R	Q^*
⌊	0 0	Q
⌊	0 1	0
⌊	1 0	1
⌊	1 1	1 ①
0, 1	XX	Q

需求与改进

基本逻辑门(chapter2)

希望有记忆能力

5.1.1 基本SRFF (锁存器)

希望有
门控能力

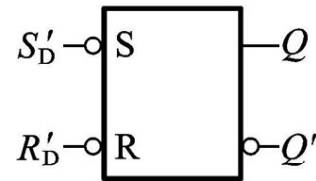
5.1.2 钟控SRFF (电平触发)

希望有
时钟沿触发能力

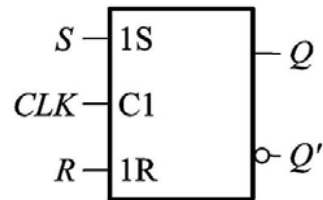
5.1.3 主从SRFF (脉冲触发)

希望有
可靠的沿触发能力

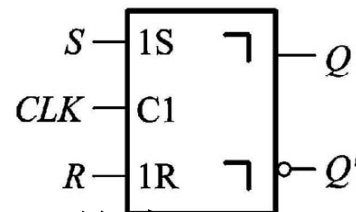
5.1.4 边沿SRFF (边沿触发)



约束 $S_D' + R_D' = 1$



约束 $SR = 0$



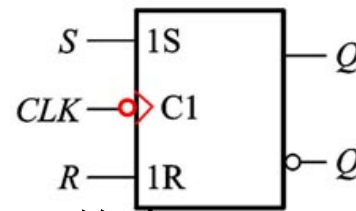
约束 $SR = 0$

改进

5.2.1 主从JKFF

改进

5.2.2 边沿JKFF

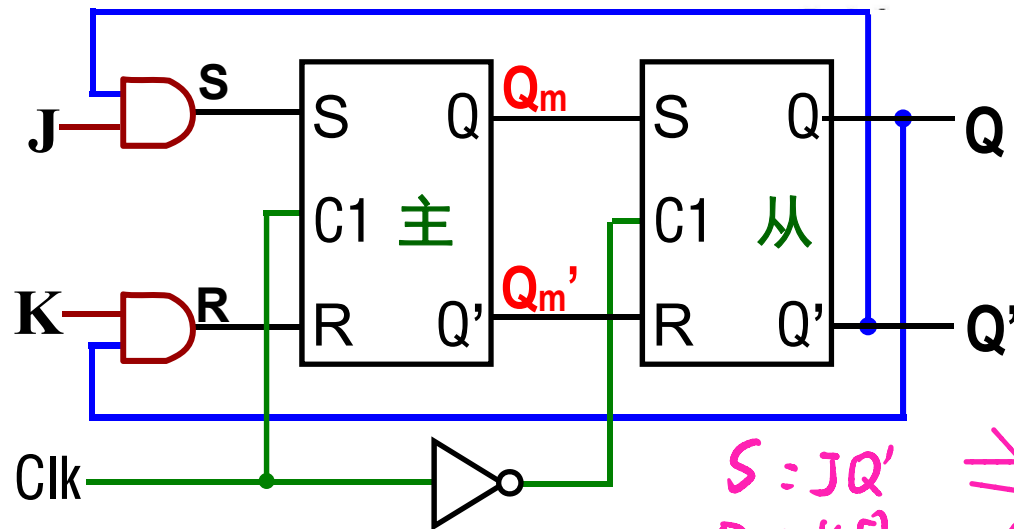
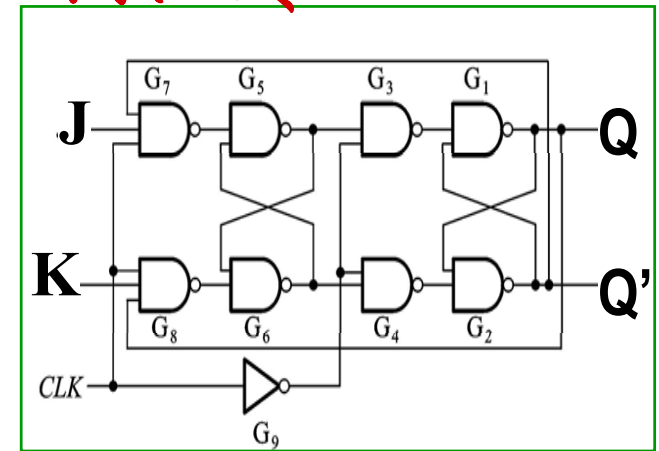
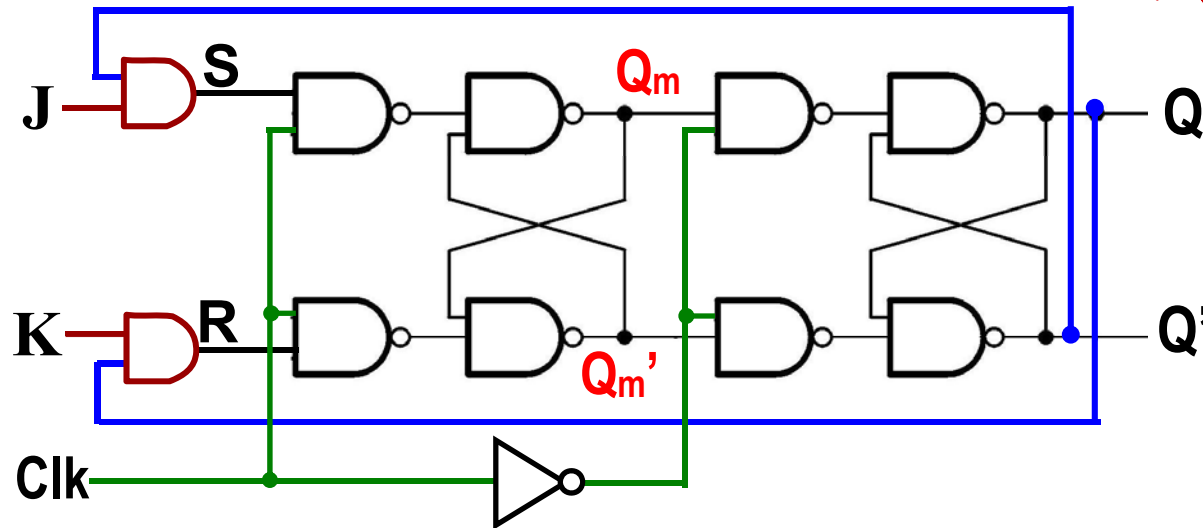


约束 $SR = 0$

5.2.1 主从JK触发器(主从JKFF)

(一次性变化)

一个时钟周期中, 状态仅翻转一次



$$J=0, K=0 \quad Q^* = Q$$

$$J=1, K=0 \quad Q^* = Q' + Q = 1$$

$$J=0, K=1 \quad Q^* = 0$$

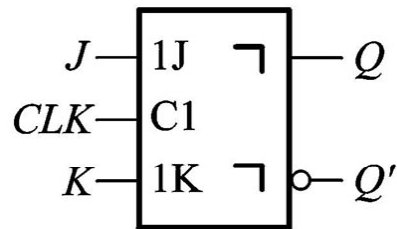
$$J=1, K=1 \quad Q^* = Q' \text{ (翻转)}$$

实现计数

$$S = JQ' \quad R = KQ \Rightarrow Q^* = JQ' + K'Q$$

消除不同时为1的约束

1) 逻辑符号

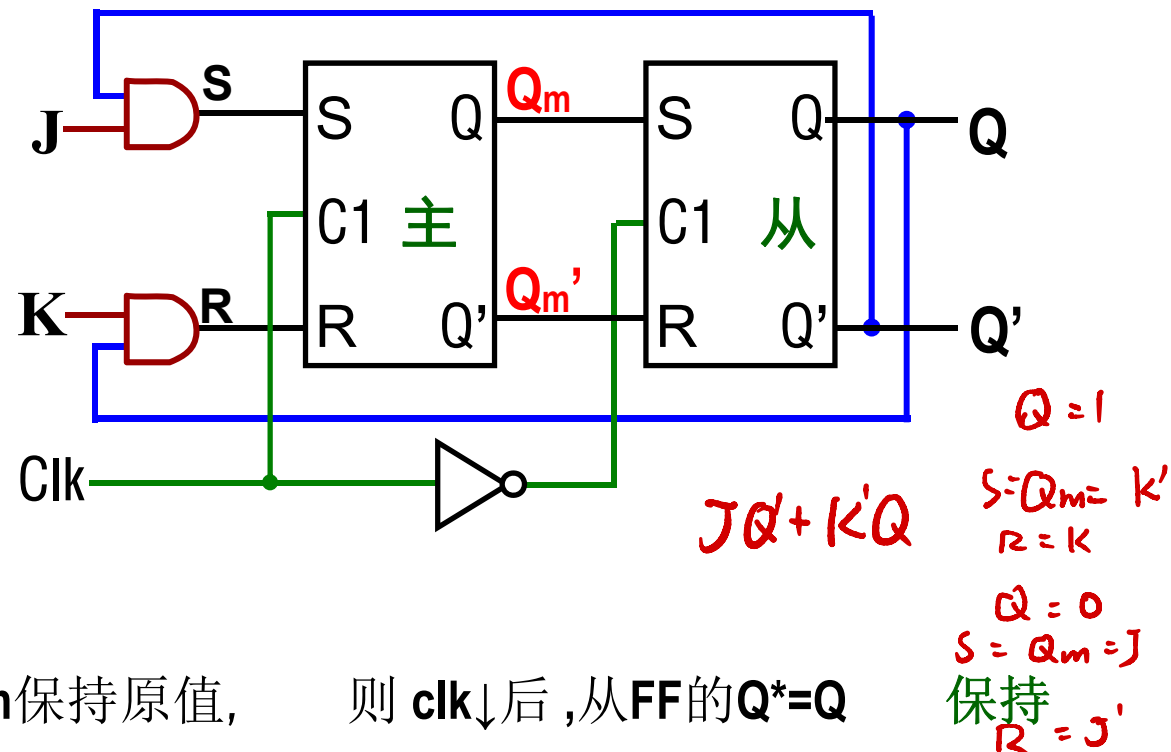


3) 特性表

Clk	J K	Q^*
	0 0	Q
	0 1	0
	1 0	1
	1 1	Q'
0, 1	XX	Q

保持
置0
置1
取反
保持

2) 内部电路



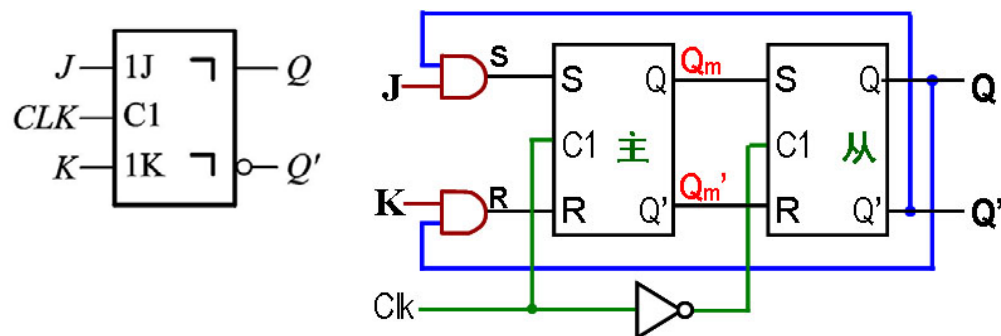
(1) $J=0, K=0, clk=1$ 时, $S=0, R=0$, $\rightarrow Q_m$ 保持原值, 则 $clk\downarrow$ 后, 从 FF 的 $Q^*=Q$

(2) $J=0, K=1, clk=1$ 时, $S=0$, 若 $Q=0$, 则 $R=0 \rightarrow Q_m$ 保持 0, 则 $clk\downarrow$ 后, 从 FF 的 Q^* 保持 0
 $S=0$, 若 $Q=1$, 则 $R=1 \rightarrow Q_m=0$, 则 $clk\downarrow$ 后, 从 FF 的 $Q^*=0$ } 置 0

(3) $J=1, K=0, clk=1$ 时, $R=0$, 若 $Q=0$, 则 $S=1 \rightarrow Q_m=1$, 则 $clk\downarrow$ 后, 从 FF 的 $Q^*=1$
 $R=0$, 若 $Q=1$, 则 $S=0 \rightarrow Q_m$ 保持 1, 则 $clk\downarrow$ 后, 从 FF 的 Q^* 保持 1 } 置 1

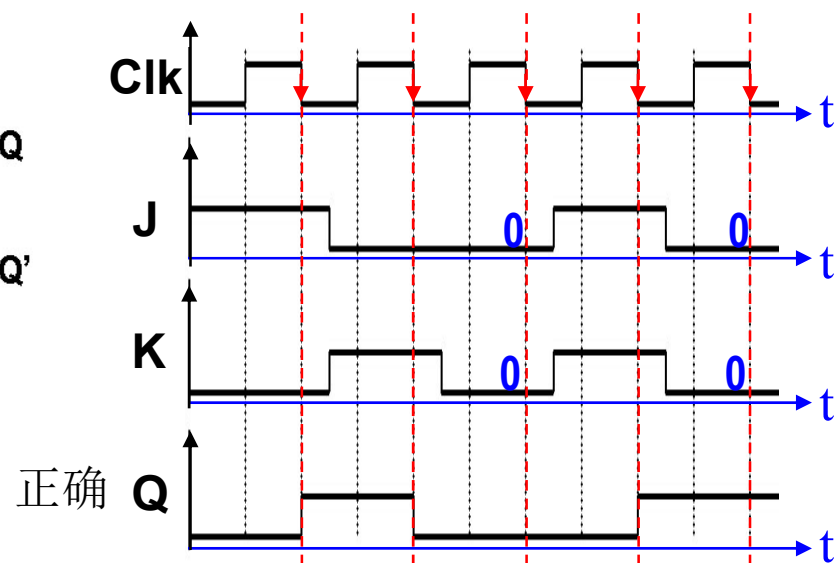
(4) $J=1, K=1, clk=1$ 时, 若 $Q=0$, 则 $S=1, R=0 \rightarrow Q_m=1$, 则 $clk\downarrow$ 后, 从 FF 的 $Q^*=Q'=1$
 若 $Q=1$, 则 $S=0, R=1 \rightarrow Q_m=0$, 则 $clk\downarrow$ 后, 从 FF 的 $Q^*=Q'=0$ } 取反

例1 已知主从JKFF的输入波形，求(a)(b)(c)三种情况下的输出波形

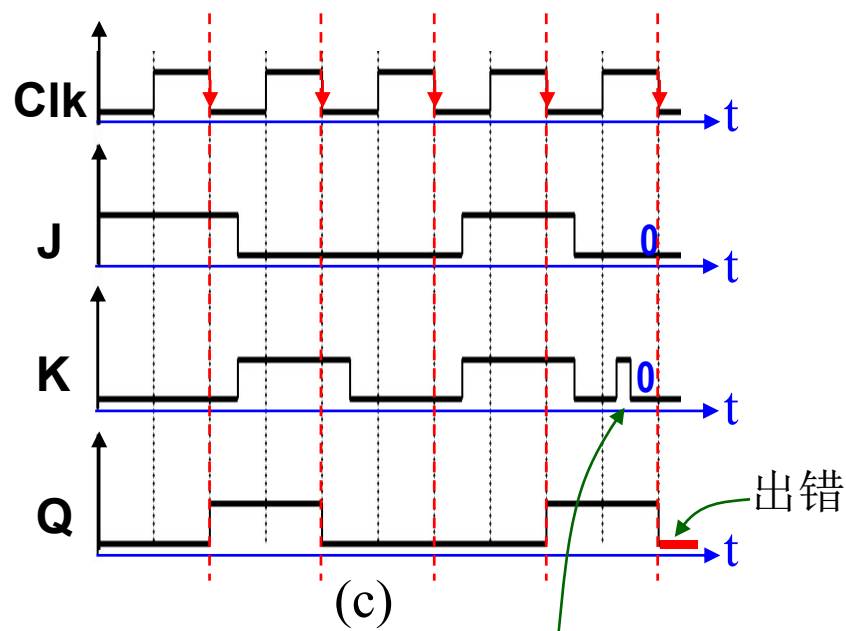


主从JKFF缺点

要求clk=1期间，J,K值保持稳定不变，否则可能导致输出错误

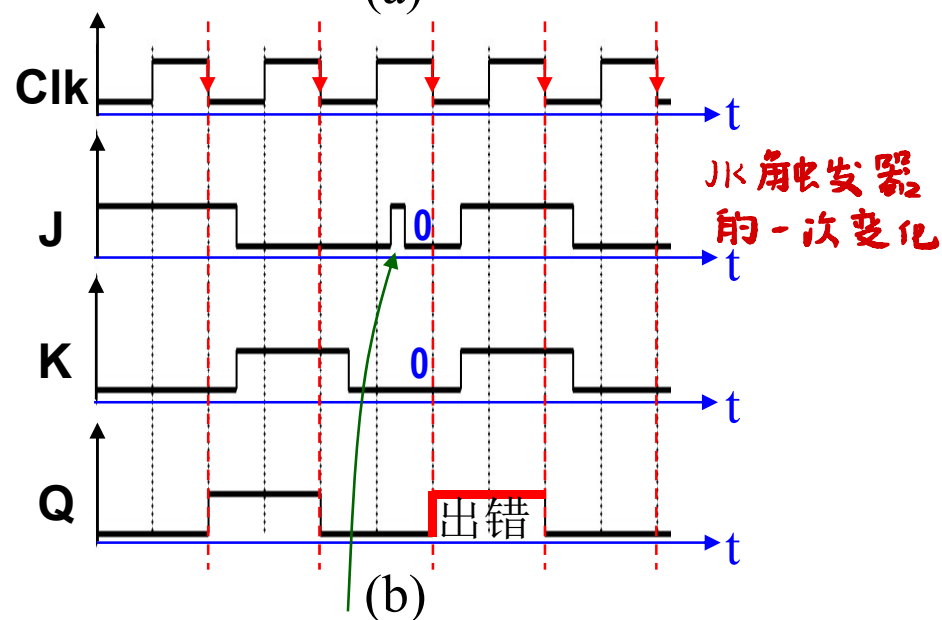


(a)



(c)

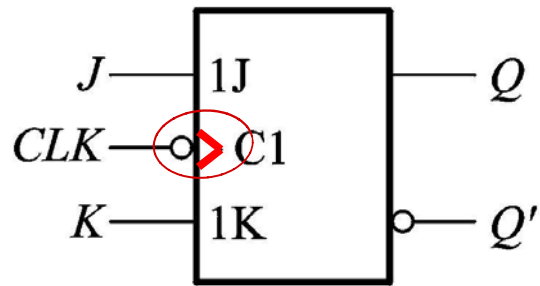
Q=1, clk=1期间,K不允许变高,否则Q出错



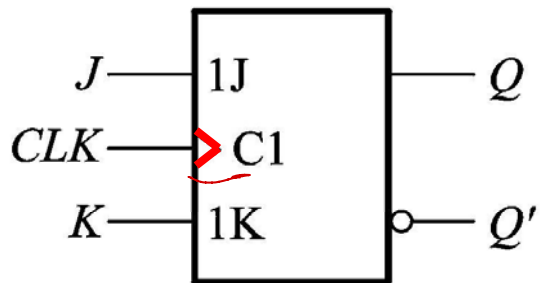
(b)

Q=0, clk=1期间,J不允许变高,否则Q出错

5.2.2 边沿JK触发器(边沿JKFF)

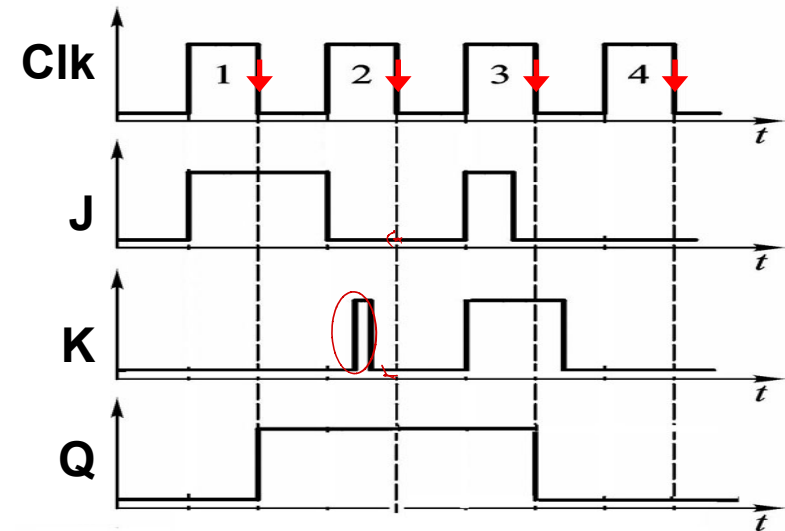


Clk	J K	Q*
↓	0 0	Q
↓	0 1	0
↓	1 0	1
↓	1 1	Q'
0,1	XX	Q

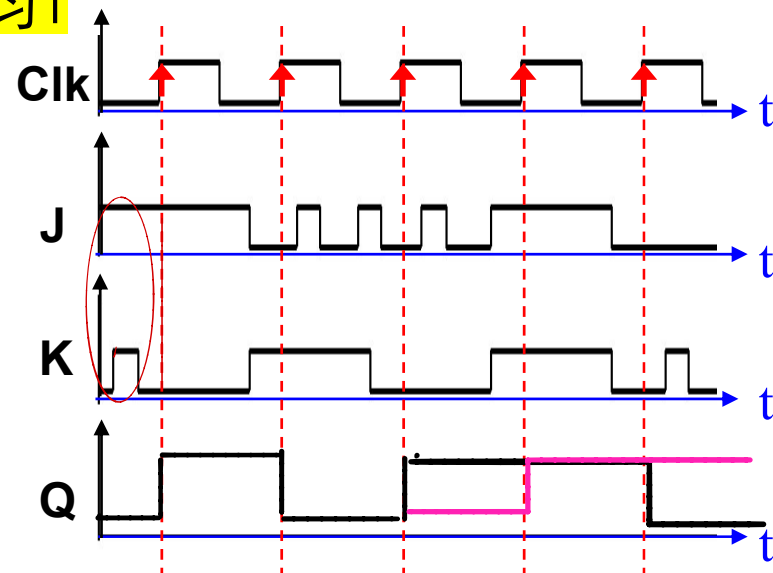


Clk	J K	Q*
↑	0 0	Q
↑	0 1	0
↑	1 0	1
↑	1 1	Q'
0,1	XX	Q

例2 已知边沿JKFF的输入波形，求输出波形



练习1



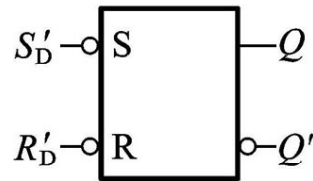
1.1 翻转
0.0 保持!

需求与改进

基本逻辑门(chapter2)

希望有记忆能力

5.1.1 基本SRFF

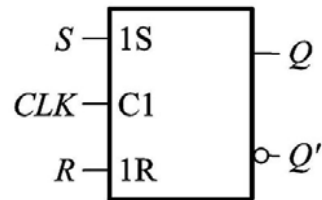


约束 $S_D' + R_D' = 1$

异步置0置1
 R_d, S_d

希望有
门控能力

5.1.2 钟控SRFF



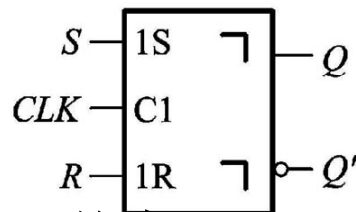
约束 $SR=0$

改进

5.3.1 钟控DFF

希望有
时钟沿触发能力

5.1.3 主从SRFF

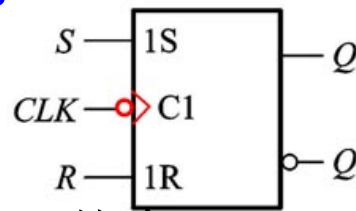


约束 $SR=0$

不同时为1

希望有
可靠的沿触发能力

5.1.4 边沿SRFF



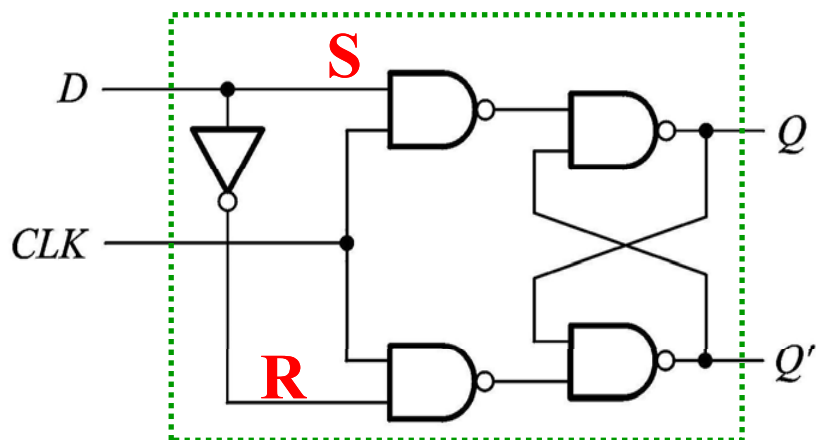
约束 $SR=0$

改进

5.3.2 边沿DFF

5.3.1 钟控D触发器(钟控DFF)

1) 内部电路



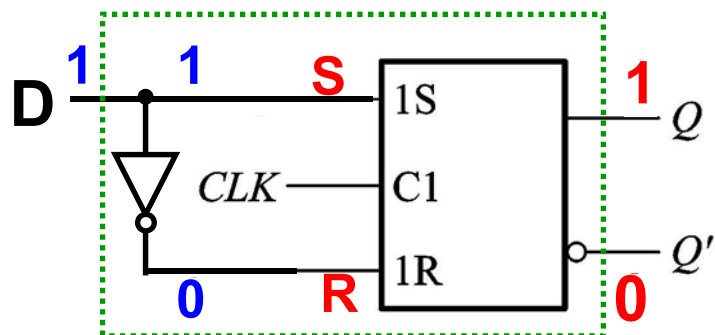
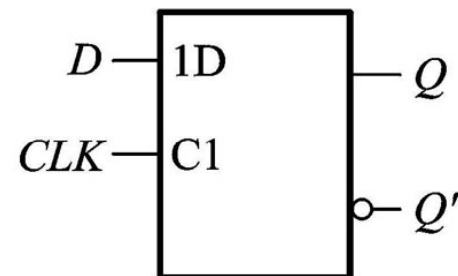
2) 特性表

Clk	D	Q*
1	0	0
1	1	1
0	x	Q

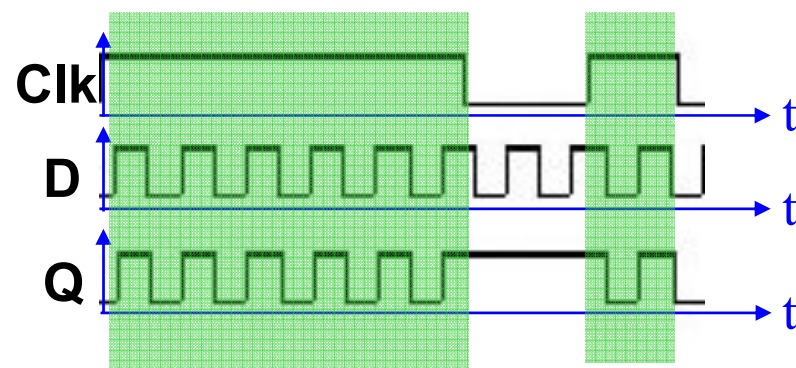
置0
置1
保持

$$Q^* = D$$

3) 逻辑符号

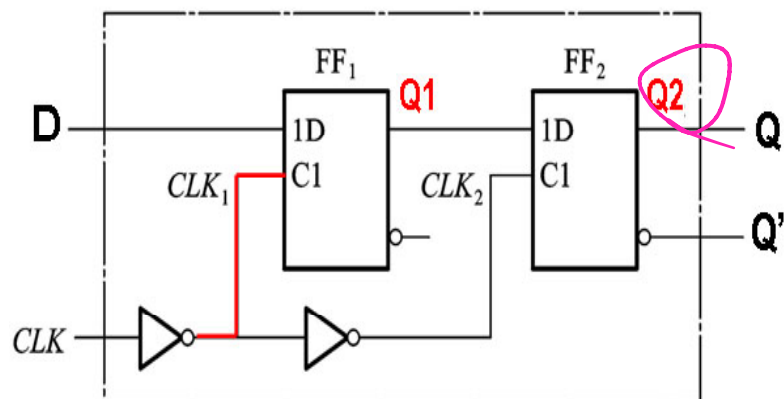


例3 已知钟控DFF的输入波形，求输出波形



5.3.2 边沿D触发器(边沿DFF)

1) 内部电路

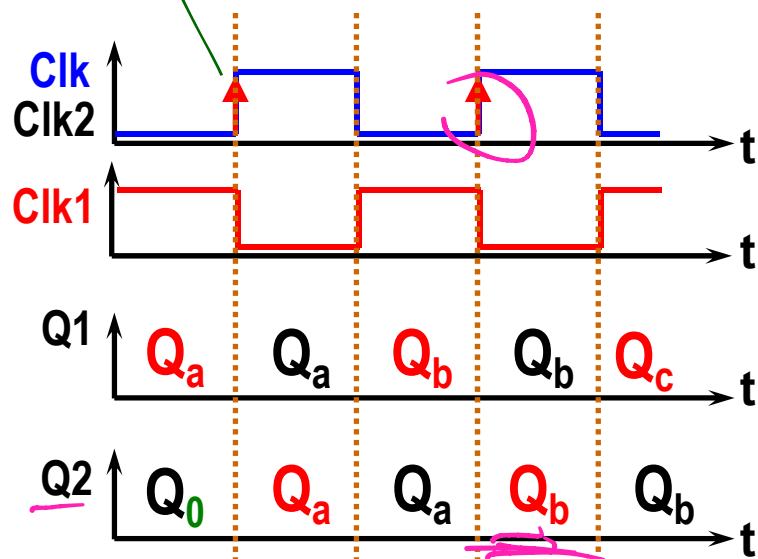


时序逻辑电路
内部结构方法I:
双钟控D触发器
构成边沿DFF

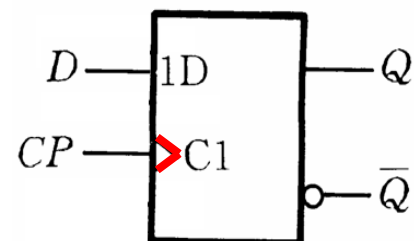
2) 特性表

Clk	D	Q*
↑	0	0
↑	1	1
0,1	X	Q

置0
置1
保持



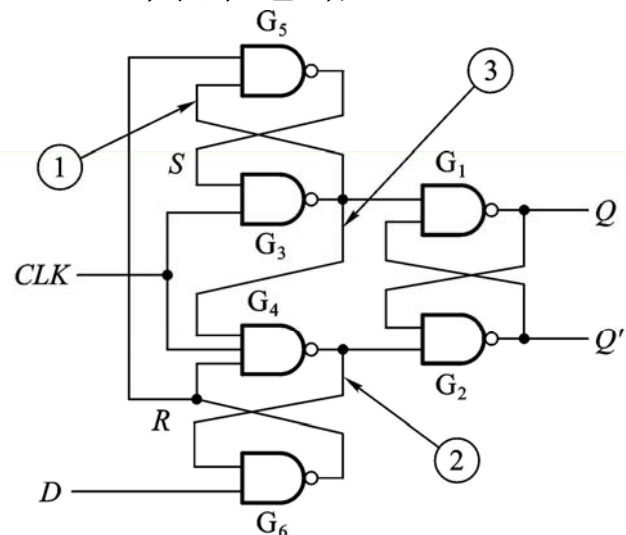
3) 逻辑符号



上升沿有效的
D触发器

5.3.2 边沿D触发器(边沿DFF)

1) 内部电路



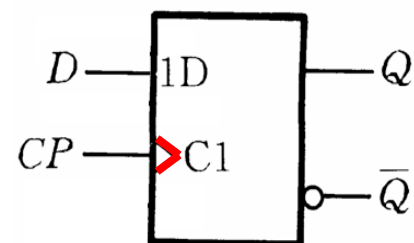
内部结构方法II:
维持阻塞型边缘DFF

2) 特性表

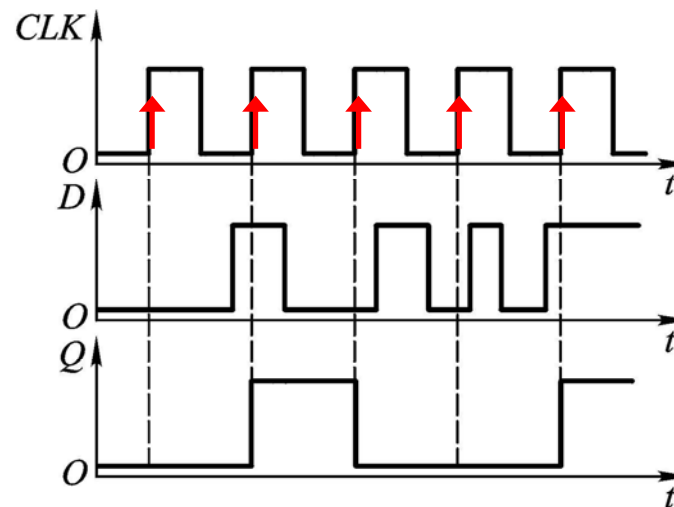
Clk	D	Q*
↑	0	0
↑	1	1
0,1	X	Q

置0
置1
保持

3) 逻辑符号



例4 已知边沿DFF的输入波形, 求输出波形

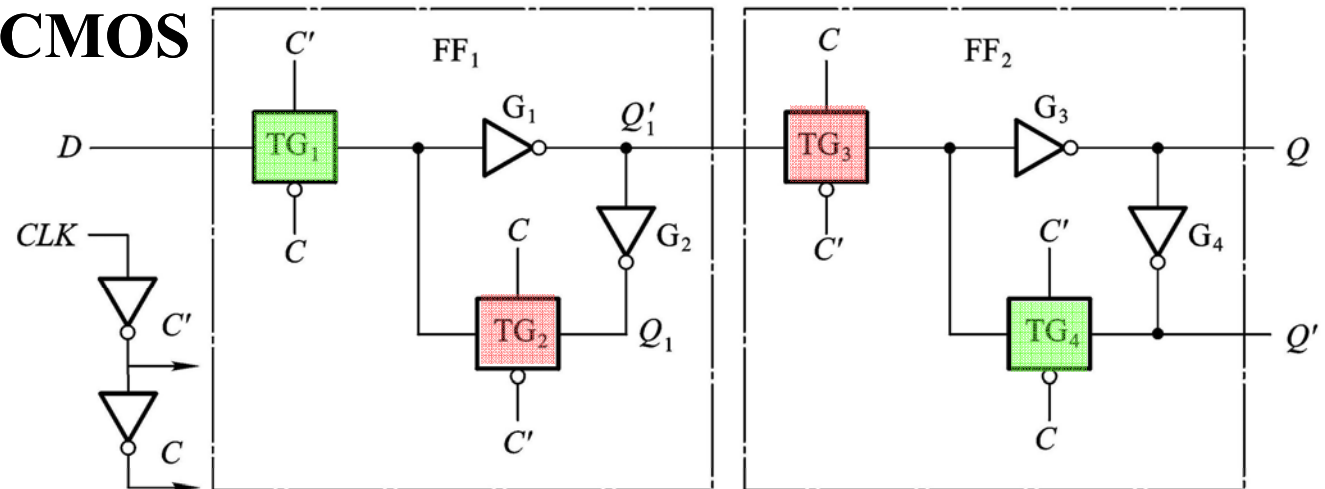


5.3.2 边沿D触发器(边沿DFF)

内部结构方法III：两个电平触发器构成的边缘触发DFF

• 电路结构：CMOS

Page250 ,5.13,5.15 ,
CMOS 边沿触发器



• 工作原理：

- (1) $CLK = 0$ 时, $\begin{cases} TG_1 \text{通}, TG_2 \text{断} \rightarrow Q_1 = D, Q_1 \text{随着} D \text{变化} \\ TG_3 \text{断}, TG_4 \text{通} \rightarrow Q \text{保持, 自锁} \end{cases}$
- (2) $CLK \uparrow$ 后, $\begin{cases} TG_1 \text{断}, TG_2 \text{通} \rightarrow \text{“主” 保持此前的状态} D \\ TG_3 \text{通}, TG_4 \text{断} \rightarrow Q = Q_1 \end{cases}$
- (3) $CLK \downarrow$ $\begin{cases} TG_1 \text{通}, TG_2 \text{断} \rightarrow Q_1 = D, \text{接收新的输入} \\ TG_3 \text{断}, TG_4 \text{通} \rightarrow Q \text{保持, 反馈通路接通} \end{cases}$
直到下个 $CLK \uparrow$ 后, 输出才能变化。

• 特性表

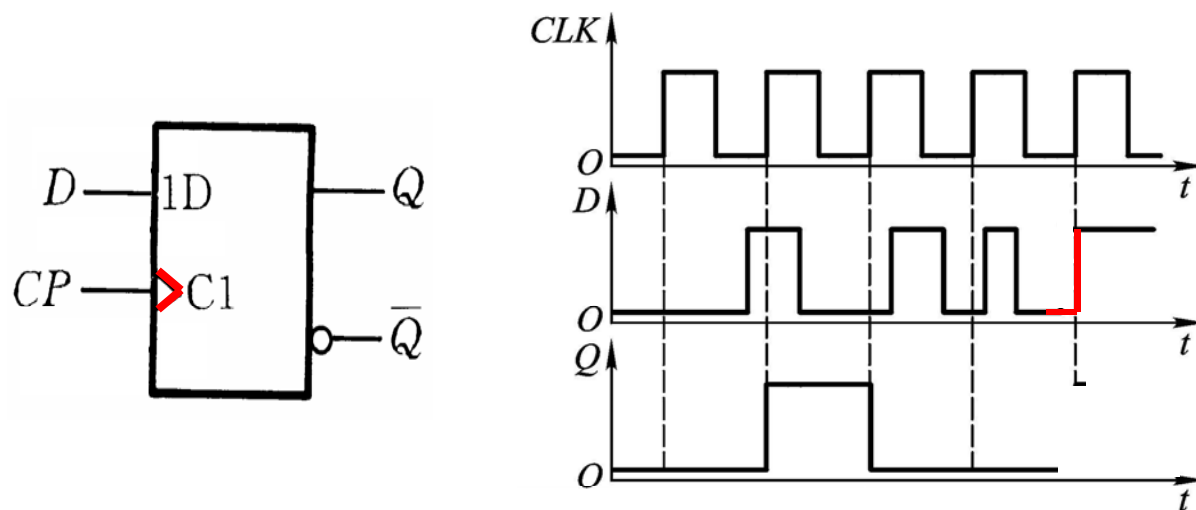
CLK	D	Q	Q^*
0,1	X	X	Q
\uparrow	0	X	0
\uparrow	1	X	1

5.3.2 边沿D触发器(边沿DFF)

触发器保存下来的状态是***CLK***作用沿到达时刻的输入状态。

特别注意：当 D 端信号和 CLK 作用沿同时跳变时，触发器存入的是 D 跳变前的状态。

例5 已知边沿DFF的输入波形, 求输出波形



作业

5.12 主从JKFF，带异步置数清零端

5.15 边沿JKFF，带异步置数清零端

5.13 边沿DFF

5.19 JK,SR,D边缘FF

5.20 边缘JKFF

5.21 边缘DFF