

第四章 组合逻辑电路

4.1 概述

4.2 组合逻辑电路的分析和设计方法

综合性组合逻辑电路
分析与设计



编码器, 译码器,
比较器, 选通器,
加法器



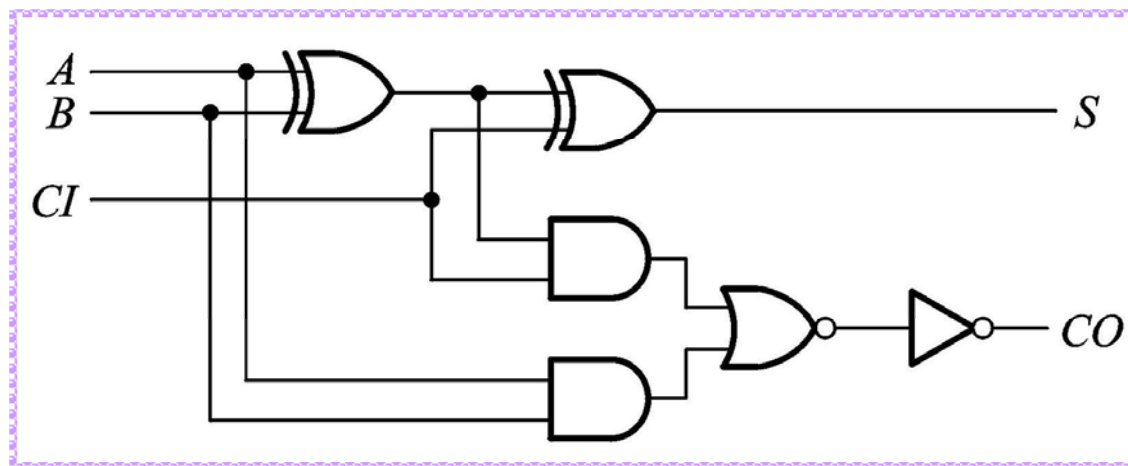
4.3 若干常用的组合逻辑电路

4.4 组合电路中的竞争与冒险



4.1 概述

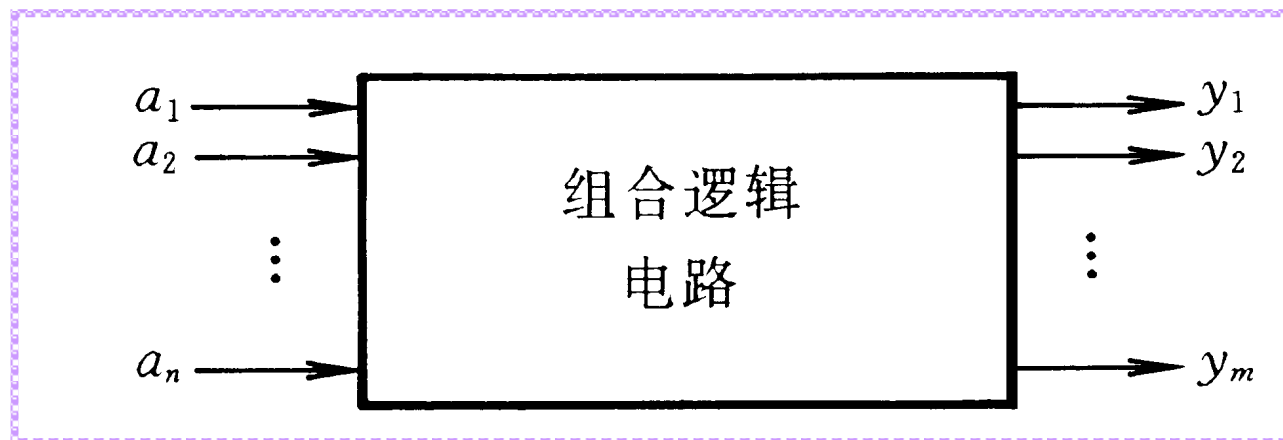
一、组合逻辑电路的特点



- 任意时刻的输出仅取决于该时刻的输入，与电路原来状态无关。
- 不含记忆（存储）元件；
- 输出无反馈到输入的回路；

输出是输入的
逻辑函数表达式

二、功能的描述



$$\begin{cases} y_1 = f_1(a_1 a_2 \cdots a_n) \\ y_2 = f_2(a_1 a_2 \cdots a_n) \\ \vdots \\ y_m = f_m(a_1 a_2 \cdots a_n) \end{cases}$$

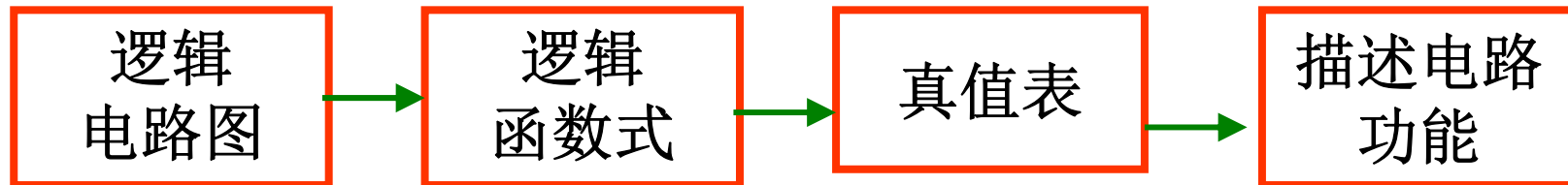
$$Y = F(A)$$

4.2 组合逻辑电路的分析和设计方法

一、组合逻辑电路的分析方法

分析已知逻辑电路功能

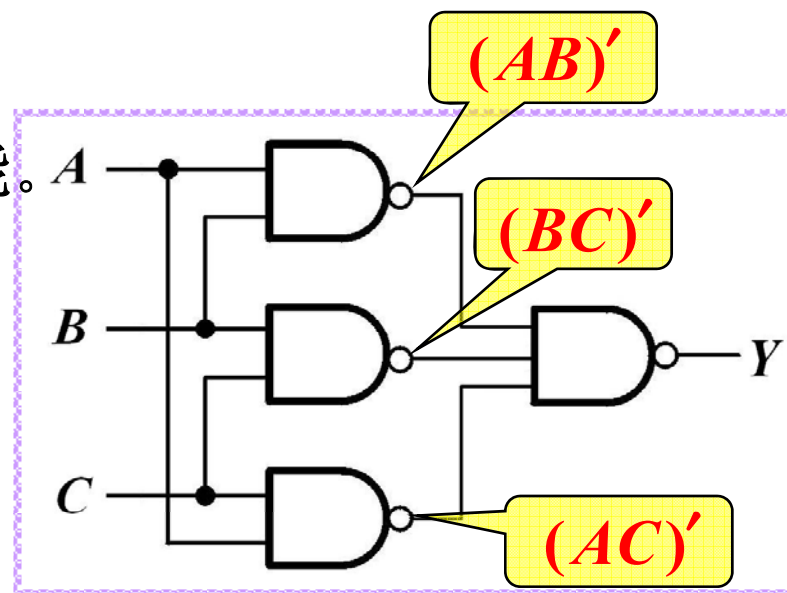
步骤:



例1：试分析右图所示逻辑电路的功能。

解：(1) 由电路图得逻辑表达式

$$Y = ((AB)' \cdot (BC)' \cdot (AC)')'$$
$$= AB + BC + AC$$



(2) 由逻辑表达式得真值表

(3) 功能分析：

输入变量多数为1，输出Y为1；

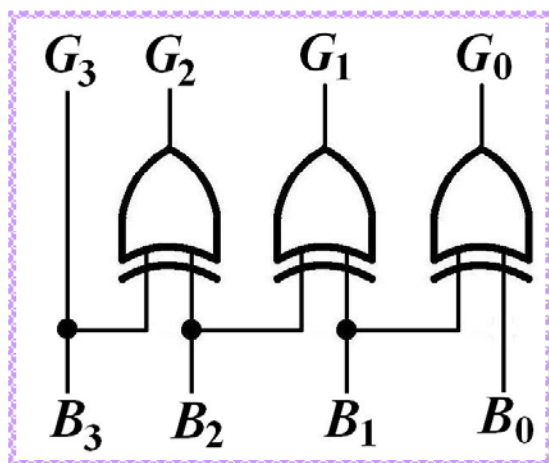
输入变量多数为0，输出Y为0。

因此该电路为少数服从多数电路，
称表决电路。

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

三人表决电路

例：试分析下图所示逻辑电路的功能。



解：(1) 由电路图得 表达式

$$\begin{cases} G_3 = B_3 \\ G_2 = B_3 \oplus B_2 \\ G_1 = B_2 \oplus B_1 \\ G_0 = B_1 \oplus B_0 \end{cases}$$

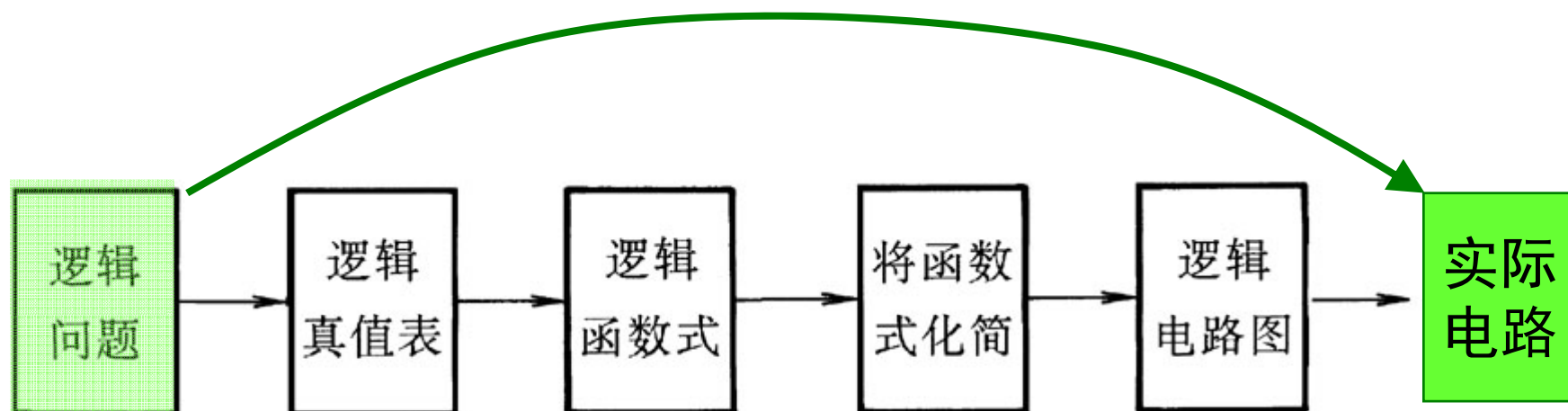
(2) 列出 真值表

(3) 分析功能

是自然二进制码至格雷码的转换电路。

自然二进制码				格雷码			
B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

二、组合逻辑电路的设计方法

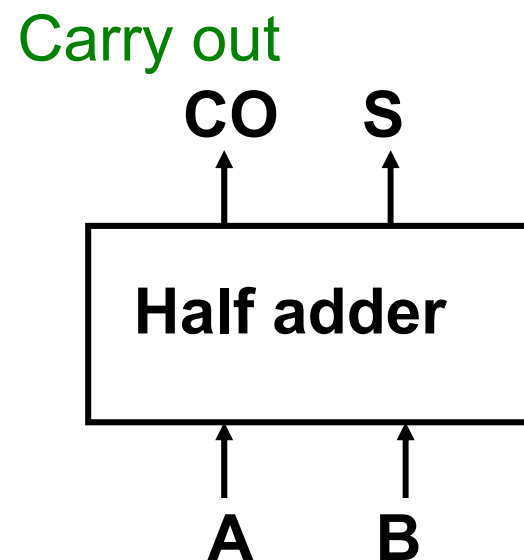


4.5 表决电路

4.6 水泵控制

例1：半加器的设计

分析：**两个输入** (加数与被加数)
两个输出 (“和”与”进位”)



解：(1) 半加器真值表

输入		输出	
<i>A</i>	<i>B</i>	<i>S</i>	<i>CO</i>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

(2) 输出函数



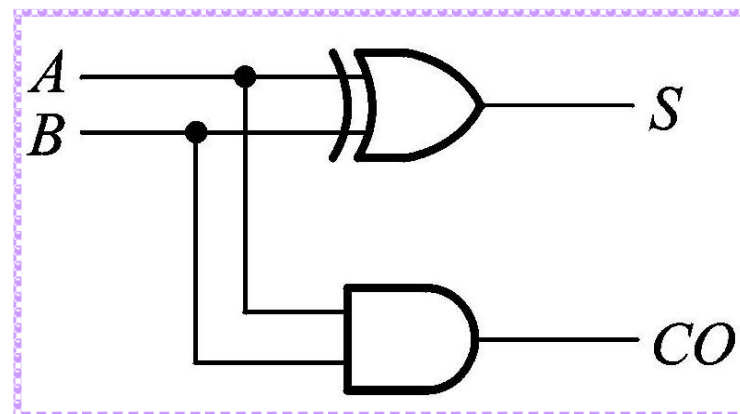
$$\begin{cases} S = A'B + AB' = A \oplus B \\ CO = AB \end{cases}$$

(2) 输出函数

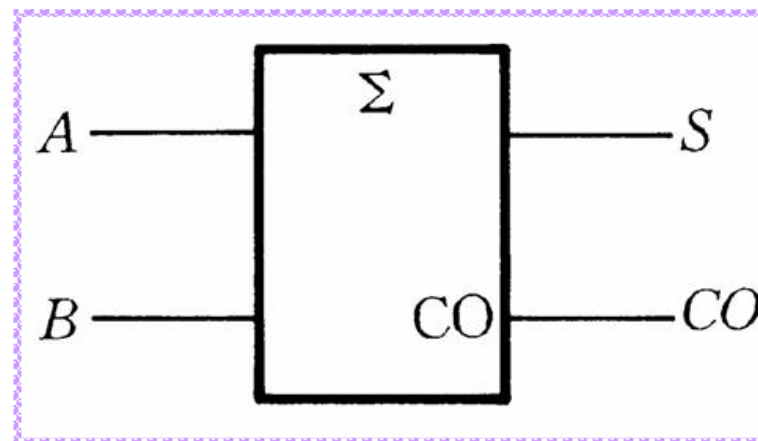
$$\begin{cases} S = A'B + AB' = A \oplus B \\ CO = AB \end{cases}$$

(3) 逻辑图

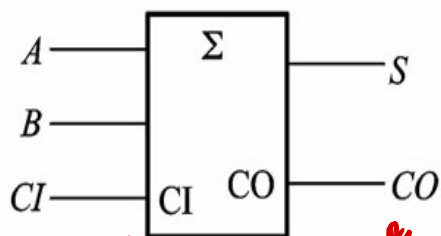
一个异或门和一个与门



(4) 逻辑符号



例2:设计1bit 全加器



A \ BC				
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

S

A \ BC				
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Co

1) 真值表

加数 →

ABCi	S	Co
000	0	0
001	1	0
010	1	0
011	0	1
100	1	0
101	0	1
110	0	1
111	1	1

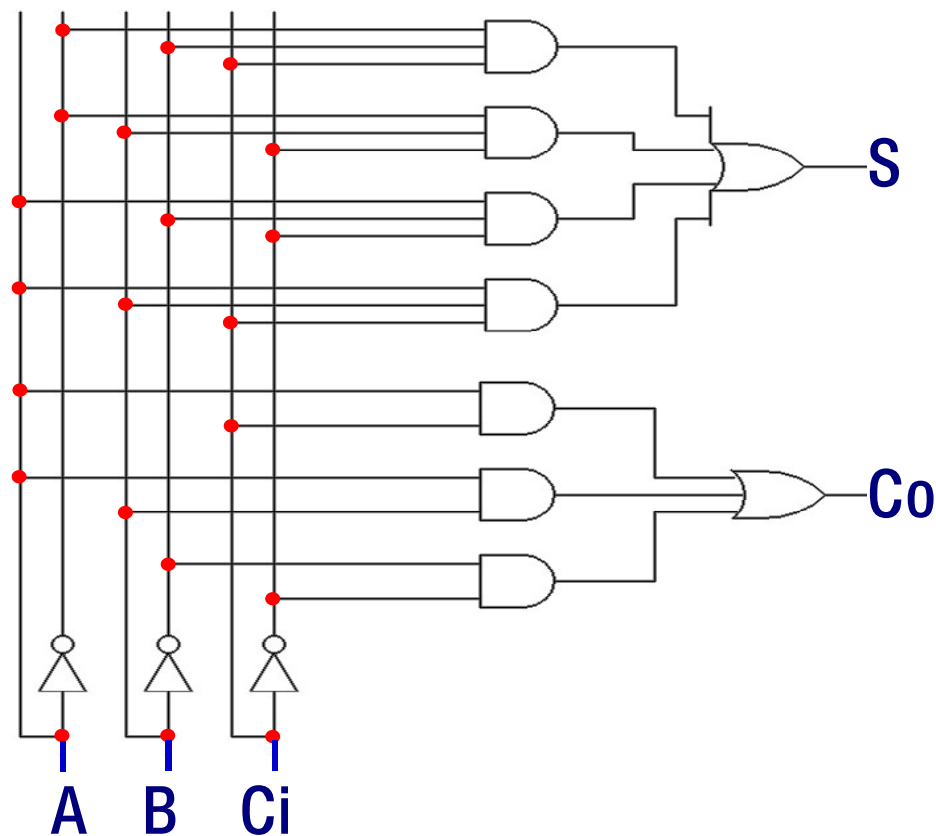
2) 画K图

3) 写最简逻辑式

4) 画逻辑电路图

$$S = A'B'C + A'BC' + AB'C' + ABC$$

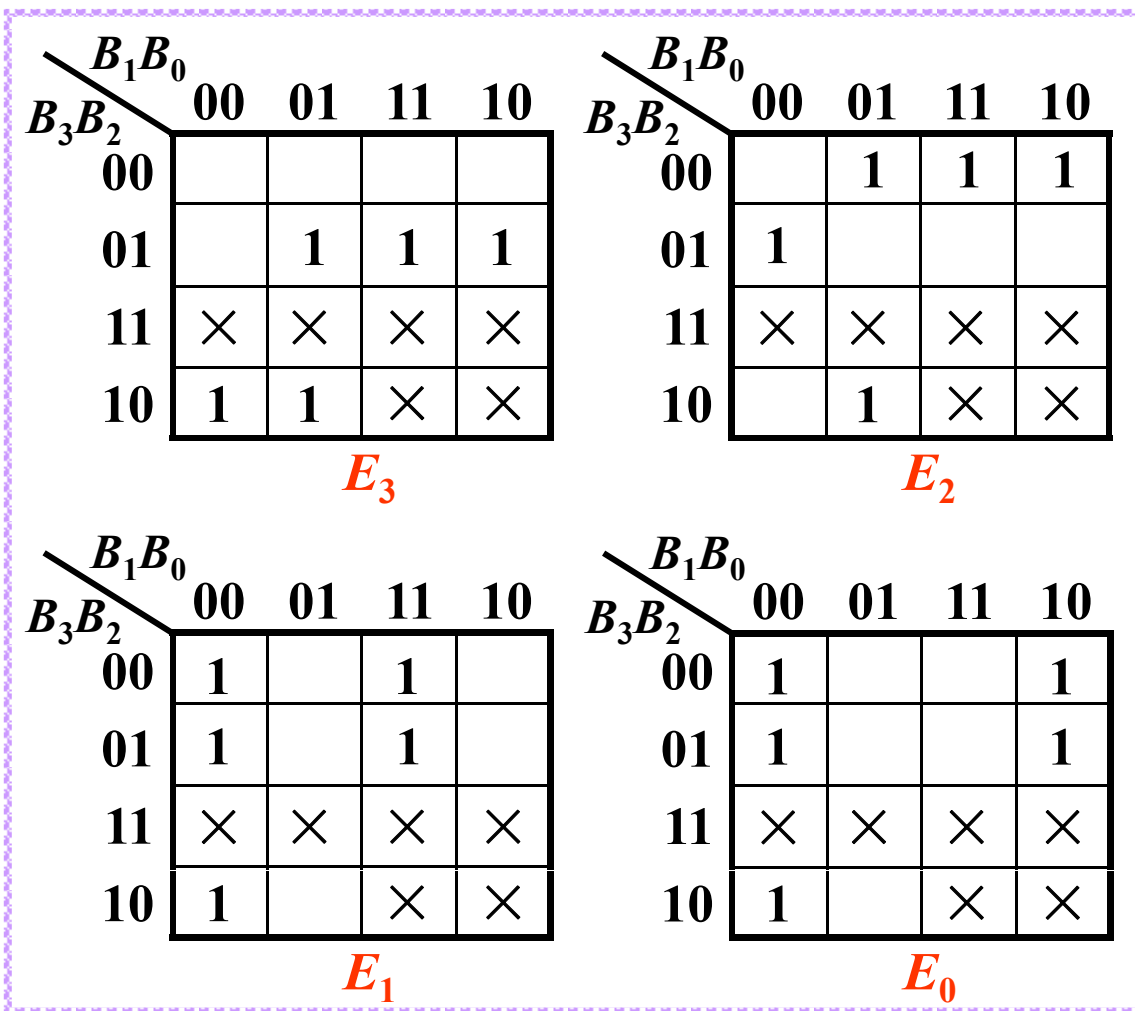
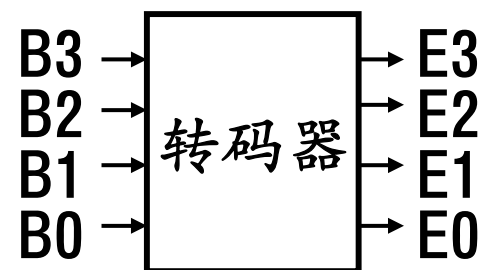
$$Co = AC + AB + BC$$



练习1 试将8421BCD码转换成余3码。

(1) 真值表

(2) 卡诺图



8421码 $+3$ 余3码

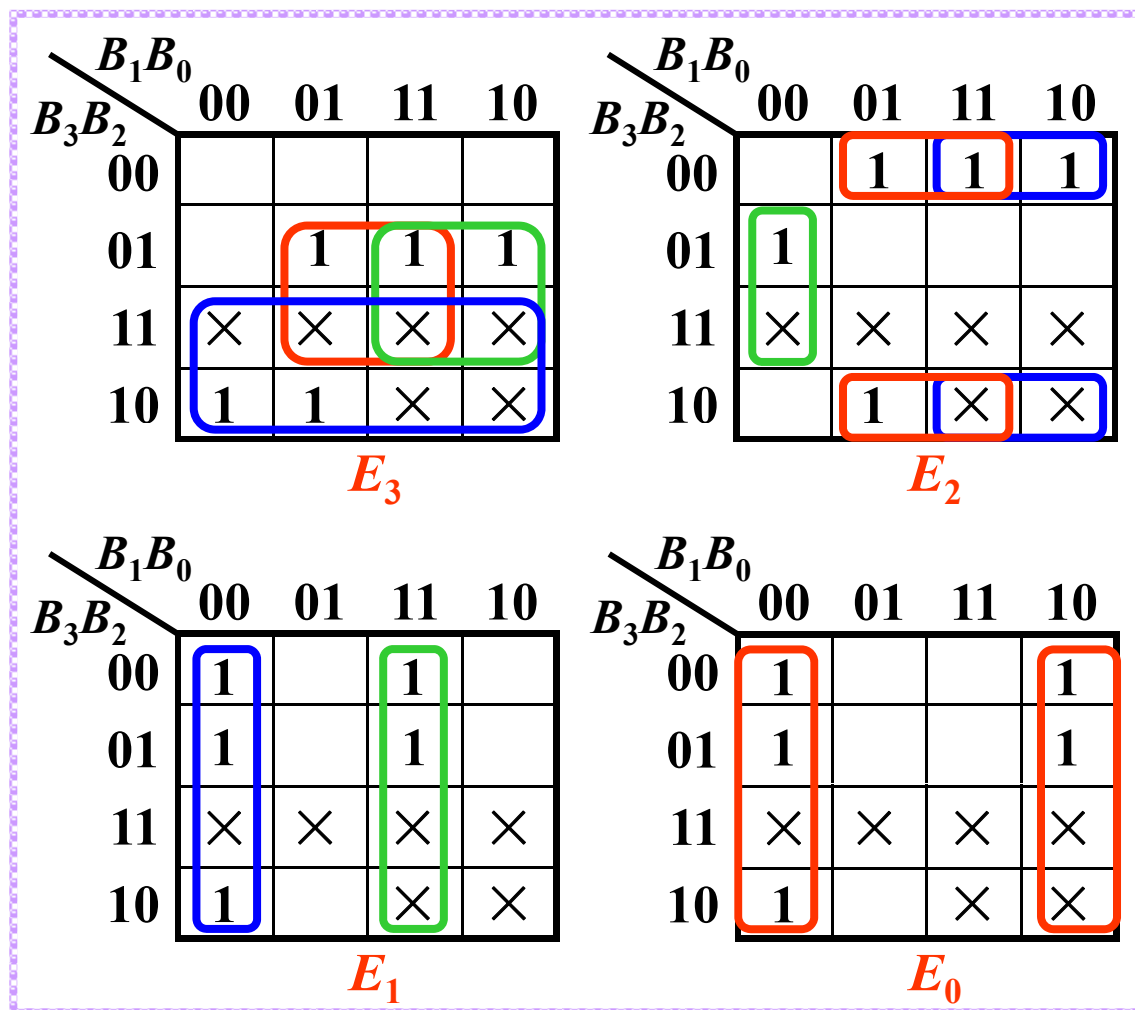
	B_3	B_2	B_1	B_0	E_3	E_2	E_1	E_0
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
10	1	0	1	0	×	×	×	×
11	1	0	1	1	×	×	×	×
12	1	1	0	0	×	×	×	×
13	1	1	0	1	×	×	×	×
14	1	1	1	0	×	×	×	×
15	1	1	1	1	×	×	×	×

(2) 卡诺图

圈东西还要练!

(3) 表达式

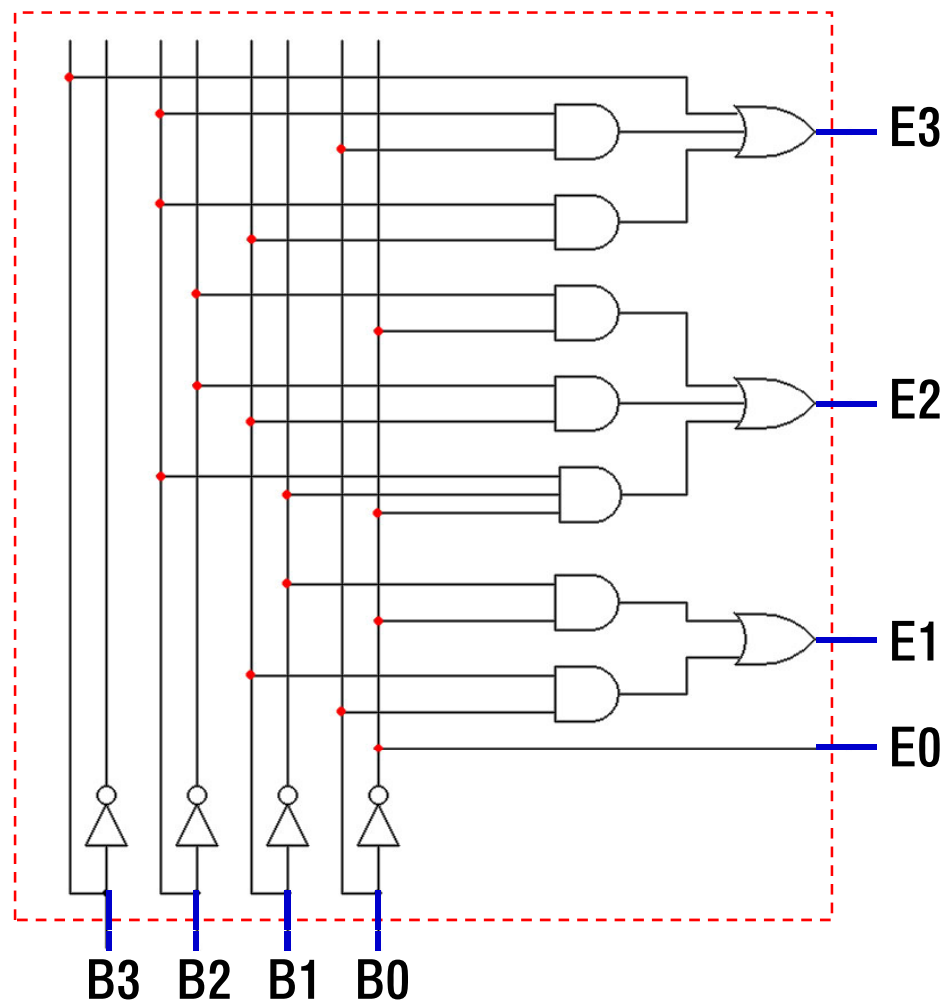
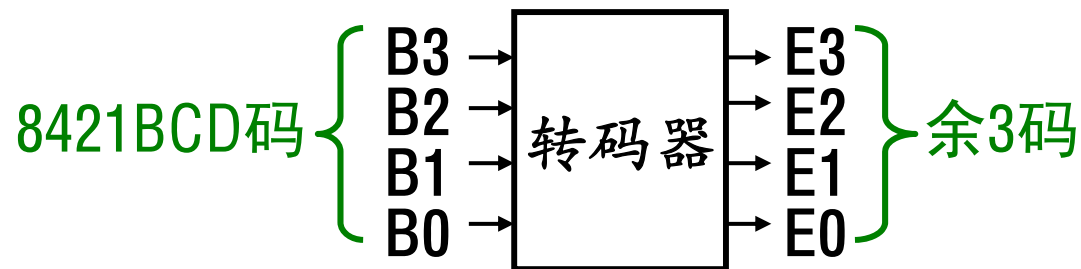
$$\begin{cases} E_3 = B_3 + B_2B_0 + B_2B_1 \\ E_2 = B_2'B_0 + B_2'B_1 + B_2B_1'B_0' \\ E_1 = B_1'B_0' + B_1B_0 \\ E_0 = B_0' \end{cases}$$



(3) 表达式

$$\begin{cases} E_3 = B_3 + B_2B_0 + B_2B_1 \\ E_2 = B_2'B_0' + B_2'B_1 + B_2B_1'B_0' \\ E_1 = B_1'B_0' + B_1B_0 \\ E_0 = B_0' \end{cases}$$

(4) 电路图

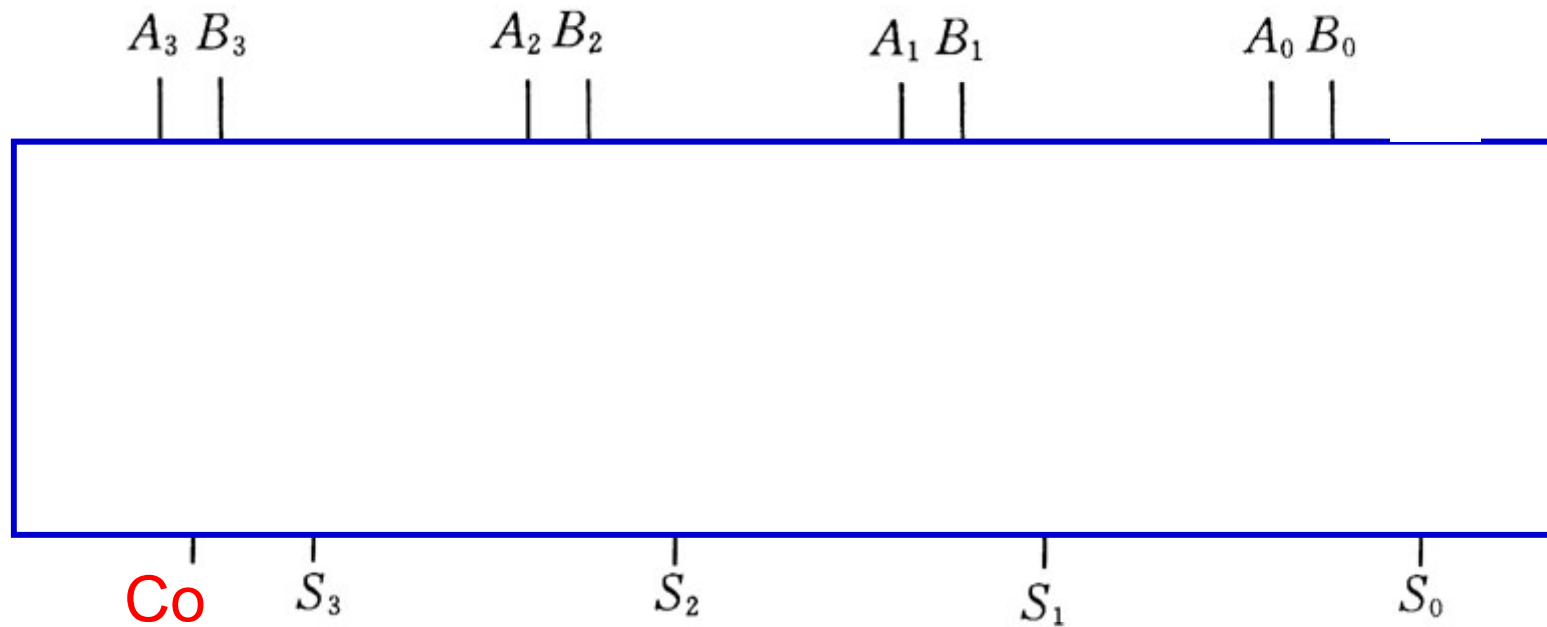


4.3 若干常用的组合逻辑电路

一、加法器

$$\begin{array}{r} A_3 A_2 A_1 A_0 \\ B_3 B_2 B_1 B_0 \\ \hline C_0 S_3 S_2 S_1 S_0 \end{array}$$

1. 串行进位加法器 (用全加器实现4位二进制数相加)



4.3 若干常用的组合逻辑电路

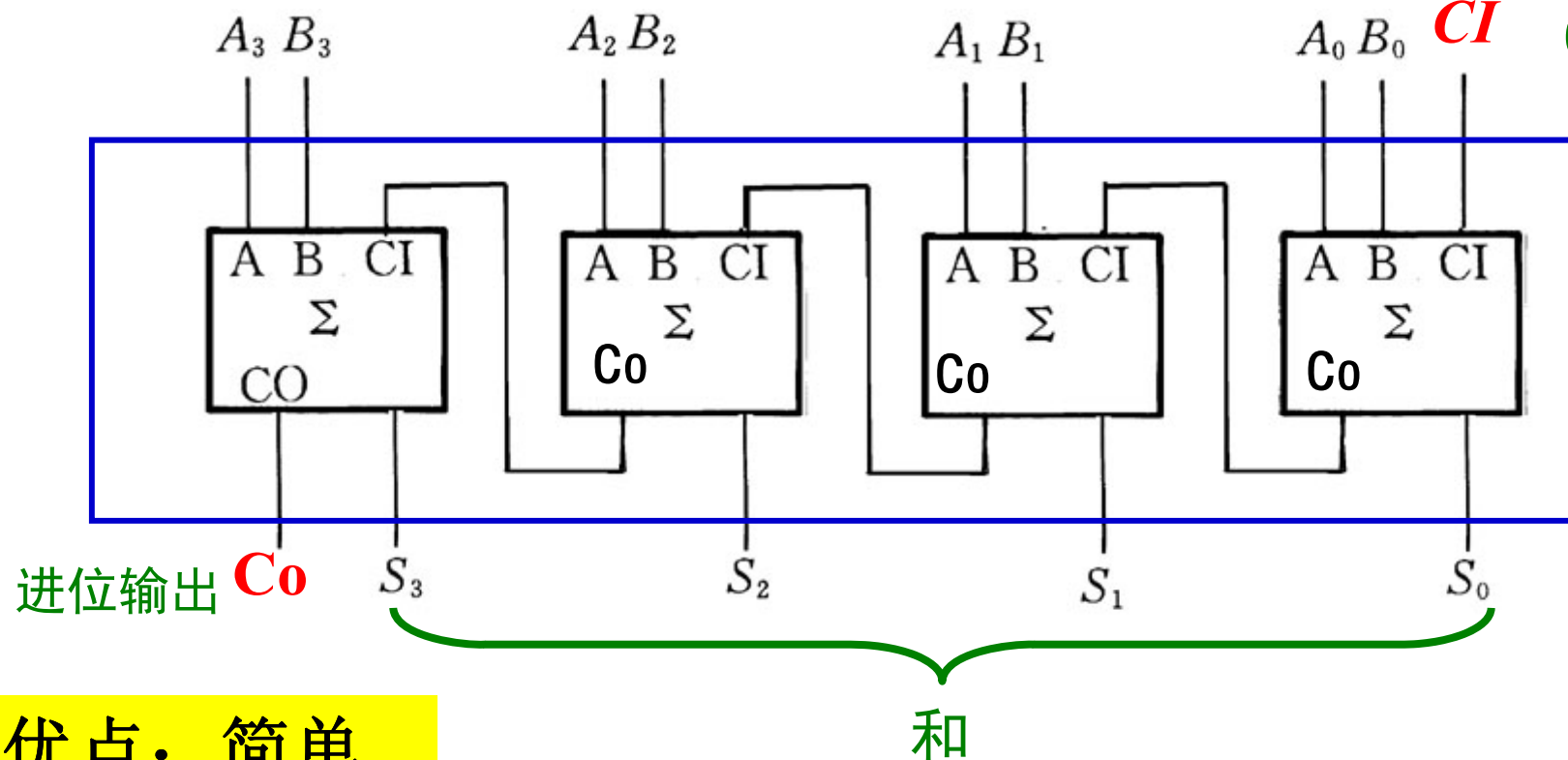
一、加法器

$$\begin{array}{r} A_3A_2A_1A_0 \\ B_3B_2B_1B_0 \\ \hline C_0S_3S_2S_1S_0 \end{array}$$

1. 串行进位加法器 (用全加器实现4位二进制数相加)

注意:

$CI=0$



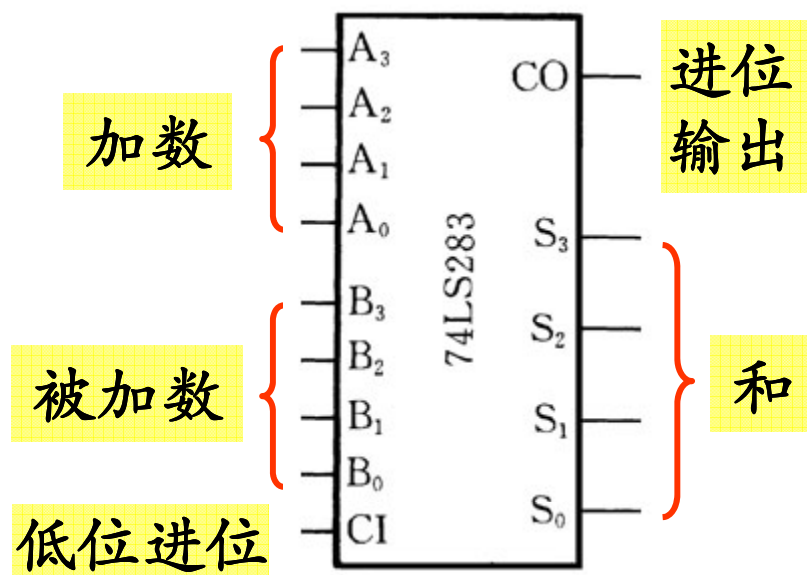
优点: 简单
缺点: 慢

4位串行进位加法器

2. 超前进位加法器

进位位直接由加数、被加数和最低进位位 C_i 形成。

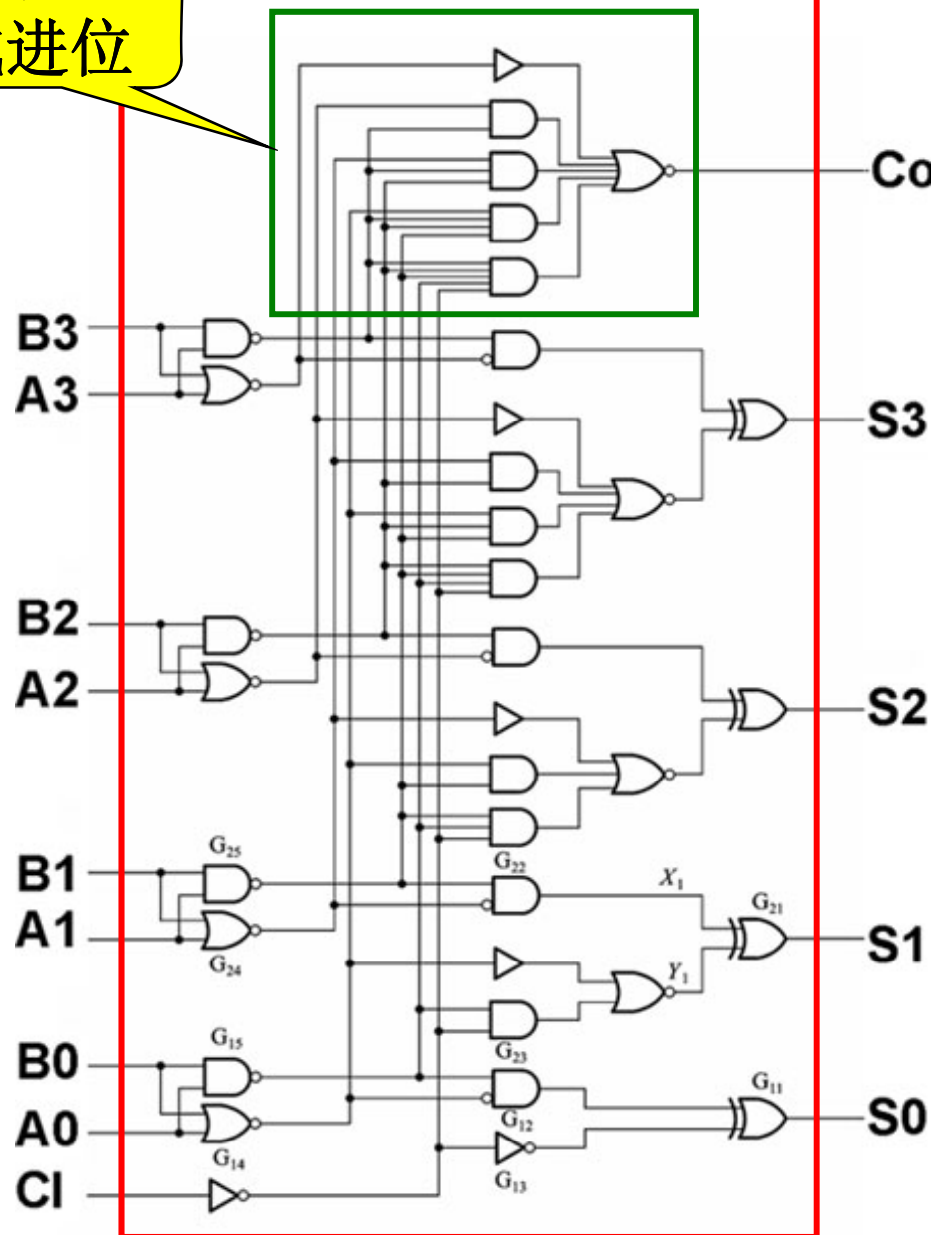
直接形成进位



4位超前进位加法器
74LS283

优点：快，每一位的**和**及最后的**进位**基本同时产生。

缺点：电路复杂

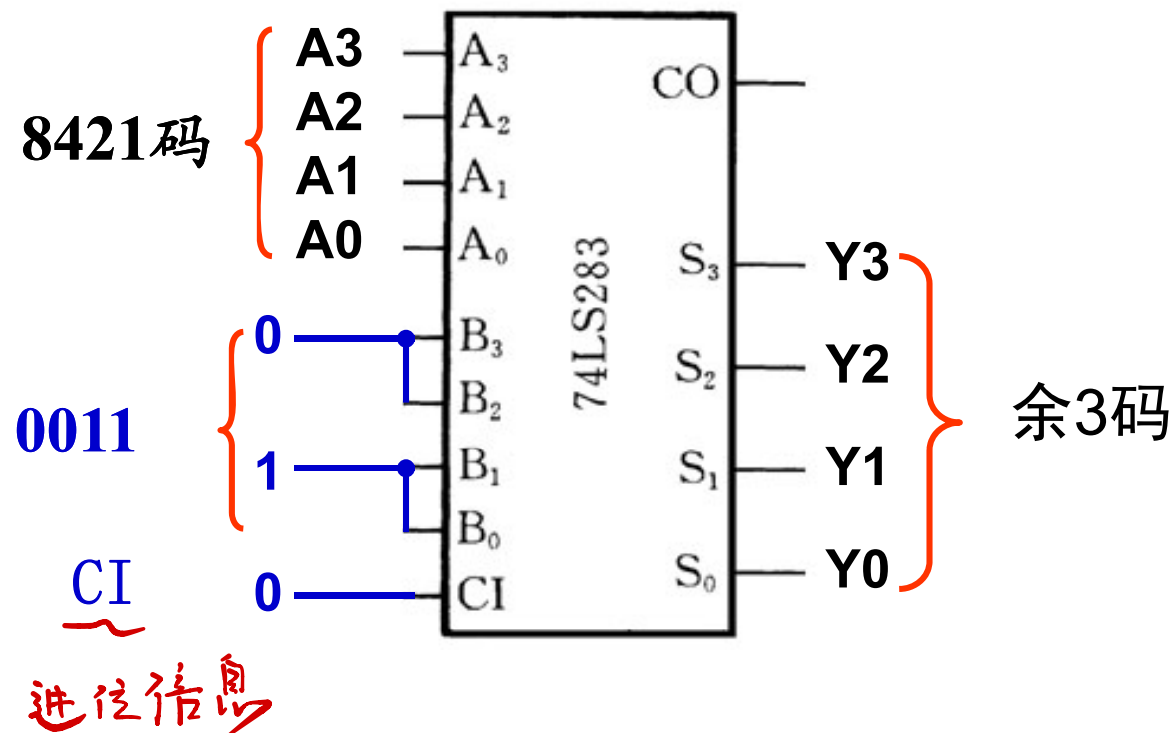


加法器的应用 可实现N位加法运算、代码转换、减法器、十进制加法。

例3：试用四位加法器实现8421BCD码至余3BCD码的转换。

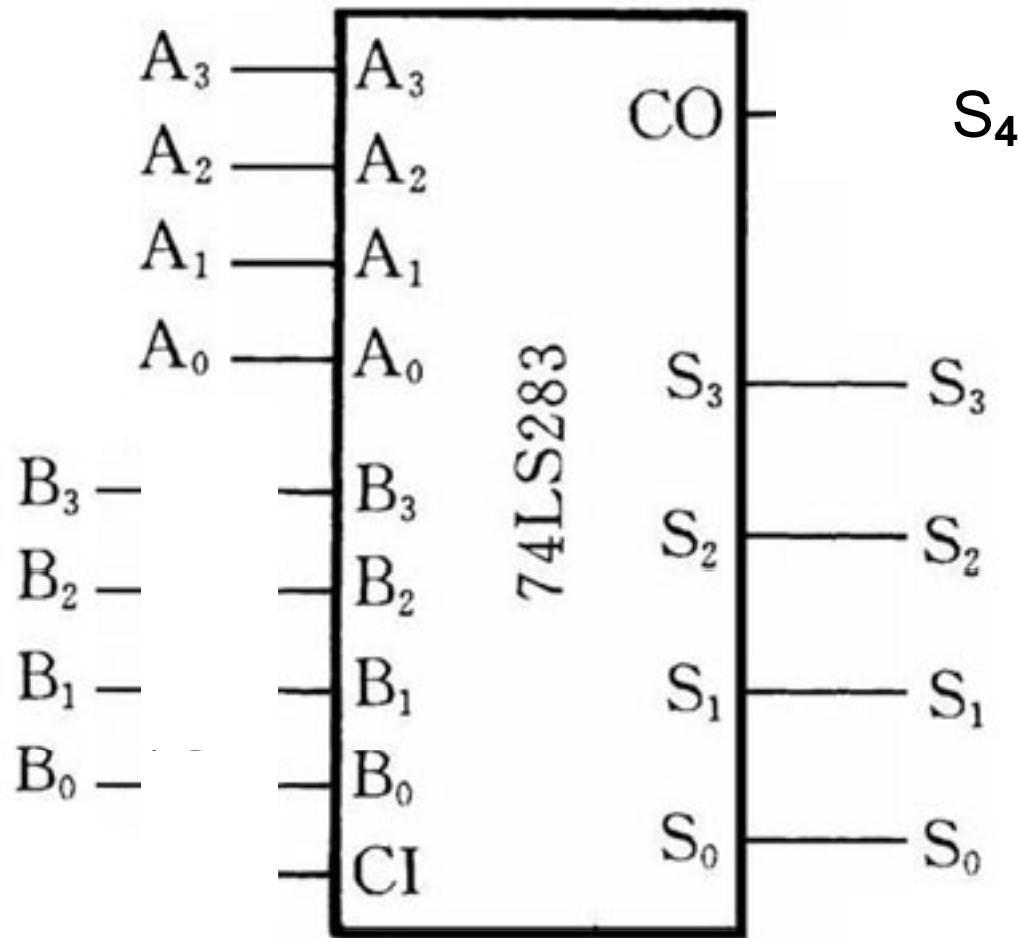
解：余3码比8421码多3，因此可用四位二进制加法器实现代码的转换。

$$Y_3Y_2Y_1Y_0 = A_3A_2A_1A_0 + 0011$$



例4：用74LS283设计四位减法器。

$$A - B = C \longrightarrow A + (-B) = C \longrightarrow A_{\text{补}} + (-B)_{\text{补}} = C_{\text{补}}$$



5位

$$\begin{array}{r}
 14 \xrightarrow{\text{补}} 0,1110 \\
 - 11 \xrightarrow{\text{补}} 1,0101 \\
 \hline
 3 \xrightarrow{\text{补}} (1)0,0011 \\
 \hline
 \end{array}$$

S₄S₃S₂S₁S₀

$$\begin{array}{r}
 2 \xrightarrow{\text{补}} 0,0010 \\
 - 11 \xrightarrow{\text{补}} 1,0101 \\
 \hline
 - 9 \xrightarrow{\text{补}} (1)1,0111 \\
 \hline
 \end{array}$$

练习2(4.25) 用74LS283实现加法和减法, M=0时, 加法; M=1时, 减法

$(B_{\text{反}}+1)$

$$\begin{array}{r} A_3 A_2 A_1 A_0 \\ + B_3 B_2 B_1 B_0 \\ \hline \end{array}$$

Sign $S_3 S_2 S_1 S_0$

M=0时

补码

$$\begin{array}{r} A_3 A_2 A_1 A_0 \\ - B_3 B_2 B_1 B_0 \\ \hline \end{array}$$

Sign $S_3 S_2 S_1 S_0$

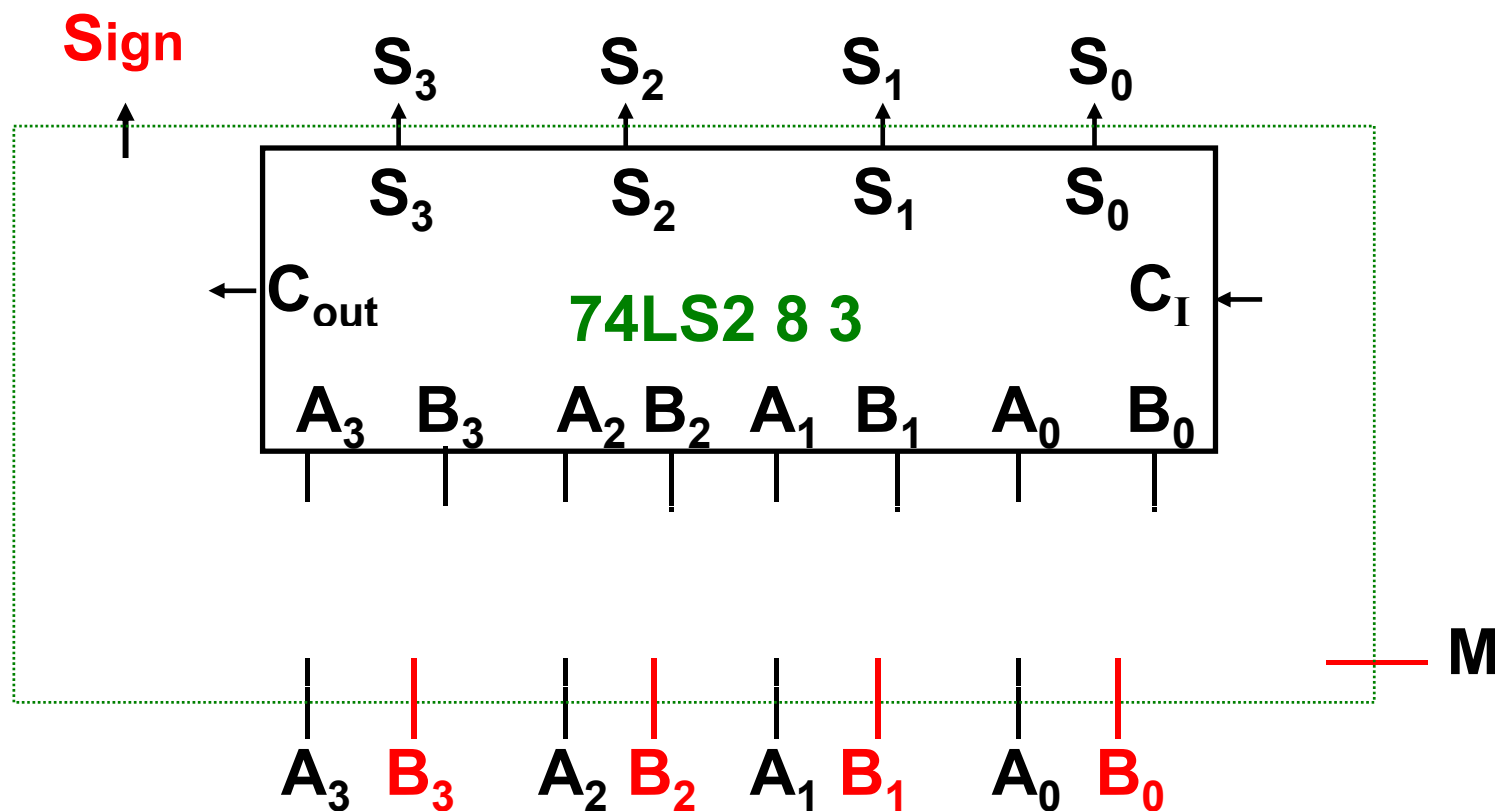
M=1时

0, $A_3 A_2 A_1 A_0$

1, $b_3 b_2 b_1 b_0$

Sign $S_3 S_2 S_1 S_0$

M=1时



(B_反+1)

1, b₃ b₂ b₁ b₀

C_{out}

S_{ign} **S₃** **S₂** **S₁** **S₀**

12 $\xrightarrow{\text{补}}$ 0, 1100

- 3 $\xrightarrow{\text{补}}$ 1,1101

9 ^补 → 0,1001

3 $\xrightarrow{\text{補}}$ 0,0011

- 12 $\xrightarrow{\text{補}}$ 1,0100

$-9 \xrightarrow{\text{补}} 1,0111$

实际看见

希望看见

Sign

S₃

S₂

S₁

S₀

S₃

S₂

S.

S₀

74LS283

C_I

A₃

B₃

A

B₂

A₁

B₁

A

A₃

B₃

A₂

B₂

A₁

$$A_0$$
 B_0

M

减法 (B_反+1)

0, A₃ A₂ A₁ A₀

1, b₃ b₂ b₁ b₀

C_{out}

S_{ign} S₃ S₂ S₁ S₀

12 补 → 0,1100

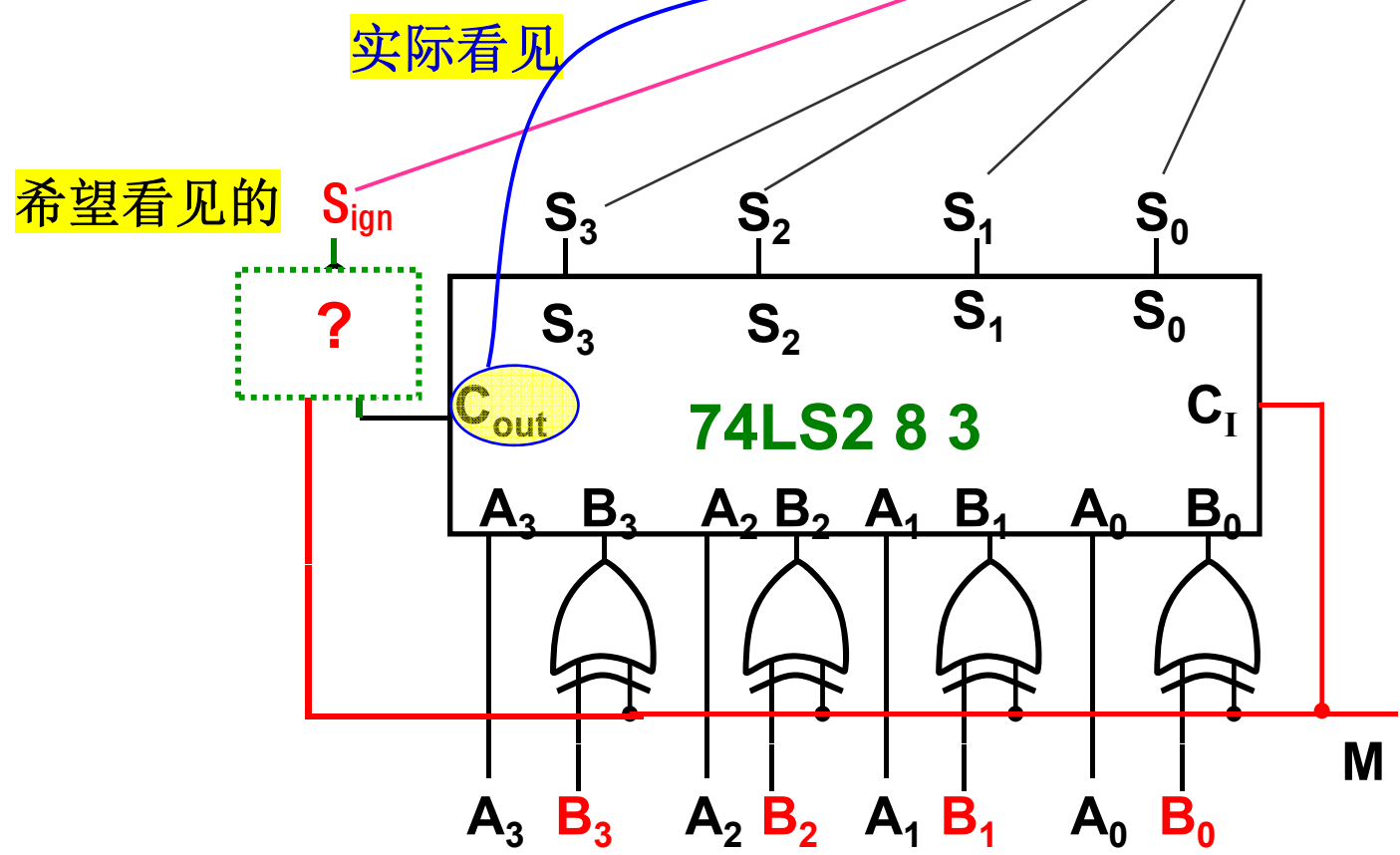
- 3 补 → 1,1101

9 补 → 0,1001

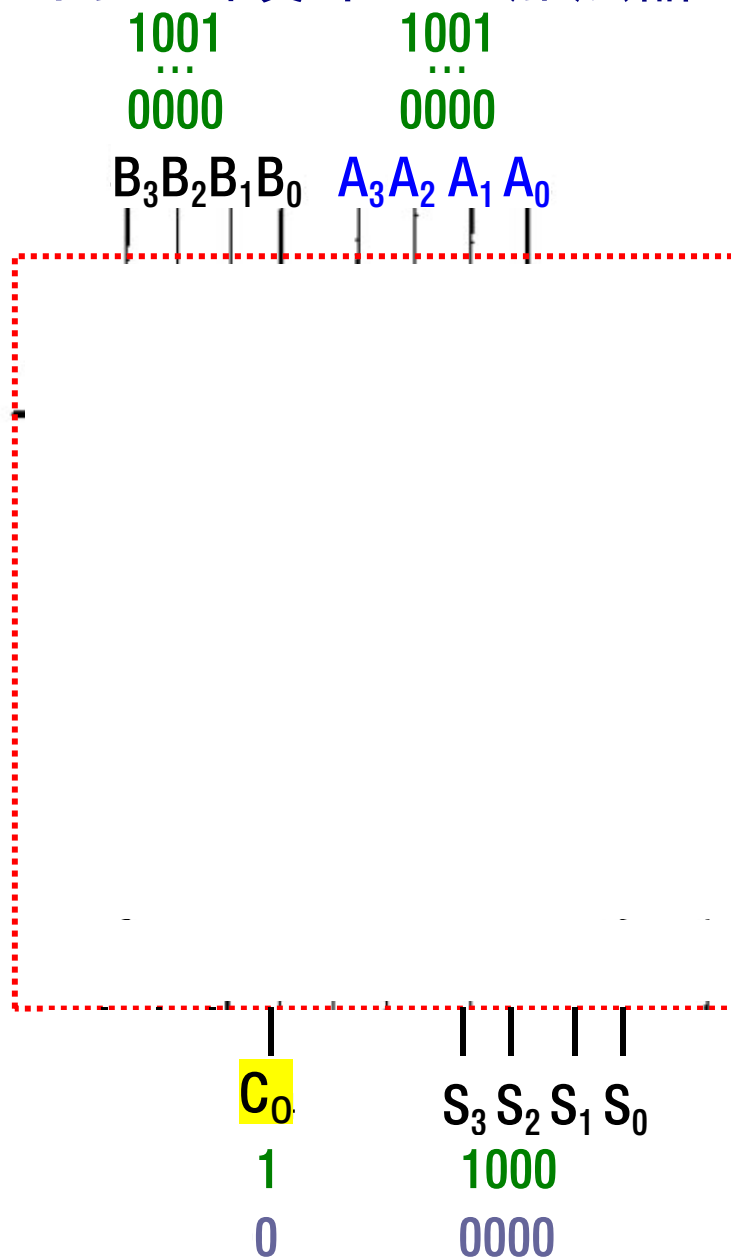
3 补 → 0,0011

- 12 补 → 1,0100

9 补 → 1,0111

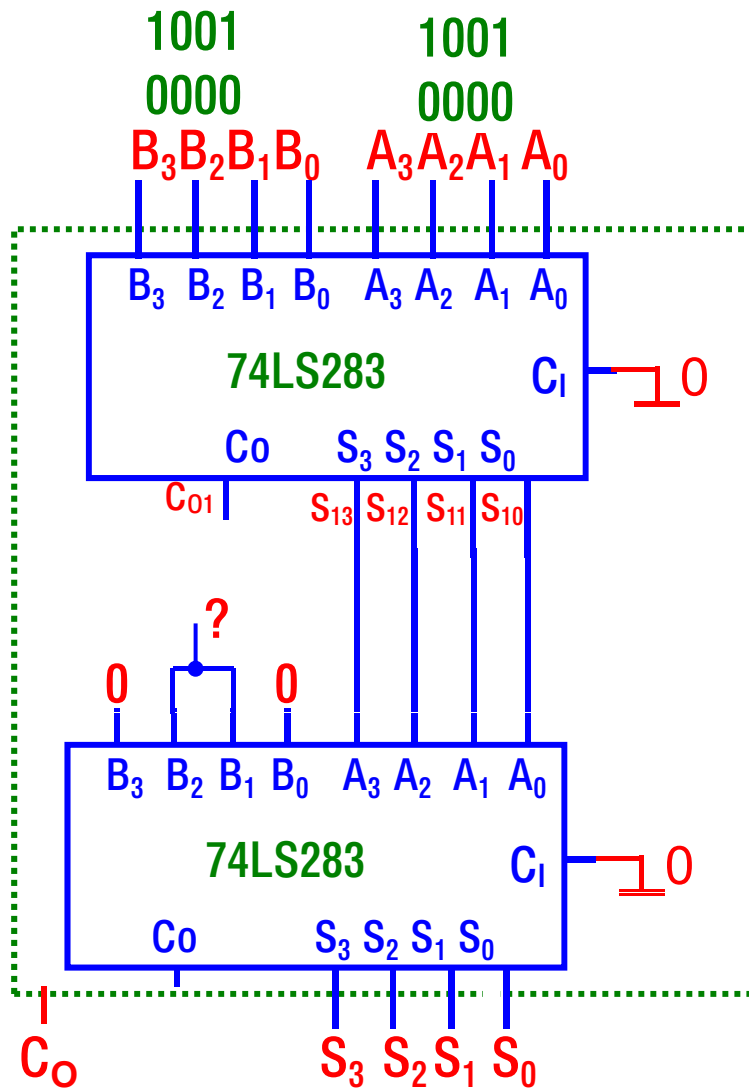


4.27 用两个74LS283和 门电路设计BCD加法器



两数之和	二进制结果	期望的BCD结果	
		C_0	$S_3S_2S_1S_0$
0		0	0000
1		0	0001
2		0	0010
3		0	0011
4		0	0100
5		0	0101
6		0	0110
7		0	0111
8		0	1000
9		0	1001
10		1	0000
11		1	0001
12		1	0010
13		1	0011
14		1	0100
15		1	0101
16		1	0110
17		1	0111
18		1	1000

4.27用两个74LS283和门电路设计BCD加法器



$$C_0 = C_{01} + S_{13}S_{12} + S_{13}S_{11}$$

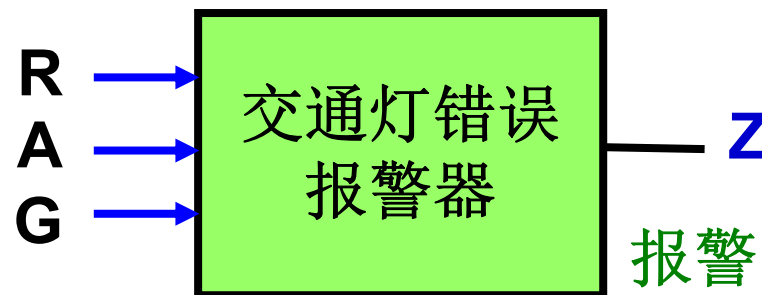
两数之和	二进制结果				期望的BCD结果			
	C ₀₁	S ₁₃	S ₁₂	S ₁₁ S ₁₀	C ₀	S ₃	S ₂	S ₁ S ₀
0	0	0	0	0000	0	0	0	0000
1	0	0	0	0001	0	0	0	0001
2	0	0	0	0010	0	0	0	0010
3	0	0	0	0011	0	0	0	0011
4	0	0	0	0100	0	0	1	0100
5	0	0	0	0101	0	0	1	0101
6	0	0	0	0110	0	0	1	0110
7	0	0	0	0111	0	0	1	0111
8	0	0	1	0000	0	1	0	1000
9	0	0	1	0001	0	1	0	1001
10	0	1	0	1010	1	0	0	0000
11	0	1	0	1011	1	0	0	0001
12	0	1	1	0000	1	0	0	0010
13	0	1	1	0001	1	0	0	0011
14	0	1	1	0010	1	0	1	0100
15	0	1	1	0011	1	0	1	0101
16	1	0	0	0000	1	0	1	0110
17	1	0	0	0001	1	0	1	0111
18	1	0	0	1000	1	1	0	1000

例5 用基本逻辑门设计一个交通灯错误报警器。

R	A	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

R \ AG	AG			
	00	01	11	10
0	1	0	1	0
1	0	1	1	1

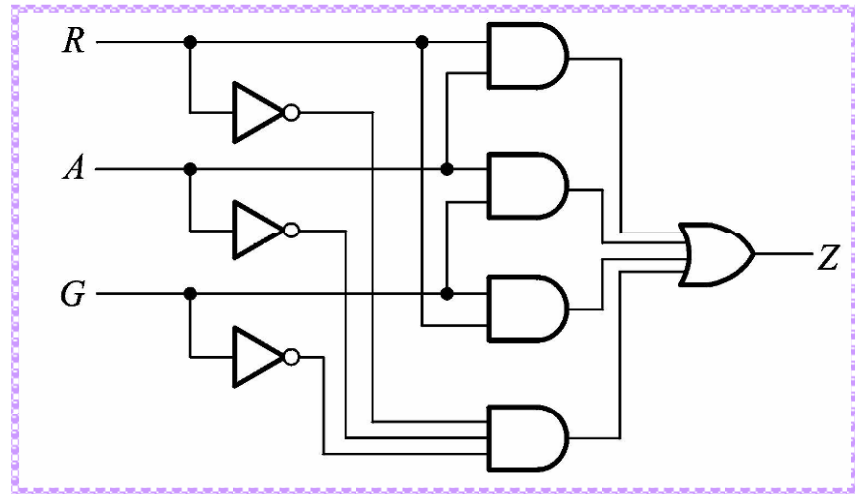
最简与或式 $Z = R'A'G' + AG + RG + RA$



(4) 逻辑电路图

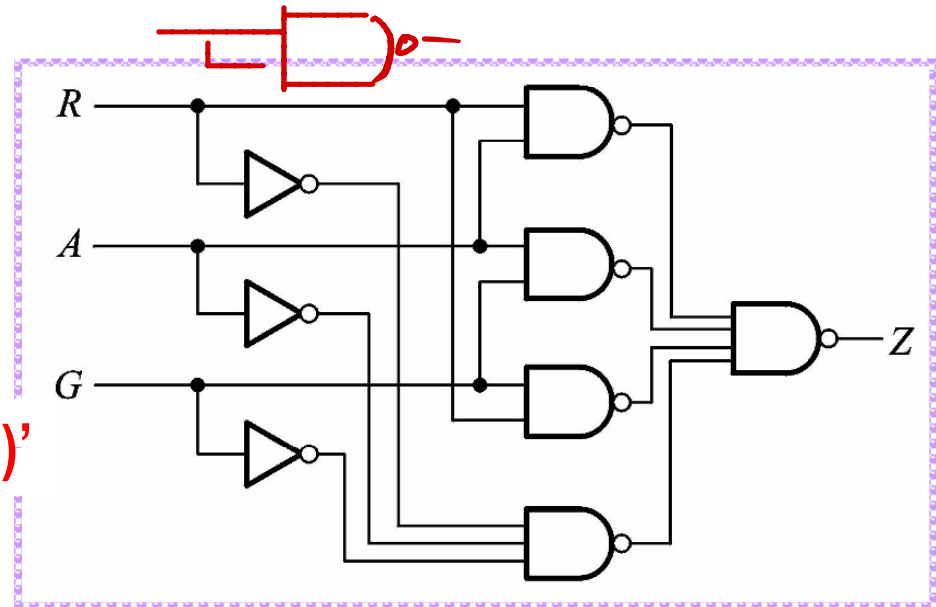
$$Z = R'A'G' + RA + RG + AG$$

与门，或门实现 



● 若要求用与非门实现 

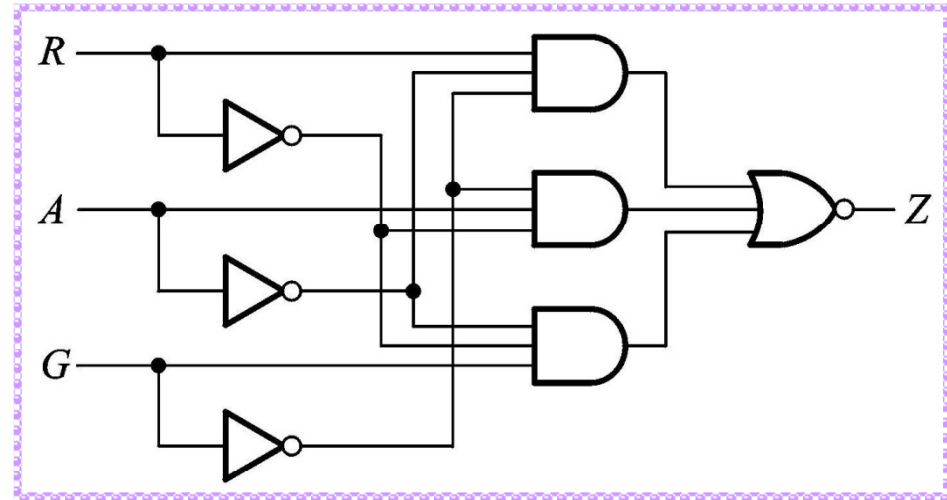
$$Z = (Z')' = ((R'A'G')' \cdot (RA)' \cdot (RG)' \cdot (AG)')'$$



- 若要求用与或非门实现

AG		00	01	11	10
R	0	1	0	1	0
	1	0	1	1	1

$$Z = (RA'G' + R'A'G + R'AG')'$$



练习4 已知 $Y(A,B,C)=\sum m(1,3,6,7)$, 1) 要求用最少的与非门实现逻辑电路
2) 要求用最少的或非门实现逻辑电路

注：可以用非门

A \ BC				
	00	01	11	10
0	0	1	1	0
1	0	0	1	1

Y

(1) 最简与或式

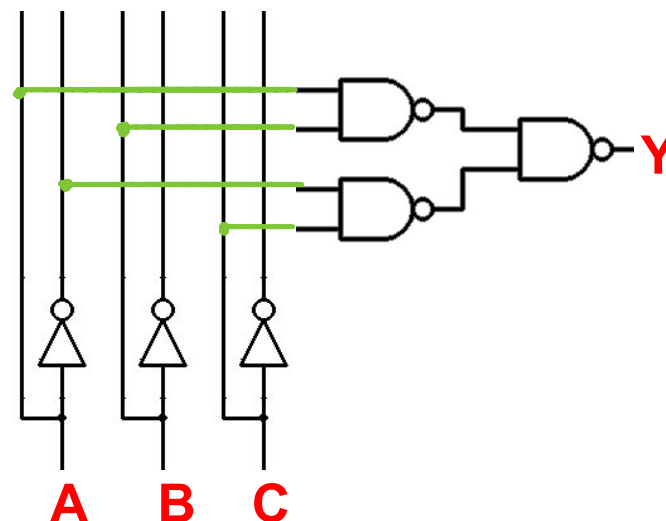
$$Y = AB + A'C$$



(2) 最简与非与非式

$$Y = ((AB + A'C)')'$$

$$= ((AB)' (A'C)')'$$



A \ BC				
	00	01	11	10
0	0	1	1	0
1	0	0	1	1

Y

(3) 最简或与式

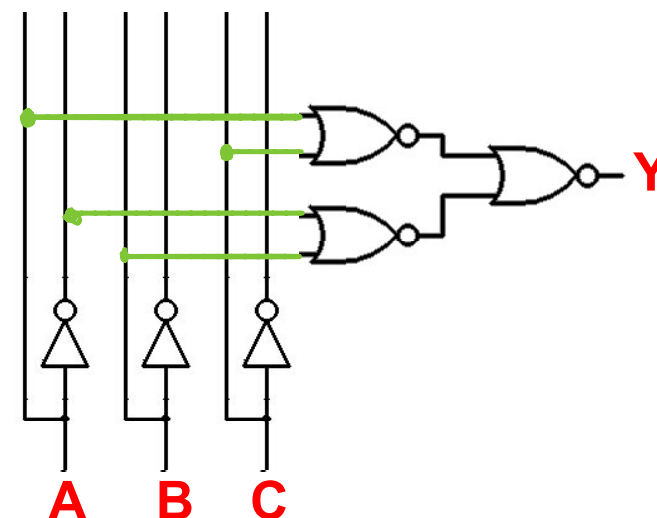
$$Y = (A + C)(A' + B)$$



(4) 最简或非或非式

$$Y = (((A + C)(A' + B))')$$

$$= ((A + C)' + (A' + B)')$$



作业

- 4.1 电路图→ 分析功能
- 4.5 逻辑问题→设计电路（表决电路）
- 4.6 逻辑问题→设计电路（水泵控制）
- 4.25 用74LS283设计可控加减法器
- 4.26 用74LS283将余3码转换成8421BCD码
- 4.27 用74LS283设计BCD码十进制加法器