

第四章 组合逻辑电路

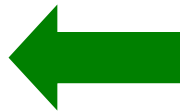
4.1 概述

4.2 组合逻辑电路的分析和设计方法

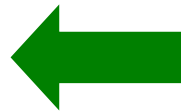
4.3 若干常用的组合逻辑电路

4.4 组合电路中的竞争与冒险

综合性组合逻辑电路
分析与设计



编码器, 译码器,
比较器, 选通器,
加法器

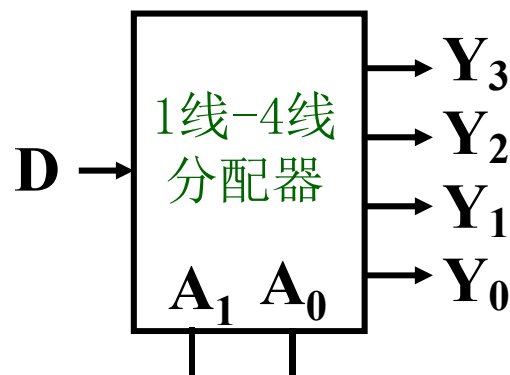


4.3.6 数据选通器

例1 设计1线—4线分配器，功能如下。

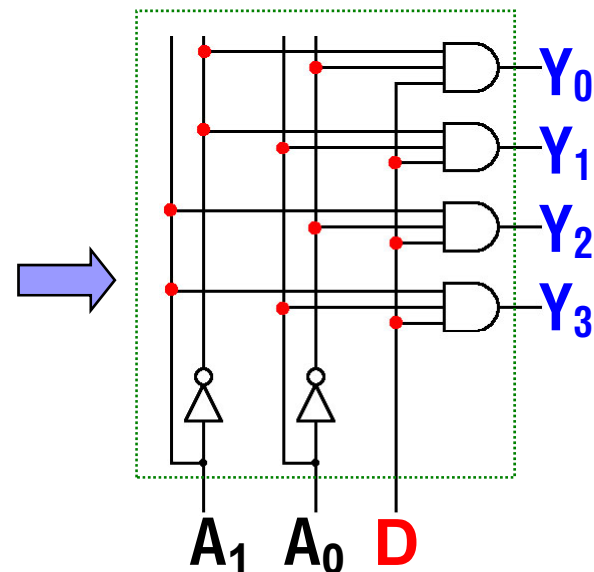
方法I: 用基本逻辑门实现

1) 功能表



A_1A_0	Y_3	Y_2	Y_1	Y_0
0 0	0	0	0	D
0 1	0	0	D	0
1 0	0	D	0	0
1 1	D	0	0	0

3) 电路图



2) 观察功能表，直接写函数

$$Y_0 = A_1' A_0' D$$

0 0

$$Y_1 = A_1' A_0 D$$

0 1

$$Y_2 = A_1 A_0' D$$

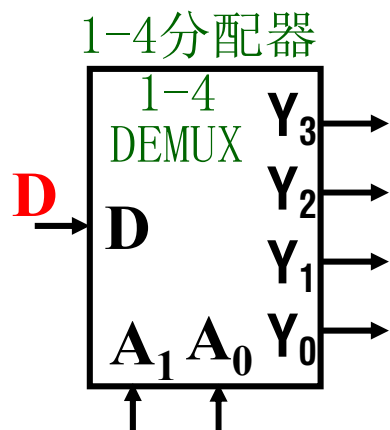
1 0

$$Y_3 = A_1 A_0 D$$

1 1

例1 设计1线—4线分配器，功能如下。

方法II: 用译码器实现



分配器功能表

$A_1 A_0$	Y_3	Y_2	Y_1	Y_0
0 0	0	0	0	D
0 1	0	0	D	0
1 0	0	D	0	0
1 1	D	0	0	0

2) 1-4分配器逻辑函数

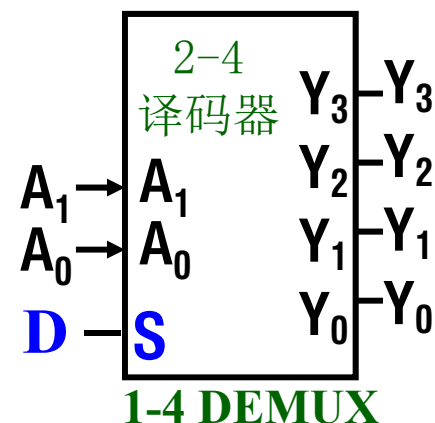
$$Y_0 = A_1' A_0' D = m_0 D$$

$$Y_1 = A_1' A_0 D = m_1 D$$

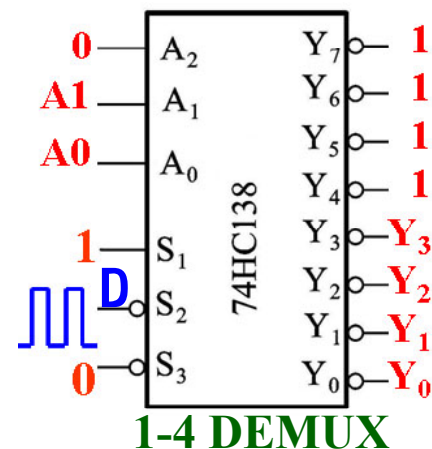
$$Y_2 = A_1 A_0' D = m_2 D$$

$$Y_3 = A_1 A_0 D = m_3 D$$

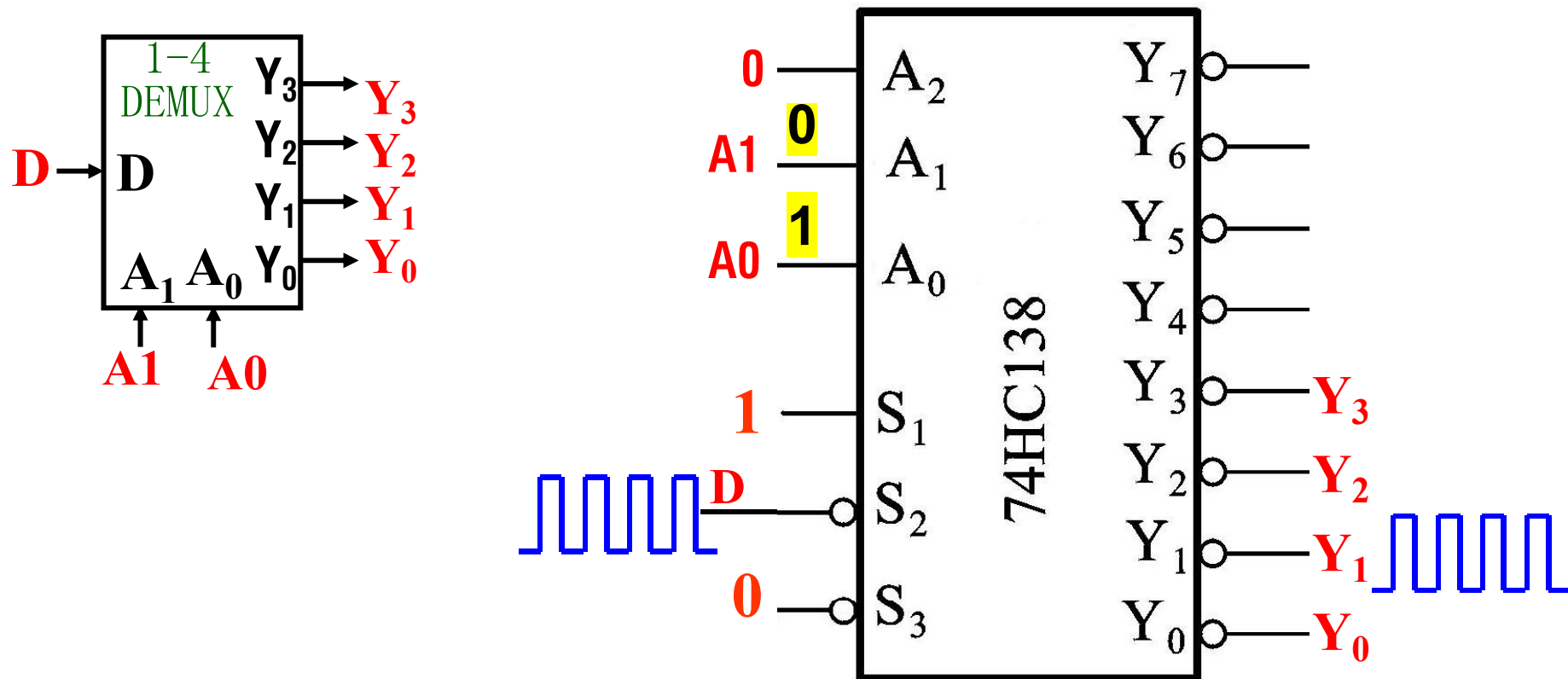
3) 对比2-4比译码器用2-4译码器实现



4) 用3-8译码器实现



练习1 用3-8译码器74138构成1-4数据分配器



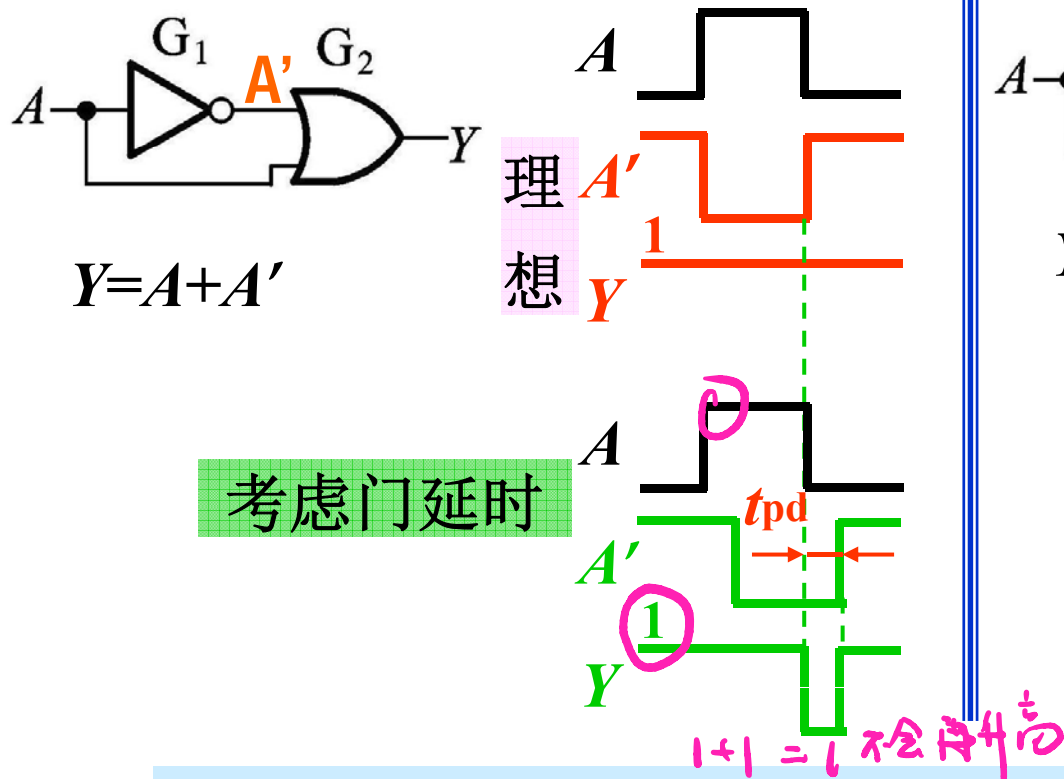
4.3.7 组合电路中的竞争—冒险

Competition and hazard

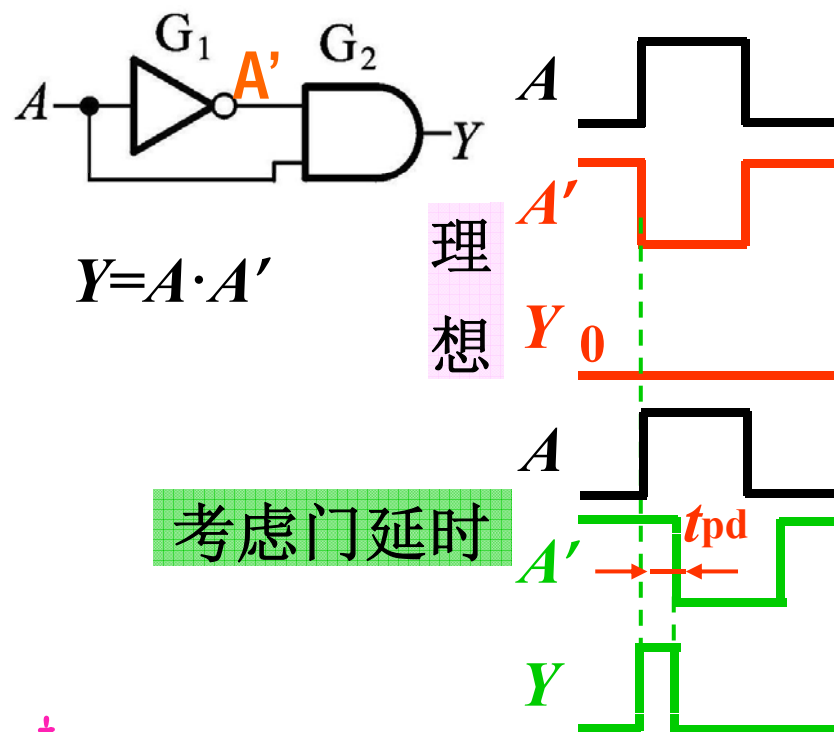
4.3.7.1 竞争—冒险现象及成因

4.3.7.1 竞争—冒险现象及成因

✓ 负尖峰脉冲冒险举例



✓ 正尖峰脉冲冒险举例



可见，在组合逻辑电路中，当一个门电路（如 G_2 ）输入两个向相反方向变化的信号时，则在输出端可能会产生尖峰干扰脉冲。

4.3.7.1 竞争—冒险现象及成因

理想状态 { 连线 and 门无延时
 { 输入信号的变化无过渡过程

1. 什么是“竞争”

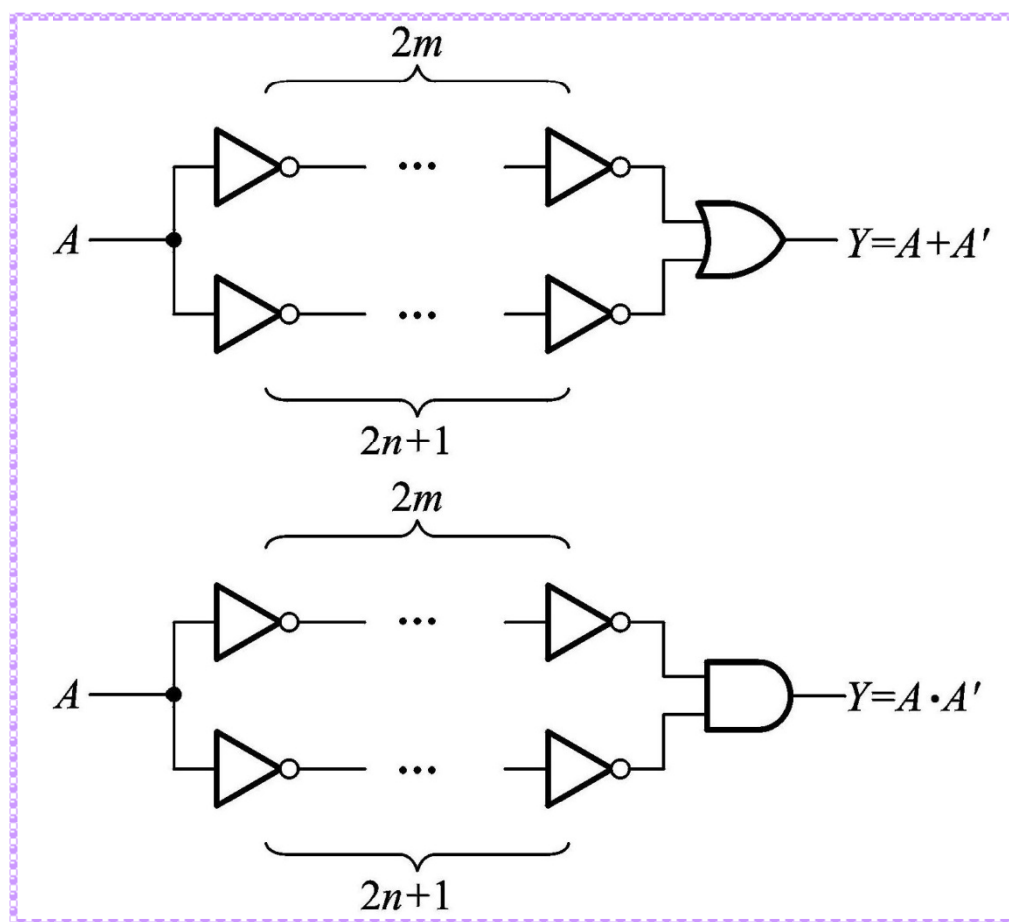
两个输入“同时向着相反的逻辑电平跳变”，称存在“竞争”。

2. 因“竞争”而可能在输出产生尖峰脉冲干扰的现象，称为“竞争-冒险”。

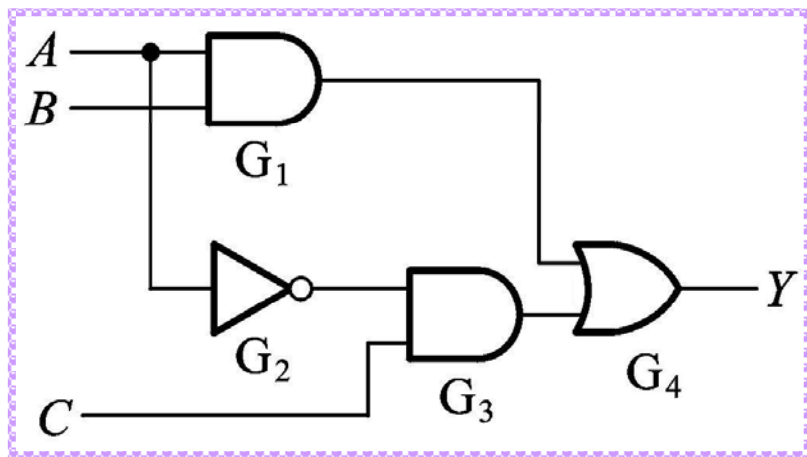
4.3.7.2 竞争—冒险的判断

某些项取1/0

当输出端函数在一定条件下可以化简成 $Y = A + A'$ 或 $Y = A \cdot A'$ 的形式, A 的变化可能引起冒险。



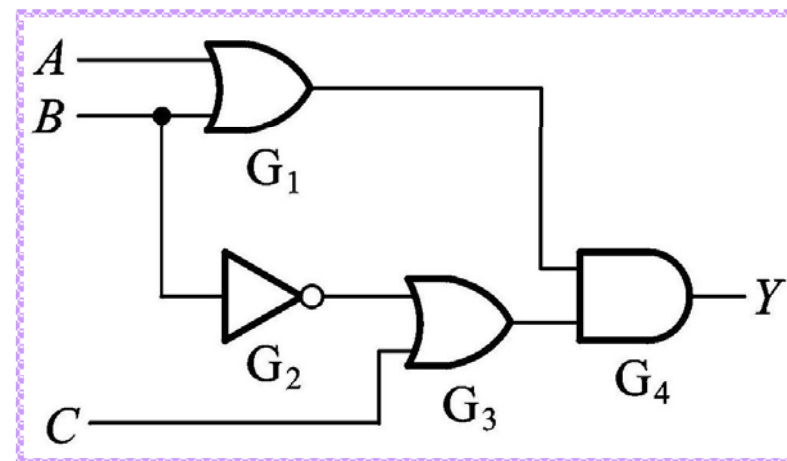
例1：试判断图中电路是否存在竞争—冒险。已知任何瞬间输入变量只可能有一个改变状态。



解：图(a)电路 $Y = AB + A'C$,

当 $B=C=1$ 时, $Y = A + A'$

故电路中存在竞争—冒险。



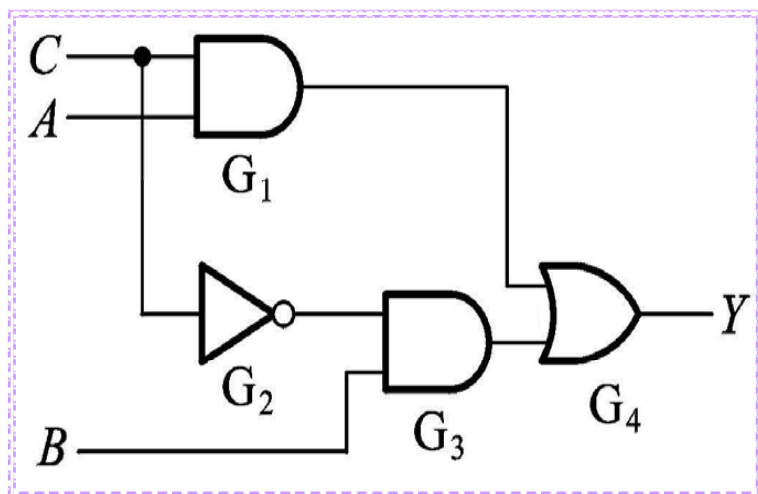
图(b)电路 $Y = (A + B) \cdot (B' + C)$,

当 $A=C=0$ 时, $Y = B \cdot B'$

故电路中存在竞争—冒险。

2. 卡诺图法:

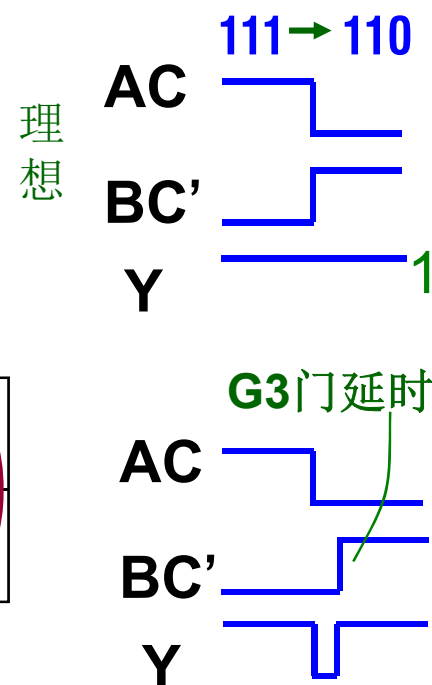
如果两个卡诺圈相切，而相切处又未被其他卡诺圈包围，则可能发生冒险。当ABC从111变到110时，Y从一个圈跳到另一个圈，函数值可按1—0—1变化，而出现毛刺。



$$Y = AC + BC'$$

A \ BC	BC			
	00	01	11	10
0	0	0	0	1
1	0	1	1	1

Y



这两种判断方法局限性都太大。

练习2

试分析在实现逻辑函数 $Y(A, B, C, D) = A'B'D + AB'C' + BCD$

的电路中，是否存在竞争—冒险？在什么时刻出现？

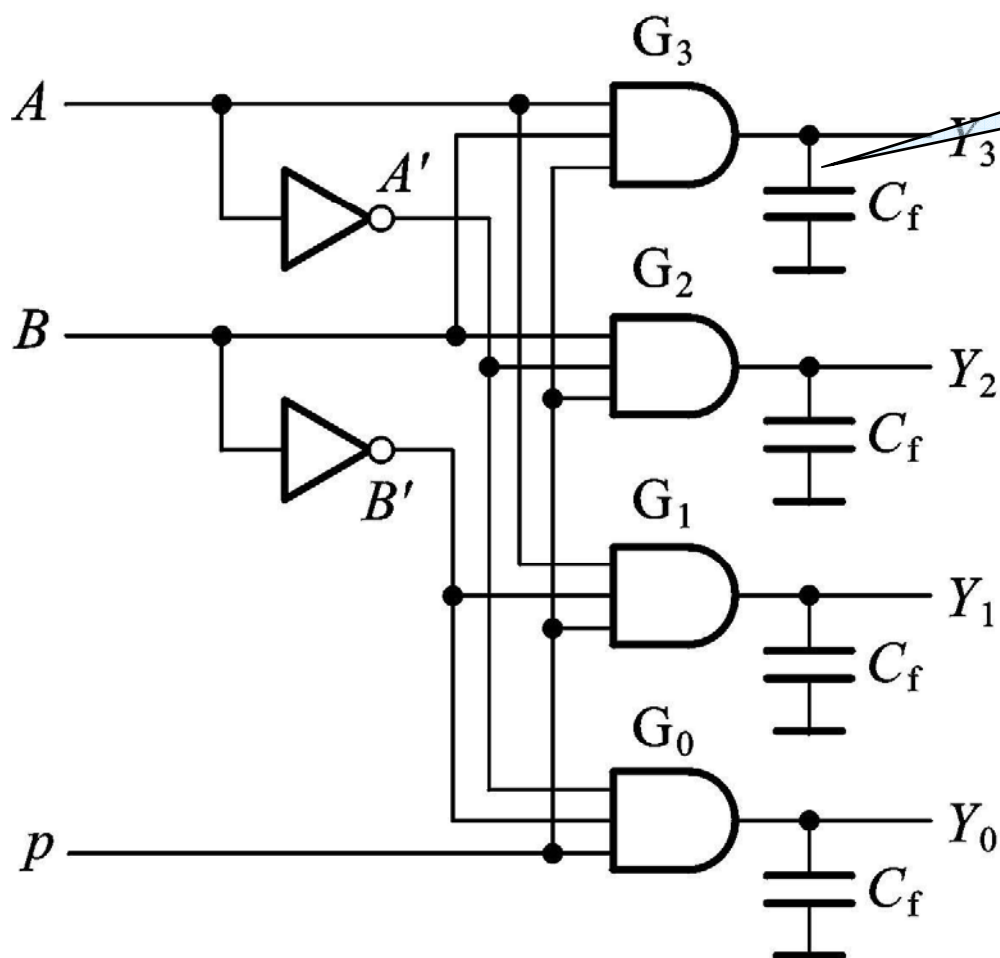
(1) $B' = C' = D = 1$ 时, $Y = A' + A$

(2) $A' = C = D = 1$ 时, $Y = B' + B$

4.3.7.3 消除冒险的方法

1. 接入滤波电容
2. 引入选通脉冲
3. 修改逻辑设计

1. 接入滤波电容

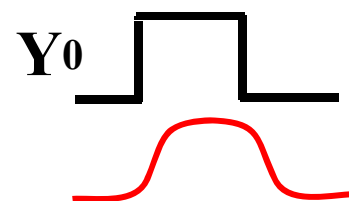


容量为几十皮法的电容就可吸收掉尖峰干扰脉冲。

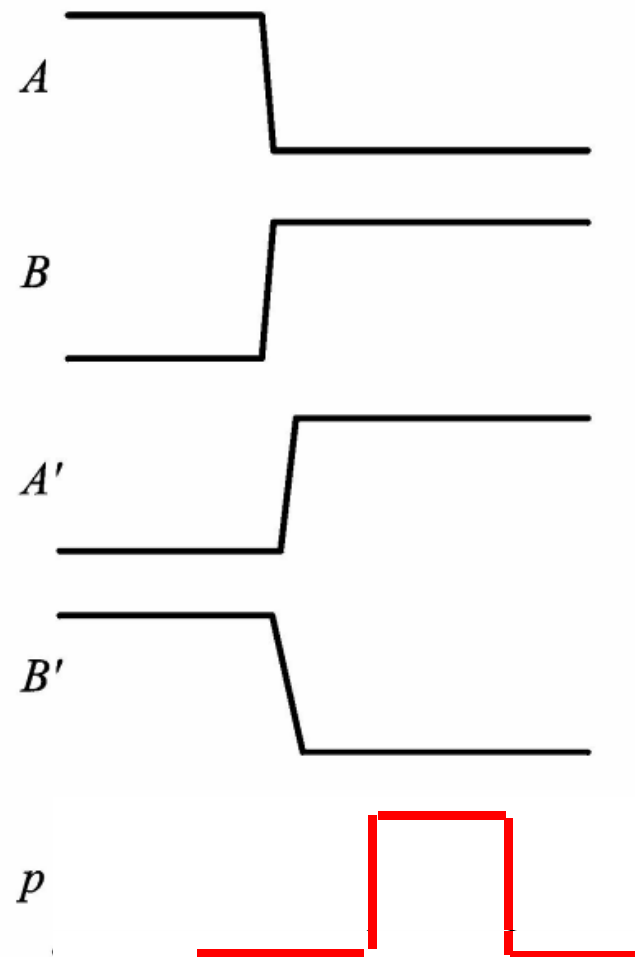
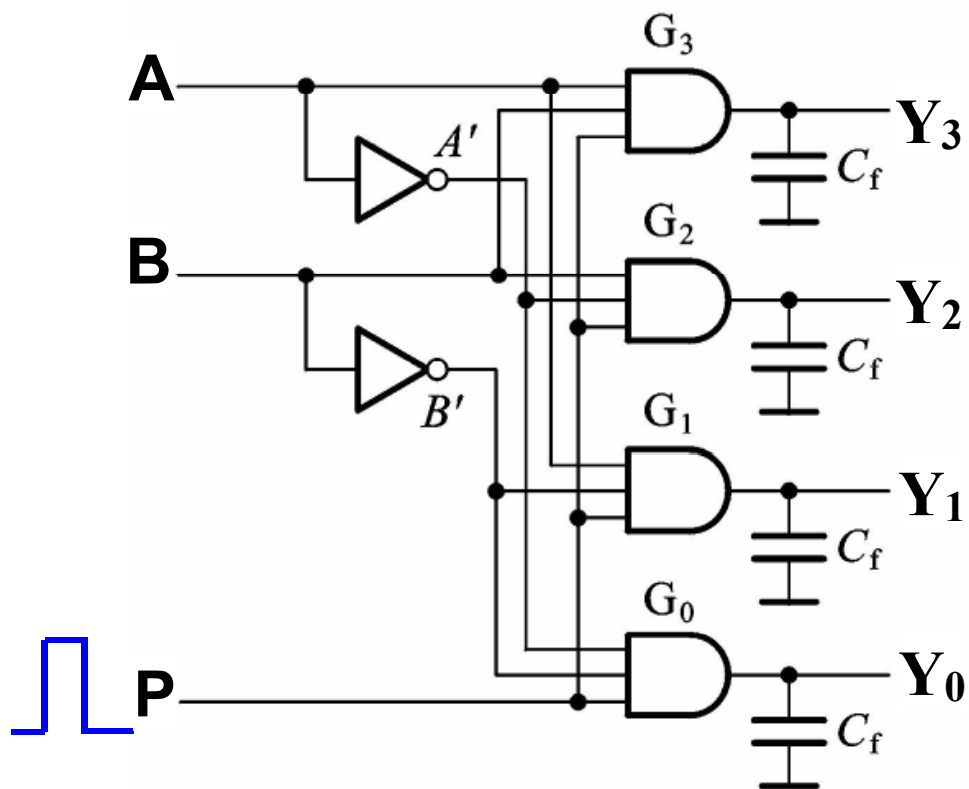
优点：简单易行

缺点：输出电压波形上升时间和下降时间增加，波形变坏

失真(展宽)
畸变



2. 引入选通脉冲



优点：较简单，无需增加元件

缺点：需要产生同步选通脉冲，宽度和时间要求严格

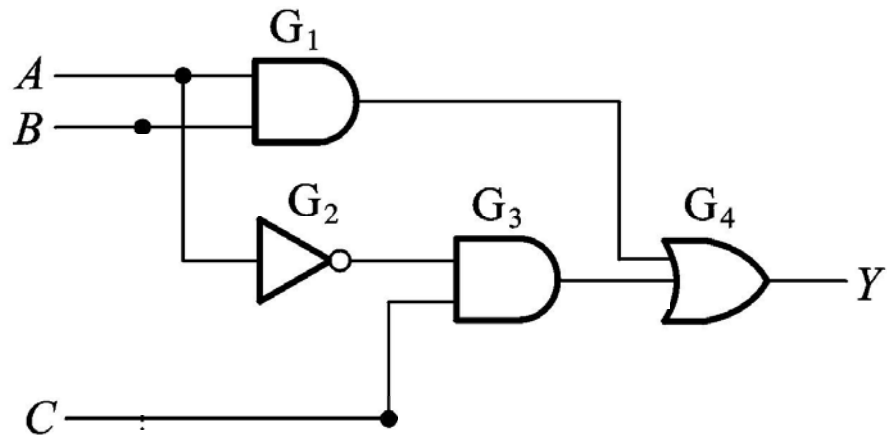
3. 修改逻辑设计, 增加冗余项

$$Y = AB + A'C$$

在 $B = C = 1$ 的条件下, $Y = A + A' \Rightarrow$ 稳态下 $Y = 1$

当 A 改变状态时存在竞争冒险

$$Y = AB + A'C + BC$$



优点: 效果较好

缺点: 增加元件, 只能消除由延时不一致造成的冒险

三种方法比较：

利用冗余项：只能消除逻辑冒险，而不能消除功能冒险，适用范围有限。

加滤波电路消除毛刺：加滤波电容使输出信号变坏，引起波形的上升、下降时间变长，不宜在中间级使用。实验调试阶段采用的应急措施。

加选通脉冲避开毛刺：加取样脉冲对逻辑冒险及功能冒险都有效。目前大多数中规模集成模块都设有使能端，可以将取样信号作用于该端，待电路稳定后才使输出有效。

作业 4.32 判断竞争冒险