

# 可编程逻辑器件PLD

- **Programmable Logic Device**
- 器件的功能不是固定不变的，而是可根据用户的需要而进行改变，即由编程的方法来确定器件的逻辑功能。

# PLD器件优点

- 集成度高，可以替代多至几千块通用**IC**芯片
  - 极大减小电路的面积，降低功耗，提高可靠性
- 具有完善先进的开发工具
  - 提供语言、图形等设计方法，十分灵活
  - 通过仿真工具来验证设计的正确性
- 可以反复地擦除、编程，方便设计的修改和升级
- 灵活地定义管脚功能，减轻设计工作量，缩短系统开发时间
- 保密性好

# PLD的发展趋势

- 向高集成度、高速度方向进一步发展
  - 最高集成度已达到**400万门**
- 向低电压和低功耗方向发展，  
**5V→3.3V→2.5V→1.8V→更低**
- 内嵌多种功能模块
  - **RAM, ROM, FIFO, DSP, CPU**
- 向数、模混合可编程方向发展

# PLD器件厂商

- **Altera**
- **Xilinx**
- **Lattice**
- **Actel**

# PLD器件的分类——按集成度

- 低密度
  - **PROM, EPROM, EEPROM, PAL, PLA, GAL**
  - 只能完成较小规模的逻辑电路
- 高密度，已经有超过**400万门**的器件
  - **EPLD ,CPLD,FPGA**
  - 可用于设计大规模的数字系统集成度高，甚至可以做到**SOC（System On a Chip）**

# PLD器件的分类——按结构特点

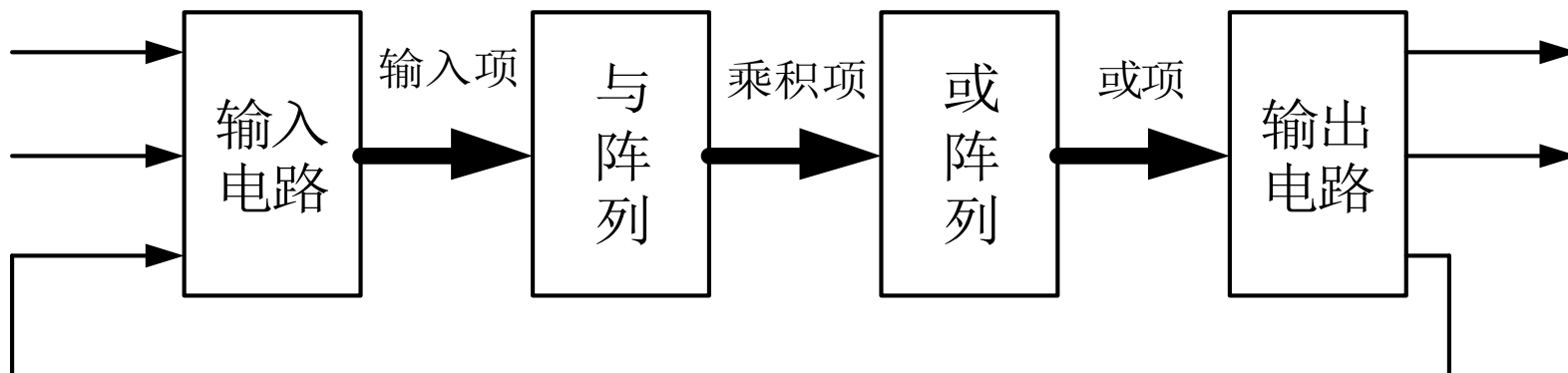
- 基于与或阵列结构的器件
  - **PROM, EEPROM, PAL, GAL, CPLD**
  - **CPLD的代表芯片如: Altera的MAX V系列**
- 基于门阵列结构的器件
  - **FPGA**

# PLD器件的分类——按编程工

- 熔丝或反熔丝编程器件——**Actel的FPGA器件**
  - 体积小，集成度高，速度高，易加密，抗干扰，耐高温
  - 只能一次编程，在设计初期阶段不灵活
- **SRAM**——大多数公司的**FPGA器件**
  - 可反复编程，实现系统功能的动态重构
  - 每次上电需重新下载，实际应用时需外挂**EEPROM**用于保存程序
- **EEPROM**——大多数**CPLD器件**
  - 可反复编程
  - 不用每次上电重新下载，但相对速度慢，功耗较大

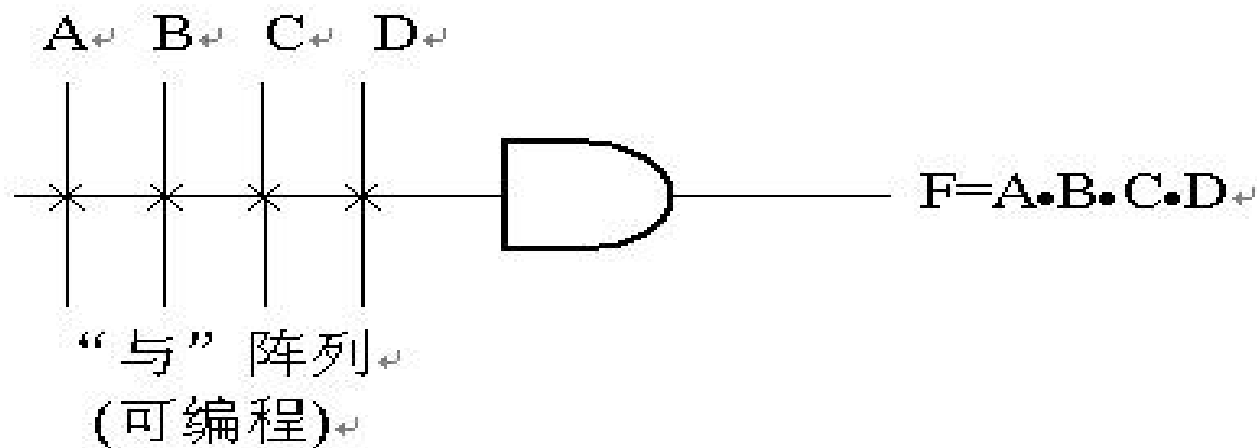
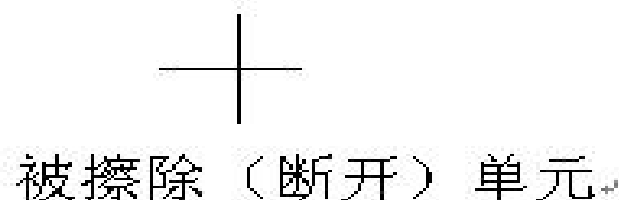
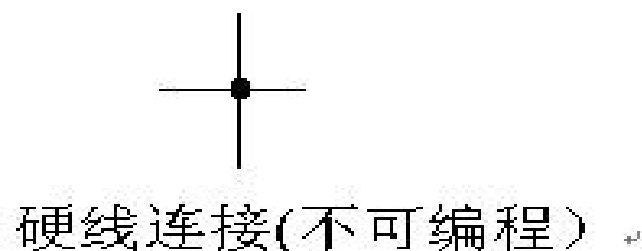
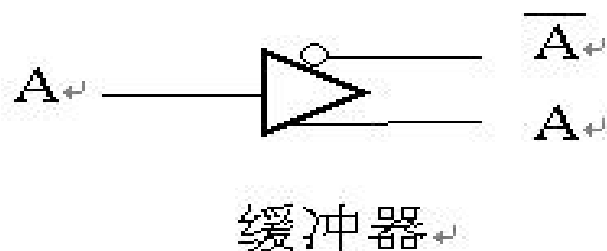
# 数字电路的基本组成

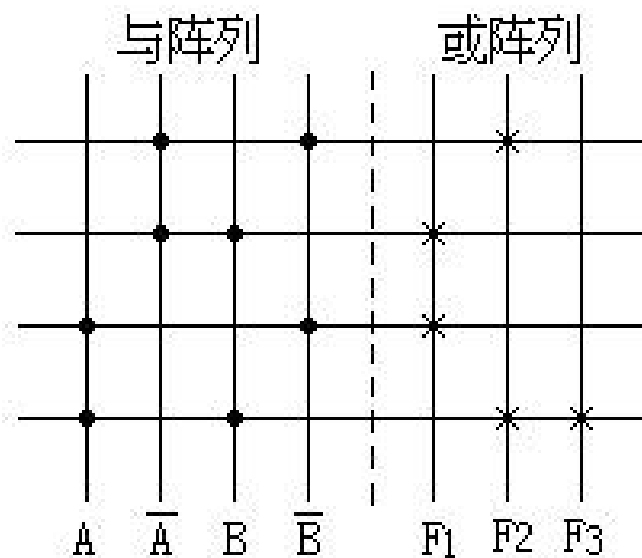
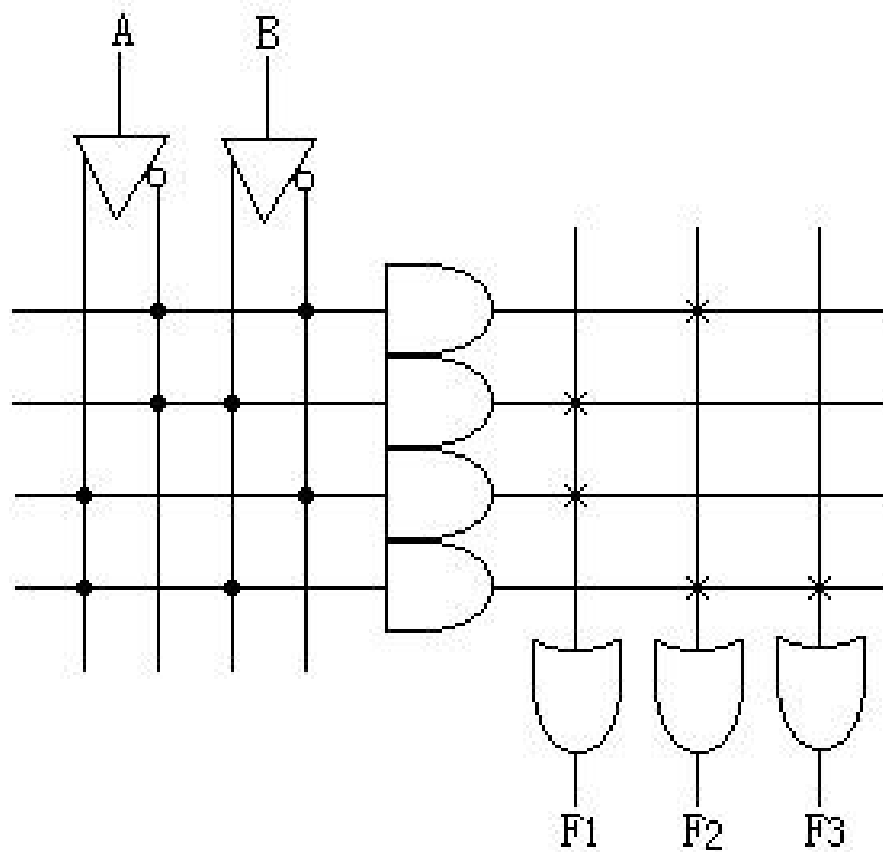
- 任何组合电路都可表示为其所有输入信号的最小项的和或者最大项的积的形式。
- 时序电路包含可记忆器件（触发器），其反馈信号和输入信号通过逻辑关系再决定输出信号。





# PLD的逻辑符号表示方法





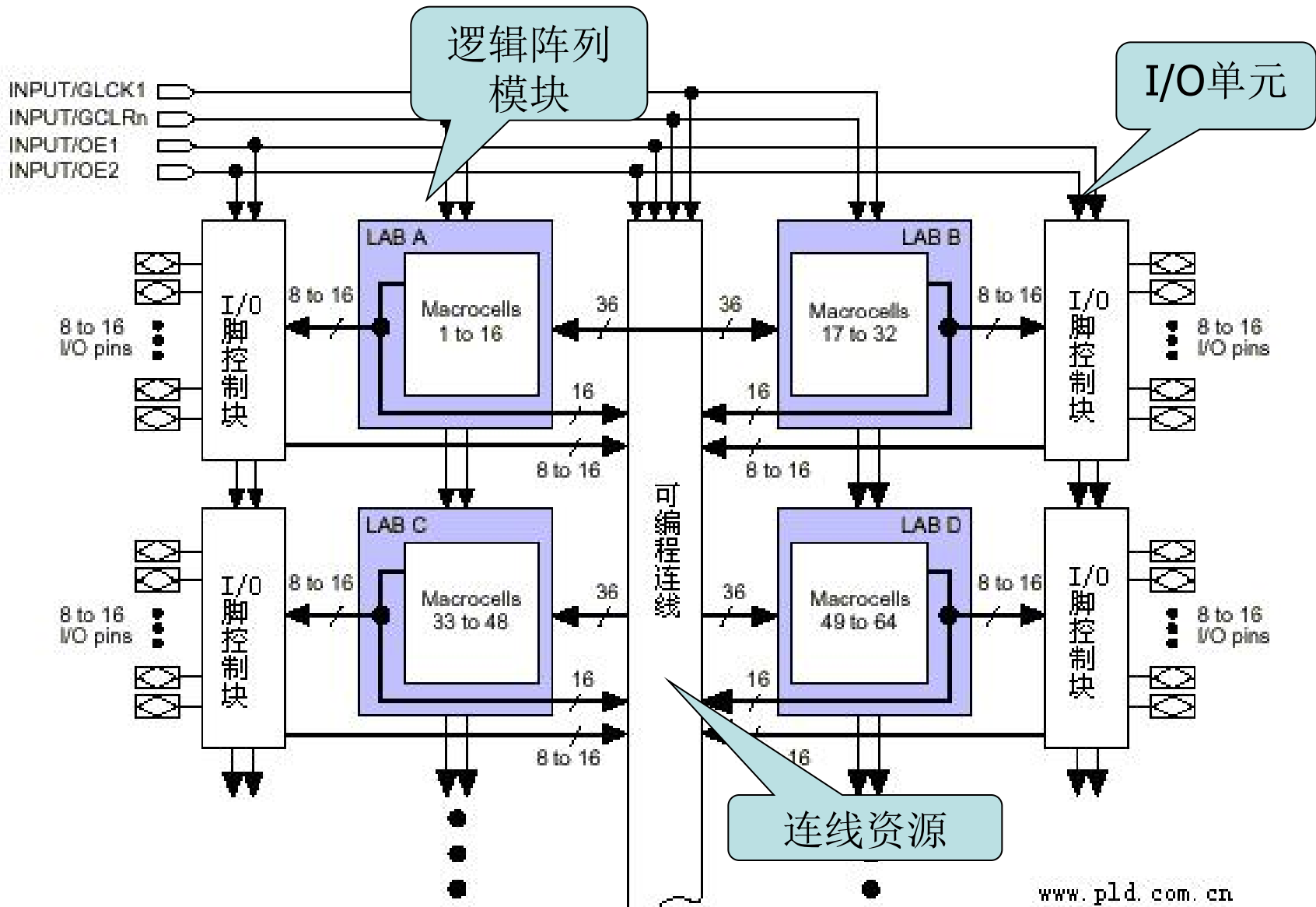
实现的函数为：

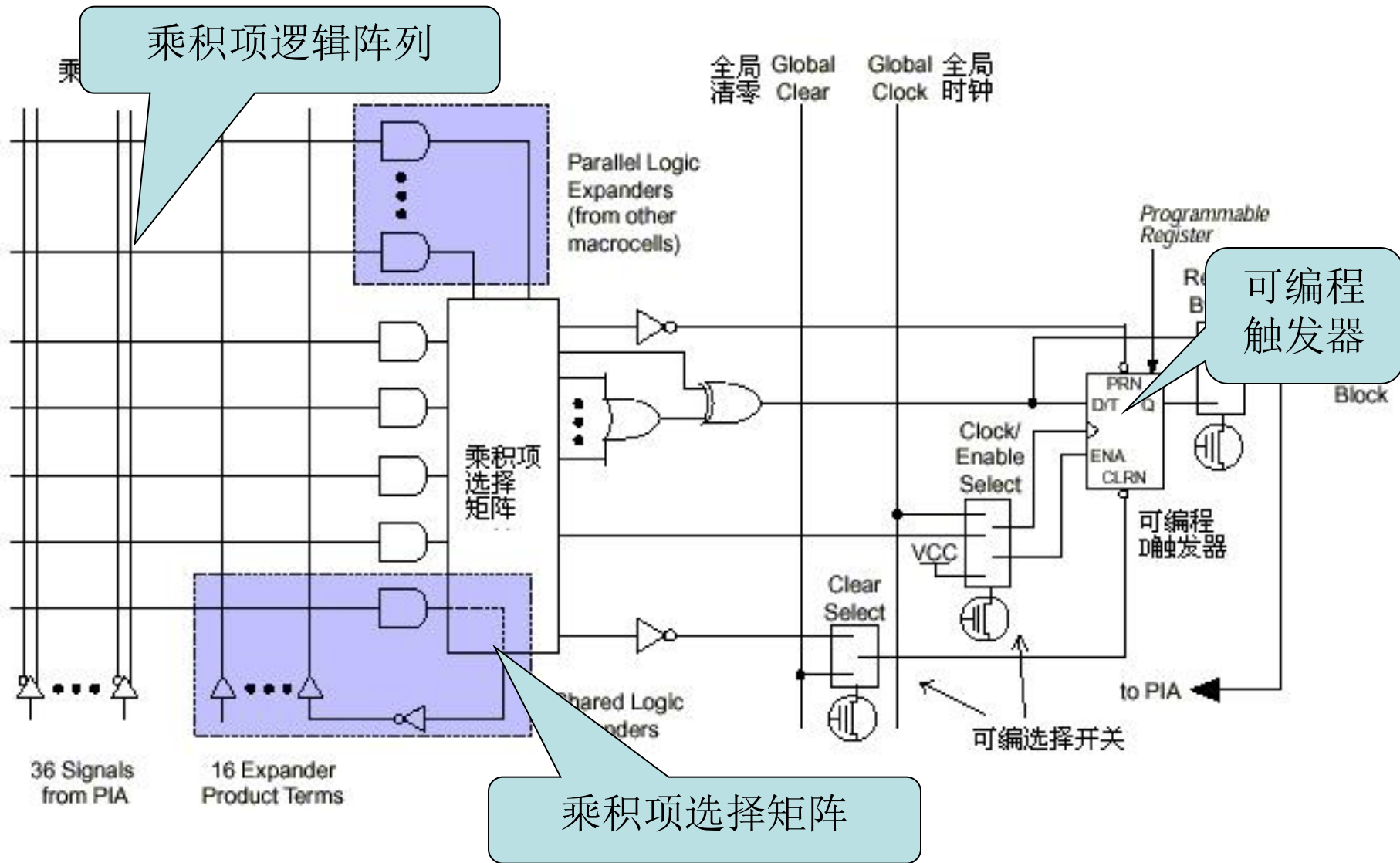
$$F_1 = \overline{A} \bullet B + A \bullet \overline{B}$$

$$F_2 = \overline{A} \bullet \overline{B} + A \bullet B$$

$$F_3 = A \bullet B$$

# CPLD内部结构（Altera的MAX7000系列）





宏单元内部结构

# 可编程的I/O单元

- 能兼容**TTL**和**CMOS**多种接口和电压标准
- 可配置为输入、输出、双向、集电极开路和三态等形式
- 能提供适当的驱动电流
- 降低功耗，防止过冲和减少电源噪声
- 支持多种接口电压（降低功耗）
  - 1.2~0.5um,5V
  - 0.35um,3.3V
  - 0.25um,internal 2.5V,I/O3.3V
  - 0.18um,internal 1.8V,I/O2.5V and 3.3V

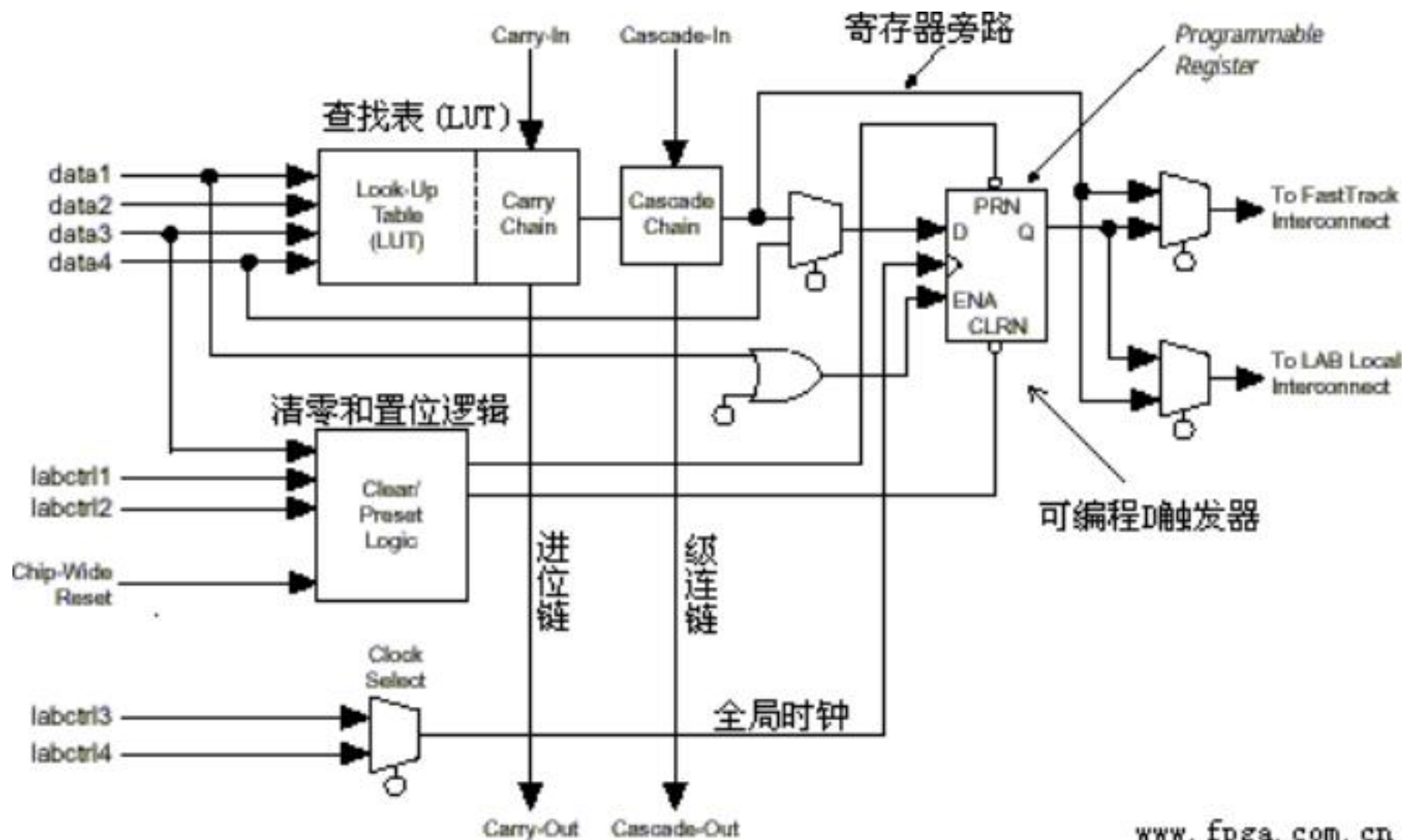
# 可编程连线阵列

- 在各个逻辑宏单元之间以及逻辑宏单元与I/O单元之间提供信号连接的网络
- **CPLD**中一般采用固定长度的线段来进行连接，因此信号传输的延时是固定的，使得时间性能容易预测。

# FPGA结构原理图

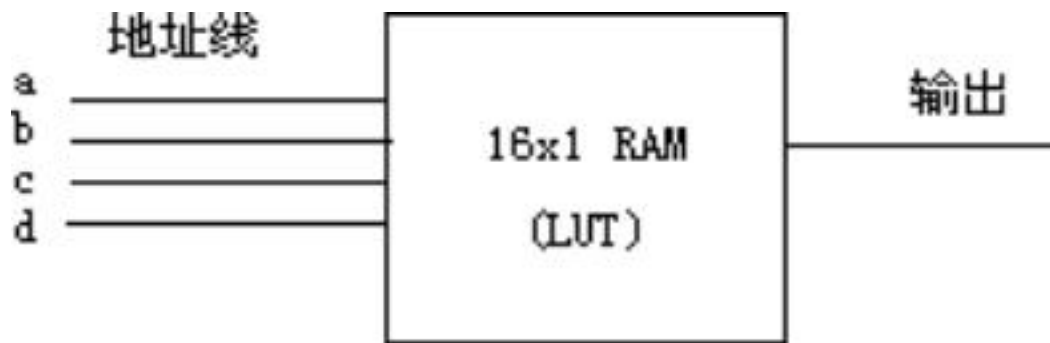
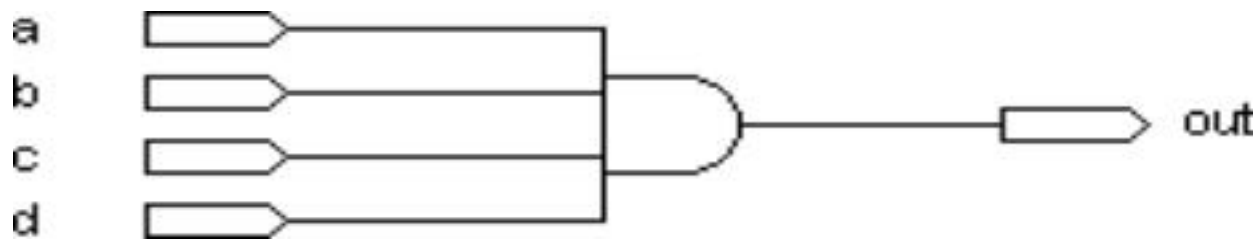
- 内部结构称为**LCA**（**Logic Cell Array**）由三个部分组成：
  - 可编程逻辑块（**CLB**）
  - 可编程输入输出模块（**IOB**）
  - 可编程内部连线（**PIC**）

# LE内部结构



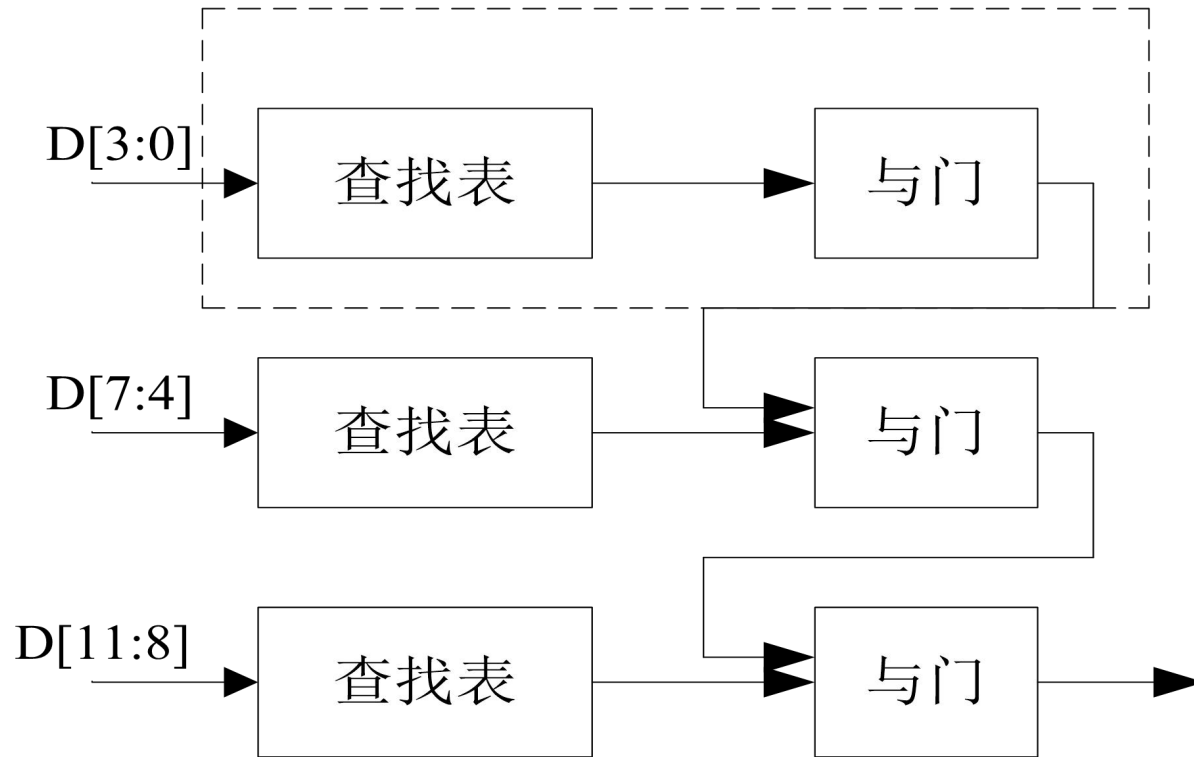


# 查找表的基本原理



**N**个输入的逻辑函数需要**2**的**N**次方的容量的**SRAM**来实现

# 查找表的基本原理



一般多于输入的查找表采用多个逻辑块级连的方式

# FPGA中的嵌入式阵列（EAB）

- 可灵活配置的**RAM**块
- 用途
  - 实现比较复杂的函数的查找表，如正弦、余弦等。
  - 可实现多种存储器功能，如**RAM**，**ROM**，双口**RAM**，**FIFO**，**Stack**等
  - 灵活配置方法： **$256 \times 8$** ，也可配成 **$512 \times 4$**

# CPLD与FPGA的区别

	CPLD	FPGA
内部结构	Product—term	Look—up Table
程序存储	内部EEPROM	SRAM，外挂EEPROM
资源类型	组合电路资源丰富	触发器资源丰富
集成度	低	高
使用场合	完成控制逻辑	能完成比较复杂的算法
速度	慢	快
其他资源	—	EAB，锁相环
保密性	可加密	一般不能保密

# PLD器件的命名与选型

- EPM7 128 S L C 84—10

- **EPM7**: 产品系列为**EPM7000**系列
- **128**: 有**128**个逻辑宏单元
- **S**: 电压为**5V**, **AE**为**3.3V**, **B**为**2.5V**
- **L**: 封装为**PLCC**, **Q**代表**PQFP**等
- **C**: 商业级 (**Commercial**) **0~70度**,  
**I**: 工业级 (**Industry**) , **-40~85度**  
**M**: 军品级 (**Military**) , **-55~125度**
- **84**: 管脚数目
- **10**: 速度级别

# 管脚的定义

- 特殊功能的管脚
  - 电源脚**VCC**和**GND**，**VCC**一般分为**VCCINT**和**VCCIO**两种
  - **JTAG**管脚：实现在线编程和边界扫描
  - 配置管脚（**FPGA**）：用于由**EEPROM**配置芯片
- 信号管脚
  - 专用输入管脚：全局时钟、复位、置位
  - 可随意配置其功能为：输入、输出、双向、三态

# PLD的设计步骤

