**“电子设计自动化(EDA)”实验报告(三)**

姓名：刘宗鑫 学号：201710413046 日期 ：2020.5.15

**一、实验名称：**VHDL 设计计数器

**二、实验内容和实验目的**

实验内容：

1. 用VHDL 的IF语句设计一个二进制模24计数器 Binary\_counter24计数器。用EPM7032SLC44-6芯片实现。用三种方法设计该计数器，通过这三种方法，熟悉OUT端口和BUFFER端口的区别，熟悉STD\_LOGIC 和 INTEGER(整数)的区别。
2. (选做)用VHDL 的设计一个带load控制端的模16计数器 。

实验目的：学习用VHDL设计计数器，学会做完整的仿真。

**三、实现方法(或设计思想)及实验结果**

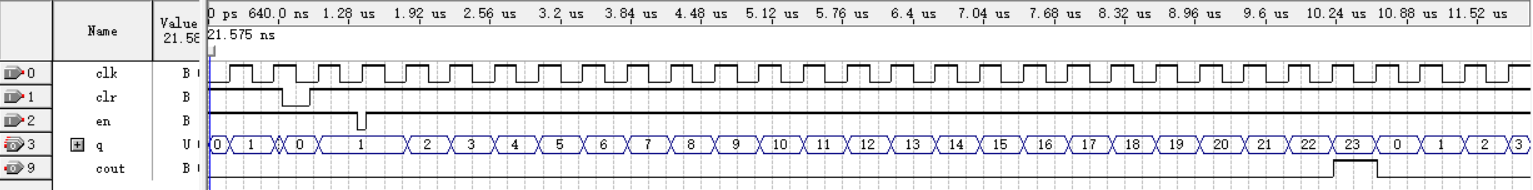
**1. 模24计数器**

**实现方法：**

|  |  |
| --- | --- |
| **方法1** | library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity counter24 is      port(          clk, clr, en: in std\_logic;          cout: out std\_logic;          q: out std\_logic\_vector( 4 downto 0 )      );  end counter24;  architecture arc of counter24 is      signal tmp: std\_logic\_vector( 4 downto 0 );  begin      process( clr, clk )      begin          if clr = '0' then              tmp <= "00000";          elsif clk'event and clk = '1' then              if en = '1' then                  if tmp = "10111" then                      tmp <= "00000";                  else                      tmp <= tmp + 1;                  end if;              end if;          end if;      end process;      q <= tmp;      cout <= '1' when tmp = "10111" else '0';    end arc; |
| **方法2** | library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity counter24 is      port(          clk, clr, en: in std\_logic;          cout: out std\_logic;          q: buffer std\_logic\_vector( 4 downto 0 )      );  end counter24;  architecture arc of counter24 is  begin      process( clr, clk )      begin          if clr = '0' then              q <= "00000";          elsif clk'event and clk = '1' then              if en = '1' then                  if q= "10111" then                      q <= "00000";                  else                      q <= q + 1;                  end if;              end if;          end if;      end process;      cout <= '1' when q = "10111" else '0';  end arc; |
| **方法3** | library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity counter24 is      port(          clk, clr, en: in std\_logic;          cout: out std\_logic;          q: buffer integer range 23 downto 0      );  end counter24;  architecture arc of counter24 is  begin      process( clr, clk )      begin          if clr = '0' then              q <= 0;          elsif clk'event and clk = '1' then              if en = '1' then                  if q = 23 then                      q <= 0;                  else                      q <= q + 1;                  end if;              end if;          end if;      end process;      cout <= '1' when q = 23 else '0';    end arc; |

**实验结果：**

三者波形一致，所得结果一致。波形及仿真如下：



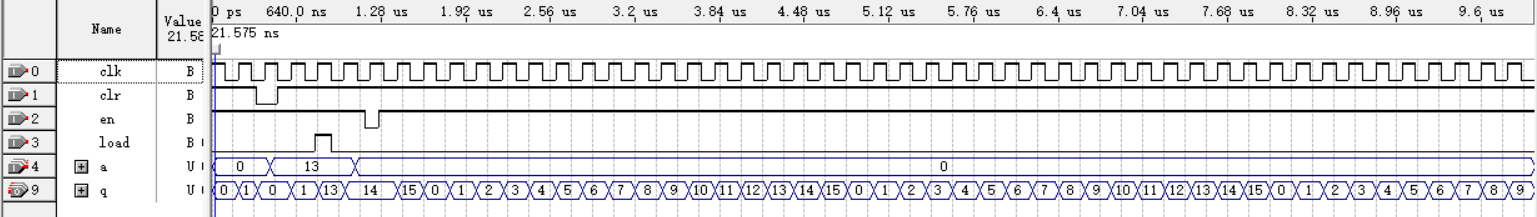
可以看到当clr为0时，立即进行清零。当en为0时，计数器保持。最后23时进位，之后从0开始计时。

**2. 模16计数器**

**实现方法：**

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  use IEEE.STD\_LOGIC\_ARITH.ALL;  USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;  entity counter16 is      port(          clk, clr, load, en: in std\_logic;          a: std\_logic\_vector(3 downto 0);          q: out std\_logic\_vector(3 downto 0)      );  end counter16;  architecture cnt of counter16 is      signal tmp: std\_logic\_vector(3 downto 0);  begin      process (clk, clr)      begin          if clr = '0' then              tmp <= "0000";          elsif clk'event and clk = '1' then              if load = '1' then                  tmp <= a;              elsif en = '1' then                  if tmp = "1111" then                      tmp <= "0000";                  else                      tmp <= tmp + 1;                  end if;              end if;          end if;      end process;      q <= tmp;  end cnt; |

**实验结果：**



可以看到，当load为1时，a的值赋予了q，同时，当en为0时，计数器保持。当技术满15时，会从0开始计数。

**四、总结**

1. 知道了buffer，out，integer的区别。

* Buffer可以直接赋值
* Out要使用临时变量
* Integer可以直接进行十进制赋值，而不必要时二进制

2. 了解了计时器的写法。可以根据不同优先级进行代码的编写。

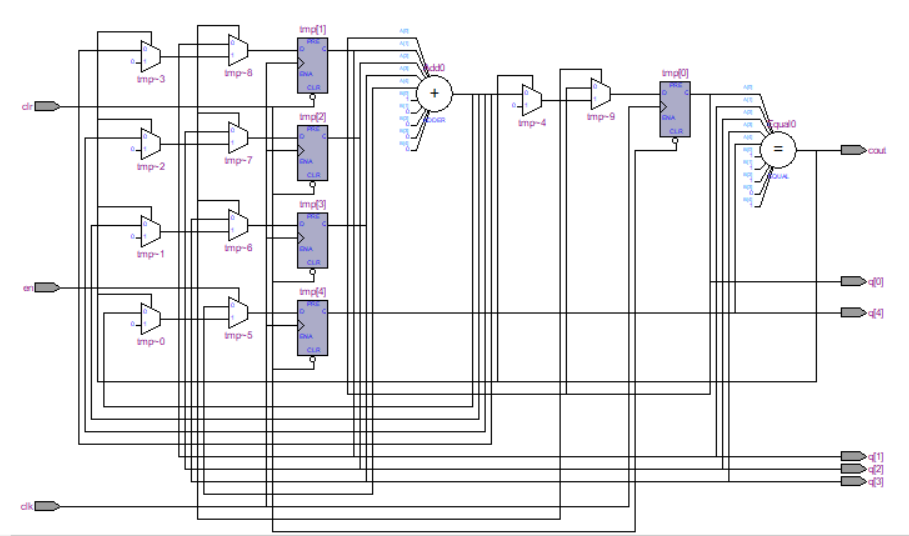
**五、思考题**

**1．** 用VHDL文本描述计数器，编译器经过分析理解之后，最终也画出一个原理图，编译器画出的原理图和人工设计的原理图一样吗？请查看编译器画出的原理图，方法如下：

Tools -> Netlist viewer -> RTL viewer ，

mouse right button -> viewer options -> customize view -> uncheck “group all related nodes；

你自己认为这个count24计数器需要几个触发器来实现？编译器用了几个？如果和你预想的不同，为什么？



需要用五个触发器来实现。

1. 为什么Cout 会滞后一个时钟周期的时间？

主要是和写法有关，我目前的写法(使用逻辑门电路)并不会滞后。而使用临时变量的话则会发生滞后。因为在architecture中语句时并行的，所以要等到下一个时钟沿到来的时候，值才会发生改变。