**“电子设计自动化(EDA)”实验报告(五)**

姓名 刘宗鑫 学号 201710413046 日期 2020.06.17

**一、实验名称：**在DE2实验板上实现counter24计数器及控制

**二、实验内容和实验目的**

实验内容：

1．用VHDL IF语句设计一个十进制counter24计数器。用Cyclone II EP2C35F672C6芯片实现。

2．用VHDL IF语句设计一个segment4to7显示译码器,驱动共阳极数码管。用Cyclone II EP2C35F672C6芯片实现。

3．用原理图设计一个综合的可硬件操作的模24计数器，带en控制。用Cyclone II EP2C35F672C6芯片实现。按DE2开发板的实际连线来输入输出信号的引脚。

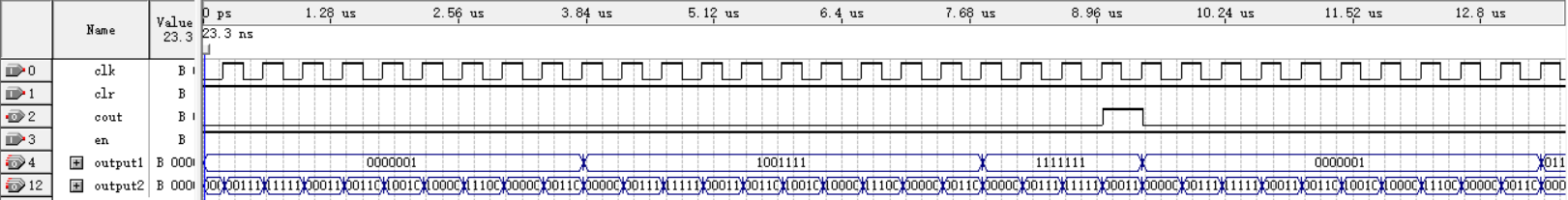
实验目的：学会看硬件原理图，掌握FPGA硬件开发的基本技能，包括通过USB-Blaster下载线把sof文件下载到FPGA芯片，进行硬件功能验证。更熟练地使用VHDL设计数字电路。

**三、实验步骤、实现方法(或设计思想)及实验结果**

|  |  |
| --- | --- |
| Counter24 | library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity counter24 is      port(          clk, clr, en: in std\_logic;          cout: out std\_logic;          hh, hl: buffer std\_logic\_vector( 3 downto 0 )      );  end counter24;  architecture arc of counter24 is  begin      process( clr, clk )      begin          if clr = '0' then              hh <= "0000";              hl <= "0000";          elsif clk'event and clk = '1' then              if en = '1' then                  if hh = "0010" and hl = "0011" then                      hh <= "0000";                      hl <= "0000";                  else                      hl <= hl + "0001";                      if hl = "1001" then                          hl <= "0000";                          hh <= hh + "0001";                      end if;                  end if;              end if;          end if;      end process;      cout <= '1' when (hh = "0010" and hl = "0011") else '0';  end arc; |
| Segment4to7 | library ieee;  use ieee.std\_logic\_1164.all;  entity segment4to7 is  port(       data:in std\_logic\_vector( 3 downto 0 );       output :out std\_logic\_vector(6 downto 0));  end segment4to7;  architecture rtc of segment4to7 is  begin      process(data)      begin          output <= "1111111";          if data = "0000" then              output <= "0000001";          elsif data = "0001" then              output <= "1001111";          elsif data = "0010" then              output <= "1111111";          elsif data = "0011" then              output <= "0000110";          elsif data = "0100" then              output <= "1001100";          elsif data = "0101" then              output <= "0100101";          elsif data = "0110" then              output <= "0100000";          elsif data = "0111" then              output <= "0111001";          elsif data = "1000" then              output <= "0000000";          elsif data = "1001" then              output <= "0001100";          else              output <= "0110000";          end if;      end process;  end rtc; |
| Top | library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity top is  port  (      clk, en, clr: in std\_logic;      cout: out std\_logic;      output1, output2: buffer std\_logic\_vector( 6 downto 0 )  );  end top;  architecture arc of top is      component counter24 is          port(              clk, clr, en: in std\_logic;              cout: out std\_logic;              hh, hl: buffer std\_logic\_vector( 3 downto 0 )          );      end component;        component  segment4to7 is      port(           data:in std\_logic\_vector( 3 downto 0 );           output :out std\_logic\_vector(6 downto 0));      end component;      signal hh, hl: std\_logic\_vector( 3 downto 0 );  begin      clock: counter24 port map( clk, clr, en, cout, hh, hl );      ten: segment4to7 port map( hh, output1 );      one: segment4to7 port map( hl, output2 );  end arc; |

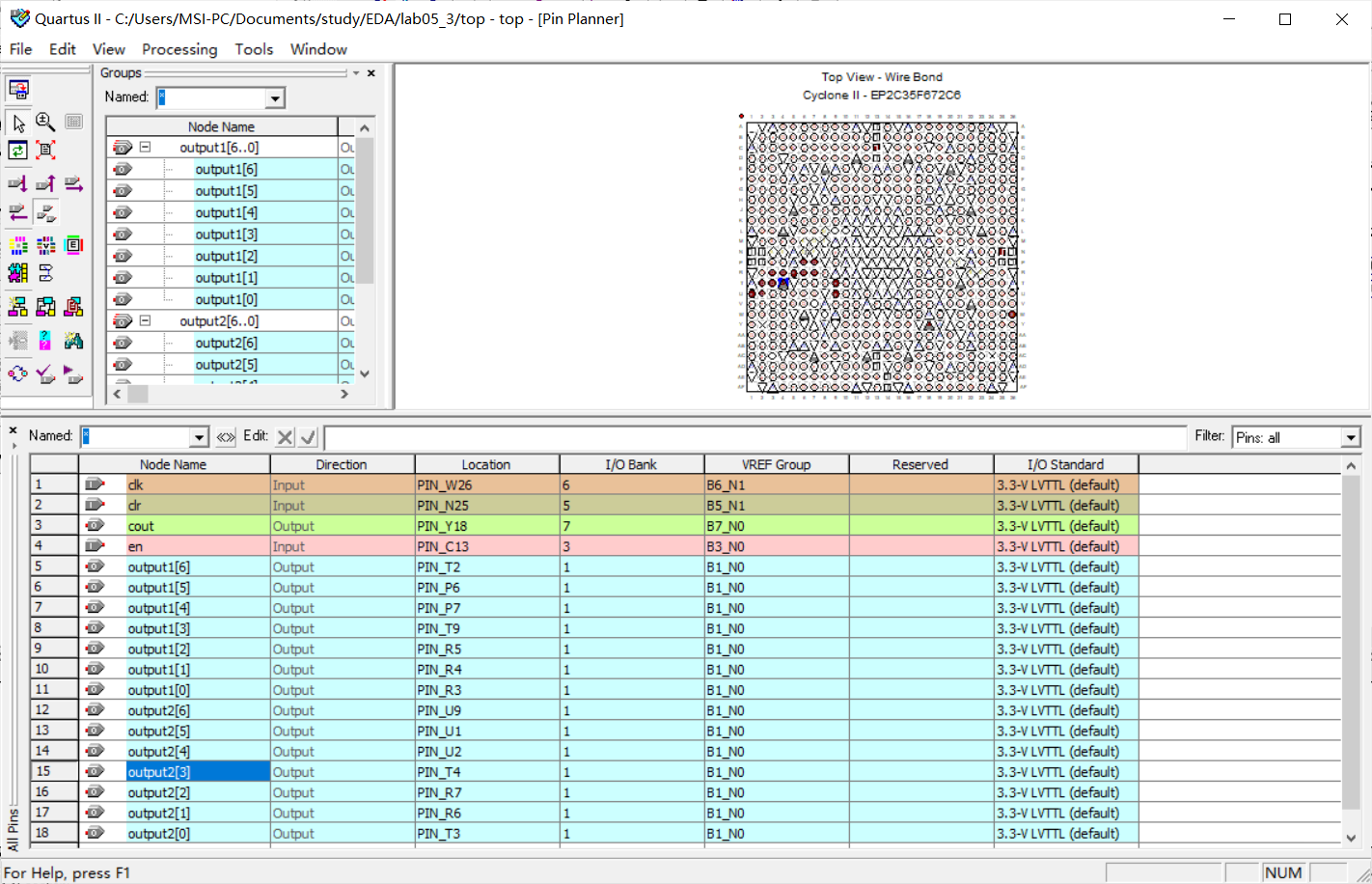
**实验结果**：

因为总的波形就可以体现出所有软件的情况，所以仅展示总波形。



其中clk位时钟信号，clr为清零，cout为输出信号，en为使能信号，output1为十位的段选码，output2为个位。

引脚分配：



**四、总结**

* 使用vhdl语言描述电路板比使用原理图更加方便
* 本实验需要单独设计两个元件，并在第三个元件中进行链接。其中第三个元件相当于起到了链接两个元件的作用。
* 需要使用多个元件进行组合时，可以使用port map。