

گزارش تکلیف ۲ FPGA سید محسنی ۸۱۵۱۹۴۵۴۱

LAB1

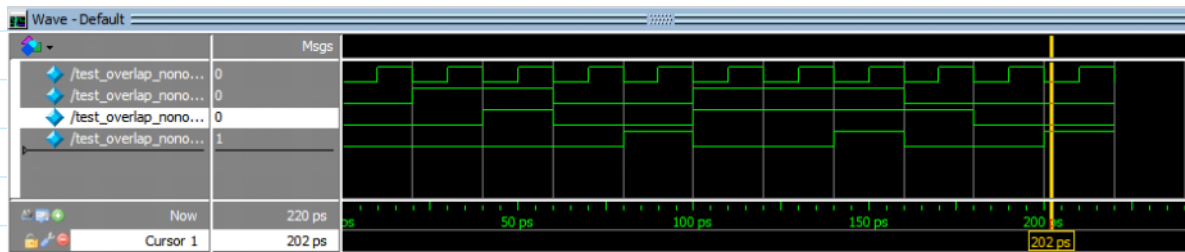
* فایل v DUT که نکته سه، پرسد v دارد، حالتی داخل آن logic استفاده شده است، error می دهد. بعد از رفع آن دوباره در دفتر فایل را شبیه سازی کردم

```
VSIM 5> run
#      10  clk=1 req=0 gnt=0
#      30  clk=1 req=1 gnt=0
#      50  clk=1 req=0 gnt=1
#      70  clk=1 req=0 gnt=1
#      90  clk=1 req=1 gnt=0
VSIM 6> run
#     110  clk=1 req=0 gnt=0
#     130  clk=1 req=0 gnt=0
#     150  clk=1 req=0 gnt=0
#     170  clk=1 req=0 gnt=0
#     190  clk=1 req=0 gnt=0
```



LAB2، راهم محاسب کردم. میران define کرده بودم، اما در دستم و بعد از دست کردن خروجی با هم تفاوت آمد.

```
# Loading sv_std.std
# Loading work.test_overlap_nonoverlap
VSIM 10> run
#      10  clk=1 cstart=0 req=0 gnt=0
#      30  clk=1 cstart=1 req=0 gnt=0
#      50  clk=1 cstart=1 req=1 gnt=0
#      70  clk=1 cstart=0 req=0 gnt=0
#      90  clk=1 cstart=0 req=0 gnt=1
run
#     110  clk=1 cstart=1 req=1 gnt=0
#     130  clk=1 cstart=1 req=1 gnt=0
#     150  clk=1 cstart=1 req=1 gnt=1
#     170  clk=1 cstart=0 req=1 gnt=0
#     190  clk=1 cstart=0 req=0 gnt=0
VSIM 11> run
#     210  clk=1 cstart=0 req=0 gnt=1
# ** Note: Data structure takes 14553104 bytes of memory
# Process time 0.00 seconds
# $finish : C:/Users/microsoft/Documents/UT/FPGA/HW2/test_overlap_nonoverlap.sv(50)
# Time: 220 ps Iteration: 1 Instance: /test_overlap_nonoverlap
# 1
# Break in Module test_overlap_nonoverlap at C:/Users/microsoft/Documents/UT/FPGA/HW2/test_overlap_nonoverlap.sv line 50
```



حال جواب سوال ۵ :

LAB 1)

define no-implementation

(70) چنانچه از property بخشی به preq بیاید پس
به pgt بیاید. از قبل با حفظ که preq آمده و ۲ سیگنال
به pgt آمده است اما یک سیگنال به پست مانده که در ابتدا pass
شدن نه است و بعد از آن fail شده. چون باید تنها ۲ سیگنال
شود و تمام.

(130) چون preq آمده است و ۲ سیگنال به pgt نه است و fail
است. پس با آمدن آن هم بتوانیم چون ۲ سیگنال ۱ preq دیده شود
۲ بار pgt اکتفا کند.

define implem

(70) چون ۱ به هفت overlapping داریم. می توان در توالی که در
۱ سیگنال به pgt آمده و در ۲ سیگنال به pgt
۱ سیگنال به pgt قبول است و ۲ بار pass می شود.

130 برای fail شدن، دلیل این است که $\neg gnt$ میانه است.

LAB2

30 چون در زمان 26، $start$ شده است و در 30 میانه است و یک سیگنال به $req=1$ شده و در یک سیگنال به $gnt=1$ شده است که با 81 مغایرت 26.

90 چون $overlap$ جزای این $property$ ، $pass$ می شود.

150 چون $overlap$ داریم $cstar=1$ شده است و $req=1$ و بعد از یک سیگنال $gnt=1$

170 $cstar=1$ ، $req=1$ بوده است و $gnt=2$ به $fail$ چون به $fail$ می شود.

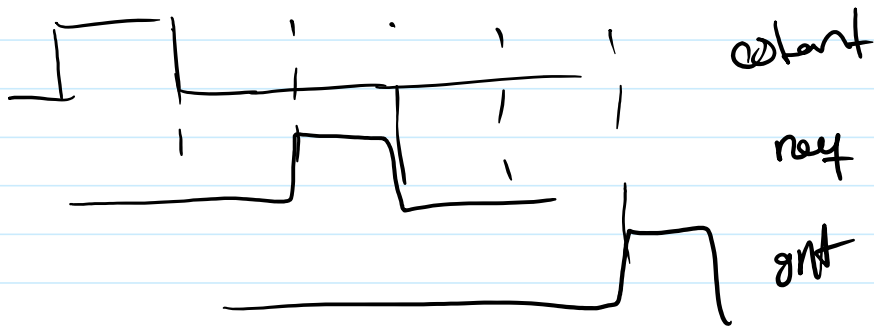
190 در 150 دو سیگنال $start$ ، req ، یک بوده اند یعنی $prop$ به $gnt=1$ می شود چون به $fail$ می شود.

define noneoverlap

70 در اینجا $overlap$ نداریم زمانه $cstar=1$ شده است و زمان $req=1$ شده است.
می بینیم بعدی $req=0$ است. پس چون $overlap$ نداریم نت $fail$ می شود.

90 در زمان 50 $cstar=1$ شده است. یک سیگنال بعدی $req=1$ شده است و

۱۶۵ در زمان ۵۰ $color = 1$ است. یک سیگنال برای $req = 1$ در ۱۶۵ میخورد.
 برای $gnt = 1$. در نتیجه $property$ ای فرانسه ۱۶۵ را ارضایی کند.



۱۷۵ چون سیگنال زمان ۱۱۰، $color = 1$ در سیگنال برای $req = 1$ برده شده و تا ۱۷۵
 به $gnt = 0$ برده و $fail$ است.

۱۹۰ (۱۹۰) سیگنال زمان ۱۳۰، $color = 1$ برده و در ۱۵۰، $req = 1$ برده و ۱۹۰
 $gnt = 1$ برده می‌شود.

۲۱۰ (۲۱۰) در زمان ۱۵۰، $color = 1$ برده و در ۱۷۵، $req = 1$ برده و ۲۱۰
 میخورد. $gnt = 1$ برده می‌شود و $pass$ است.