

FPGA

گزارش آزمایش ۳

Lab Work

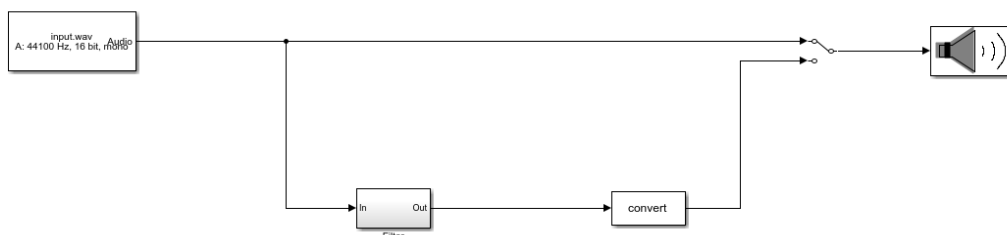
سید محمد حسینی

احسان جهانگیرزاده

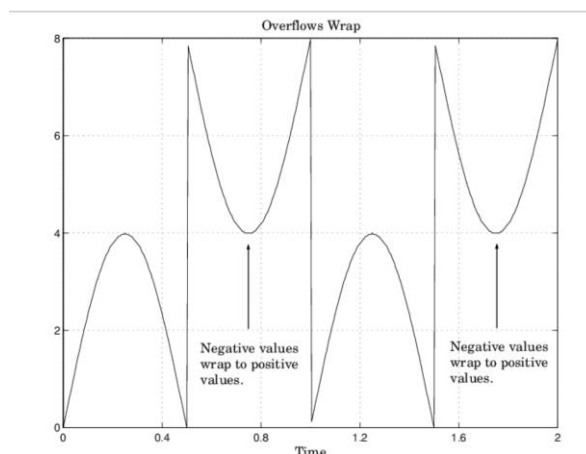
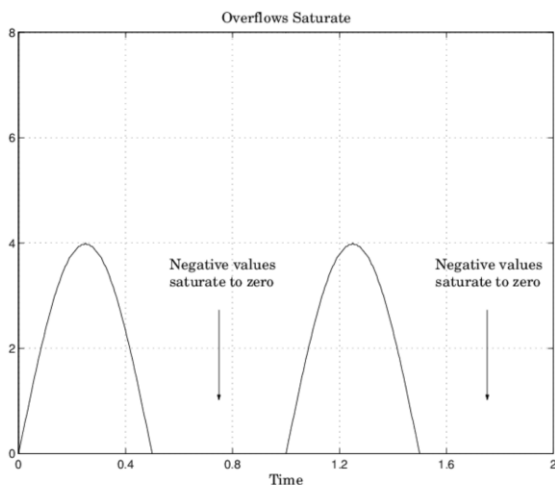
توضیحات

در این آزمایش سیستمی را که در قسمت قبل ایجاد کرده ایم را میخواهیم گسترش دهیم و فیلتر را به صورت نرم افزاری و سخت افزاری پیاده سازی کنیم. این فیلتر پایین گذر قرار است صوتی که دارای نویزی با فرکانس بالا است را حذف کند.

در ابتدا باید یک فیلتر را نرم افزار MATLAB ایجاد کنیم برای این کار از فیلتر دیزاینر متلب استفاده میکنیم.

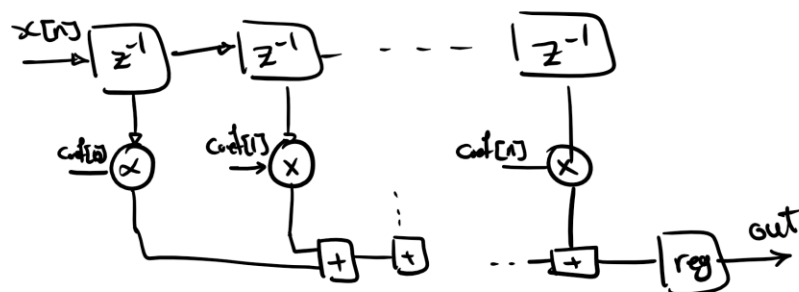
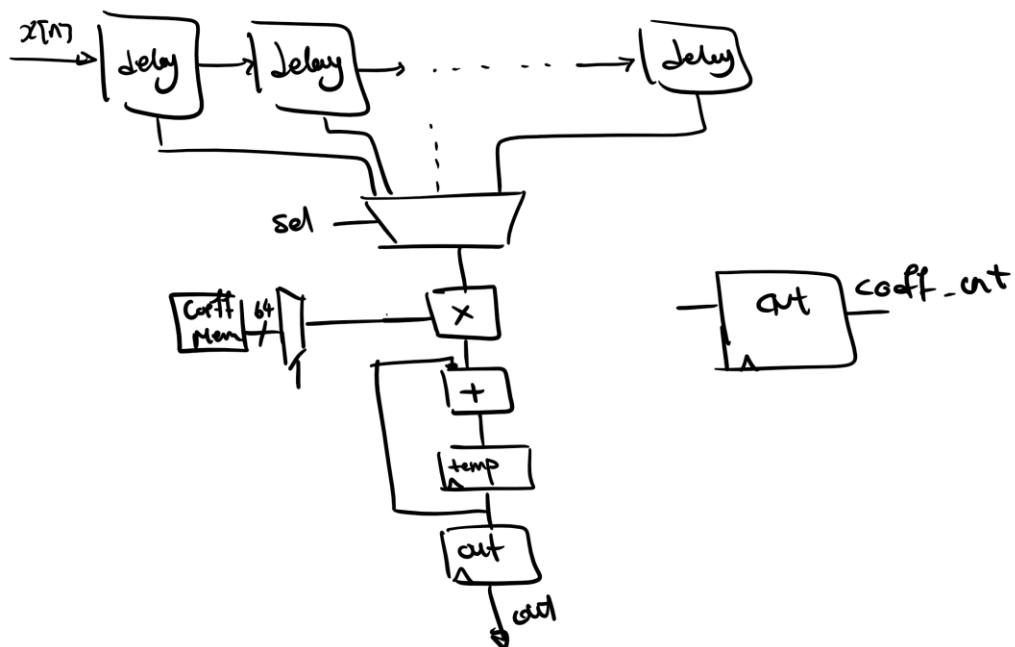


سیستم به شکل بالا میباشد.



همانطور که از شکل ها مشخص است که از مستندات خود متلب برداشتم، وقتی رو حالت **saturate** قرار دارد سیگنال را متلب قطع میکند اما وقتی روی **Wrap** قرار میگیرد، سیگنال دور میزدند. مثلا اگر ۱۱۱ باشد بعدش ۰۰۰ میشود. (به صورت دایره ای دور میزند).

کوانتیزه کردن ضرایب باعث میشود که میزان محاسبات کمتر شود. با استفاده از ضرایب های کمتر میتوان بار محاسباتی را کاهش داد. اما در قبال آن دقت را از دست میدهیم. پس هر چه تعداد ضرایب بالا برود دقت بالا میرود.



دو شکل بالا نمای کلی کد تولید شده توسط متلب را نشان میدهد. در حالت سری، با استفاده از یک ضرب کننده و یک جمع کننده سیستم درست شده است. اما در حالت موازی به تعداد ضرایب ضرب کننده و جمع کننده قرار داده شده است.

در حالت سری ۶۴ کلاک لازم است اما در حالت موازی با ۱ کلاک کل محاسبات انجام میشود.

بعد از سنتز داریم:

در حالت سریال به این شکل میشود.

Flow Summary	
Flow Status	Successful - Sun Jan 22 01:39:37 2017
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	serial
Top-level Entity Name	serial
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	1,417 / 33,216 (4 %)
Total combinational functions	814 / 33,216 (2 %)
Dedicated logic registers	1,132 / 33,216 (3 %)
Total registers	1132
Total pins	53 / 475 (11 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	2 / 70 (3 %)
Total PLLs	0 / 4 (0 %)

در حالت موازی:

Flow Summary	
Flow Status	Successful - Sun Jan 22 01:00:58 2017
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	parallel
Top-level Entity Name	parallel
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	7,436 / 33,216 (22 %)
Total combinational functions	7,145 / 33,216 (22 %)
Dedicated logic registers	1,058 / 33,216 (3 %)
Total registers	1058
Total pins	53 / 475 (11 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

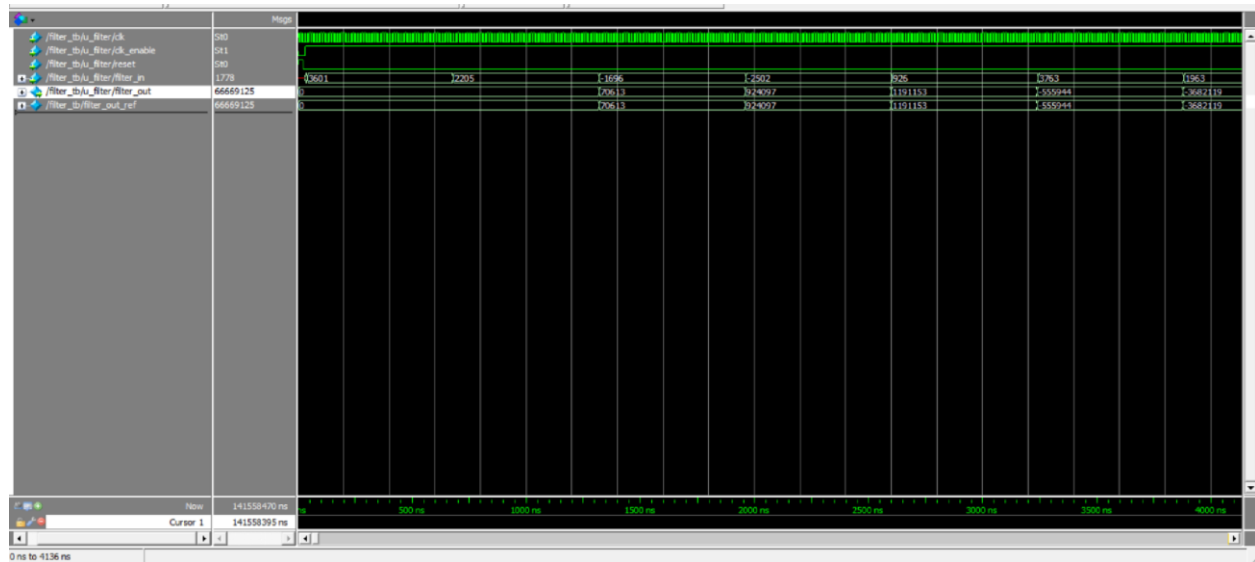
همانطور که مشاهده میشود در حالت کاملاً موازی سخت افزار بسیار بیشتری نسبت به حالت کاملاً سریال استفاده میشود.(به دلیل استفاده از تعداد زیاد ضرب کننده) .

در طراحی کاملاً موازی یک خروجی در یک سیکل کلاک آماده میشود در صورتی که در طراحی کاملاً سریال یک خروجی در زمان ۶۴ سیکل کلاک آماده میشود بنابراین بین سرعت انجام کار و میزان استفاده از منابع سخت افزاری یک trade-off وجود دارد و بر حسب کاربرد میتوان از هر یک از این دو ویا ترکیبی از آن ها استفاده کرد .

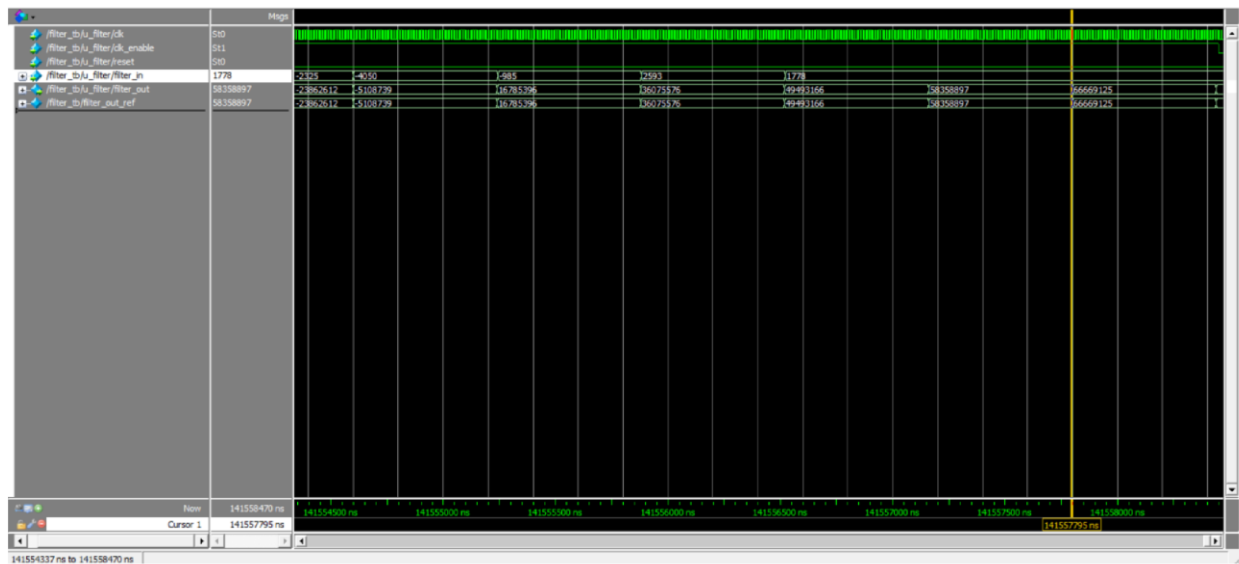
برای تست یک فایل را به عنوان ورودی به سیستم میدهیم. سپس testbench را شبیه سازی میکنیم.

بخشی از موج خروجی فیلتر به شکل زیر است:

ابتدا:



انتهای:



اضافه کردن دستورات اختصاصی :

گام ۱

از نظر سرعت، سیستم به صورت نرم افزاری بسیار کند است. در حدوده ۱۰ دقیقه طول میکشد که سیستم پردازش را انجام دهد. از لحاظ حذف نویز، سیستم نویز را حذف میکند اما مقدار خیلی کمی که با استفاده از نرم افزار موبایل قابل شناسایی بود را نمیتوانست حذف کند.

گام ۲

نیازمندی های مولتی سايكل لازم است که يك سيگنال done اضافه کنیم که سیستم با NOIS همخوانی پیدا کند.

فیلتر سخت افزاری با سرعت بسیار بیشتری انجام شده و عملیات انجام فیلتر در حد چند ثانیه طول میکشد.

نتیجه گیری:

برای انجام محاسبات ریاضی سنگین که به تعداد زیاد انجام میشوند به جای انجام تمامی عملیات به صورت نرم افزاری بهتر است با اضافه کردن یک custom instruction به پردازنده سرعت زیادی داد. زیرا محاسبات در نزدیکی ALU انجام میشود.